

**[TP-04]**

## MeV 이온주입에 의한 Retrograde Triple well 형성에 관한 연구

김대섭, 김은석, 노재상  
홍익대학교 신소재공학과

차세대 CMOS Logic 소자 및 DRAM 소자제조에 Multiple high energy implantation을 사용함으로써 hot carrier 조절, punchthrough, latchup 및 soft error 등 소자의 전기적 특성을 개선시킬 수 있다. 나아가 단일 chip위에 적어도 3가지 이상의 Well을 형성하는 retrograde triple well은 I/O bounce개선과 같이 향상된 절연성을 제공할 뿐만 아니라 on-chip voltage multiplication을 구현할 수도 있다. 이러한 다양한 장점에도 불구하고 retrograde triple well을 실제 공정에 적용하기에는 well 사이의 상관관계에 의한 몇 가지 문제점이 내포되어 있다. Triple well을 형성시키기 위해서는 11가지의 중요한 열처리 공정을 거치게 되는데, 가장 먼저 수행되는 p-well 활성화 열처리 공정(1000°C-55min.)과 전 산화공정(850°C-50min.)에 따라 집합 누설 전류가 증가하는 현상이 관찰된다. 본 연구에서는 이온주입 조건 및 열처리 조건 변화에 따른 소자구동영역에 존재하는 결함 거동에 관하여 연구하였다. P-type, (100) Si wafer에 P, 1.0 ~ 1.4 MeV,  $1 \times 10^{13} \sim 2 \times 10^{13}/\text{cm}^2$  조건으로 이온 주입하여 deep n well를 형성하였다. B, 300 ~ 400 KeV,  $8 \times 10^{12} \sim 3 \times 10^{13}/\text{cm}^2$  와 B, 150 ~ 180 KeV,  $2 \times 10^{12} \sim 4 \times 10^{12}/\text{cm}^2$  건으로 이온 주입하여 p well를 형성하였다. 열처리 조건은 1000°C-55min.의 p well 활성화 열처리와 850°C-50min.의 전 산화 공정 열처리 조건을 사용하였으며 두 열처리 공정의 순차에 따른 결함의 거동을 관찰하였다. 소자의 집합 누설 전류는 0.15 $\mu\text{m}$  design rule을 적용한 test pattern을 제작하여 평가하였다. 소자구동영역에 존재하는 결함의 발생 영역을 관찰하기 위해 angle lapping과 defect etching 후 광학현미경으로 관찰하였으며 결함밀도 및 분포는 defect etching 후 광학현미경으로 관찰하였다. 열처리 후 모재 내 oxygen의 농도 분포는 SIMS를 사용하여 분석하였다.

[참고문헌]

1. K Tsukamoto, S. Komori, T. Kuroi, and Y. Akasaka, Nucl. Instr. and Meth, B59/60, 584 (1991)
2. J. Mitani, K. Itabashi, M. Nagase et. al., International Conference on Solid State Devices and Materials, Osaka, 216 (1995)