

ZrO₂와 CeO₂ 절연체를 이용한 BLT/절연체/Si 구조의 특성

이정미, 김경태, 김창일

중앙대학교

Characterization of BLT/insulator/Si structure using ZrO₂ and CeO₂ insulator

Jung-Mi Lee, Kyoung-Tae Kim, and Chang-Il Kim

Chung-Ang University

Abstract

The MFIS capacitors were fabricated using a metalorganic decomposition method. Thin layers of ZrO₂ and CeO₂ were deposited as a buffer layer on Si substrate and BLT thin films were used as a ferroelectric layer. The electrical and structural properties of the MFIS structure were investigated. X-ray diffraction was used to determine the phase of the BLT thin films and the quality of the ZrO₂ and CeO₂ layer. AES show no interdiffusion and the formation of amorphous SiO₂ layer is suppressed by using the ZrO₂ and CeO₂ film as buffer layer between the BLT film and Si substrate. The width of the memory window in the C-V curves for the BLT/ZrO₂/Si and BLT/CeO₂/Si structure is 2.94 V and 1.3V, respectively. The experimental results show that the BLT-based MFIS structure is suitable for non-volatile memory FETs with large memory window.

Key Words : CeO₂, ZrO₂, MFIS, memory window

1. 서론

강유전체를 이용한 기억소자 중 MFS-FET는 강유전체의 분극 특성을 이용하기 때문에 정보를 비파괴적으로 읽을 수 있을 뿐만 아니라 빠른 구동속도, 고집적화의 장점을 가지고 있다. 그러나 강유전체를 Si 위에 직접 증착하기 때문에 제작과정 중 강유전체와 Si의 상호반응으로 인한 확산으로 계면특성이 나빠질 수 있고 낮은 유전상수를 갖는 SiO₂층이 생성될 수 있다. 이것을 해결하기 위한 방법으로 제안된 것이 강유전체와 Si 사이에 계면특성이 좋고 유전상수가 높은 절연층을 삽입하는 MFIS 구조이다. 일반적으로 MFIS에 사용하는 절연층은 좋은 계면을 형성하기 위해 Si 위에 heteroepitaxial 성장해야 하고, Si과 반응하지 않고, 높은 유전 상수를 갖으며, 확산 방지막의 특성을 가지고 있어야 한다.

본 연구는 여러 가지 우수한 절연체 중 CeO₂와 ZrO₂를 선택하였다. 이 두가지 절연체와 BLT를 강유전체로 이용한 MFIS 구조의 특성을 연구하고, 절연층과 BLT 박막을 강유전층으로 이용한 MFIS-FET 구조의 비휘발성 메모리 소자의 응용 가능성을 조사하고자 한다.

2. 실험

P-형 Si 기판은 자연산화막(SiO₂)을 제거하기 위해 유기 세정 및 표준 RCA법으로 세정하였다. CeO₂ 용액은 cerium(III) acetylacetonate hydrate [Ce(CH₃COCHCHC-H₃)₃.xH₂O], ethanol [C₂H₅OH], H₂O를 사용하여, ZrO₂ 용액은 zirconium(IV) propoxide solution [C₁₂HSO₄Zr]와 2-methoxyethanol을 사용하여 제조하였다. BLT 용액은 bismuth(III) acetate [(CH₃CO₂)₃Bi], lanthanum-

acetate hydrate $[(CH_3CO_2)LA \cdot xH_2O]$, titanium iso-propoxide $[Ti(OCH(CH_3)_2)_4]$, acetic acid, 2-methoxyethanol을 사용하여 제조한 후, CeO_2 와 BLT, ZrO_2 와 BLT 용액을 차례대로 스핀 코팅법에 의해 증착하여 BLT/ CeO_2 /Si와 BLT/ ZrO_2 /Si 구조의 두 가지 시료를 제작하였다. 상부 전극으로 사용될 Pt는 지름이 300 μm 인 새도우 마스크를 이용하여 BLT 위에 DC 스퍼터링 방법으로 증착하였다. 증착된 박막의 결정구조를 XRD를 이용하여 분석하였고, AES depth-profile을 이용하여 비정질의 SiO_2 층 생성여부 및 Si와 BLT막의 내부 확산이 없는지를 확인하였다. 1 MHz의 주파수에서 $\pm 3 V \sim \pm 7 V$ 범위로 전압인가 하여 HP4192 impedance analyzer를 이용하여 C-V 특성을 분석하였다.

3. 결과 및 고찰

그림 1은 p-형 Si 기판 위에 증착 시킨 CeO_2 , CeO_2 /BLT 박막의 XRD 패턴을 나타내었다. CeO_2 박막은 (311) 결정 방향의 피크만을 보여주었고, CeO_2 /BLT 박막은 BTO 층상 페로스카이트 다결정 구조의 일반적인 XRD 패턴을 나타내었다. CeO_2 /BLT 박막에서 CeO_2 의 (311) 결정 방향의 피크는 열처리 시 발생하는 응력에 의해 이동한 BLT의 (173)/(371) 결정 방향 피크와 중첩된 것으로 보인다.

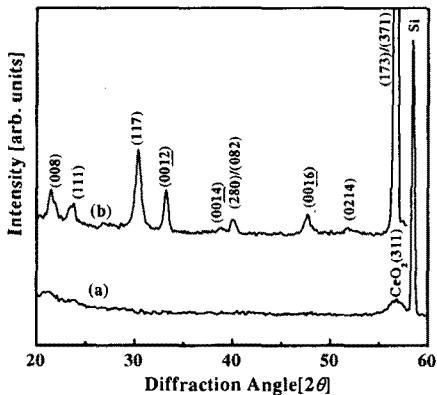


그림 1. X선 회절 패턴 (a) CeO_2 /Si, (b) BLT/ CeO_2 /Si.

그림 2는 p-형 Si 기판 위에 증착 시킨 ZrO_2 , ZrO_2 /BLT 박막의 XRD 패턴을 나타내었다. 그림 1에서의 마찬가지로 BLT의 일반적인 BTO 층상 페로카이트 다결정 구조를 나타내었으며, ZrO_2 는 ZrO_2 와 Si의 반응으로 생겨난 $ZrSiO_4$ 의 (200) 결정 방향을 나타내었다.

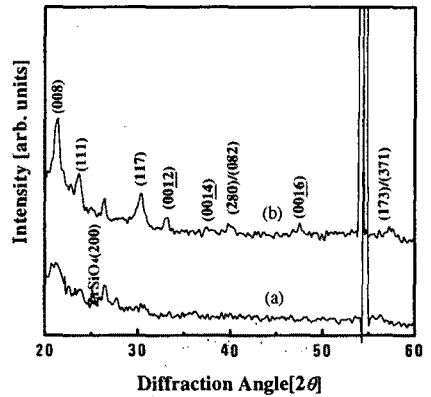


그림 2. X선 회절 패턴 (a) ZrO_2 /Si, (b) BLT/ ZrO_2 /Si.

그림 3은 Pt/BLT/ CeO_2 /Si 구조의 voltage sweep에 따른 C-V 특성을 나타내었다. C-V 곡선이 강유전층으로의 전하 주입에 의해 오른쪽으로 shift 되었으며, 커패시턴스는 축적에서 반전 상태까지 변하고, 강유전체의 분극반전 특성에 의한 이력 곡선이 관찰되었다. 인가된 전압이 커짐에 따라 메모리 윈도우값 또한 증가하는 것을 알 수 있다. 이는 큰 유전상수의 얇은 CeO_2 막으로 인해 BLT 박막에 걸리는 전압이 증가하게 되고 전압이 증가하게 되면 강유전체의 특성으로 분극값과 항전계가 증가하게 되는데 이러한 항전계의 증가로 인해 이력곡선의 폭인 메모리 윈도우가 증가하게 된다.

그림 4는 Pt/BLT/ ZrO_2 /Si 구조의 voltage sweep에 따른 C-V 특성을 나타내었다. ZrO_2 의 경우 CeO_2 와 달리 memory window의 값이 아주 작지만 인가전압이 증가함에 따라 증가하는 것을 알 수 있다.

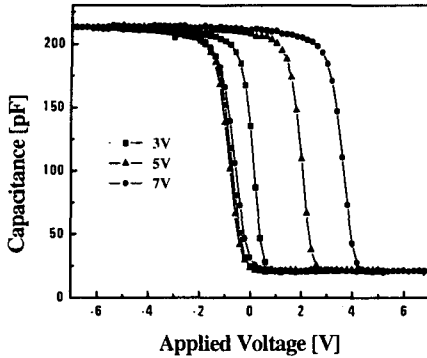


그림 3. BLT(210nm)/CeO₂(20nm)/Si 구조의 voltage sweep에 따른 C-V 특성.

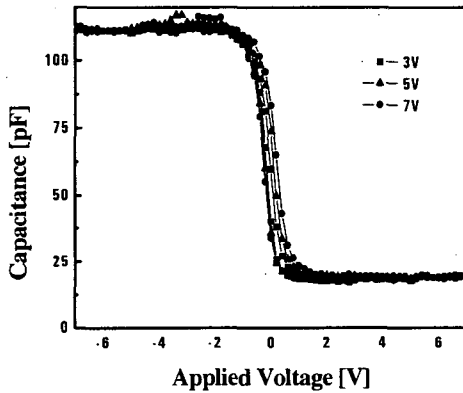


그림 4. BLT(210nm)/ZrO₂(20nm)/Si 구조의 voltage sweep에 따른 C-V 특성.

그림 5는 그림 3과 4의 voltage sweep에 따른 메모리 윈도우값을 수치로 나타내었다. 인가된 전압이 커짐에 따라 두 절연체 모두 메모리 윈도우값 또한 증가하는 것을 알 수 있다. 그러나 ZrO₂를 사용한 경우 증가 비율이 현저히 낮고 그 크기 또한 아주 작다. 이것의 원인을 알아보기 위해 AES depth-profile을 이용하였다.

그림 6은 CeO₂ 박막의 계면 확산 방지막으로서의 효과를 확인하기 위해, BLT/CeO₂/Si 구조의 박막 깊이에 따른 성분 원소분포와 계면에서의 각 원소의 분포 상태를 AES를 이용하여 분석한 결과이다

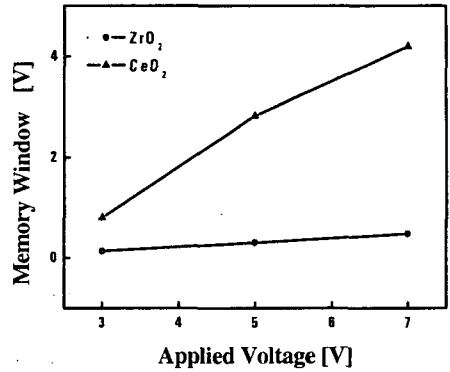


그림 5. BLT/CeO₂/Si와 BLT/ZrO₂/Si 구조의 voltage sweep에 따른 memory window 크기 비교.

여기서 CeO₂ 박막은 약 40 nm의 두께를 가진다. 일반적으로 강유전체 박막과 Si 계면사이는 상호확산에 의해 계면 특성이 나빠지게 되고 낮은 유전상수를 가지는 비정질의 SiO₂ 층이 생성되는 것과 같은 문제점이 있다. 또한, 전기장을 인가했을 때 전기장의 대부분이 강유전층이 아닌 다른 부분에 걸리게 되어 소자 구동시 동작 특성에 영향을 주게 된다. 이러한 계면확산을 방지하기 위해 Si 기판위에 CeO₂ 박막 및 BLT 박막을 증착하여 계면에서의 상호확산을 관찰하였다. 그림에서 나타난바와 같이 BLT와 Si이 서로 확산이 없는 계면 특성을 나타내었다. 이러한 계면특성은 각 계면에서의 저유전율층을 감소시킬 것으로 사료된다.

그림 7도 그림 6과 마찬가지로 ZrO₂ 박막의 계면 확산 방지막으로서의 효과를 확인하기 위해, BLT/ZrO₂/Si 구조의 박막 깊이에 따른 성분 원소 분포와 계면에서의 각 원소의 분포 상태를 AES를 이용하여 분석한 결과이다. 여기서 사용한 ZrO₂의 두께는 약 40nm이다. CeO₂와 달리 SiO₂층이 생성된 것을 볼 수 있고, BLT와 ZrO₂층이 서로 확산된 것을 볼 수 있다. 이로 인해 Pt/BLT/ZrO₂/Si 구조의 memory window 값이 CeO₂를 사용한 것과는 비교해 아주 낮음을 알 수 있다.

과 BLT와 ZrO₂층의 확산으로 인해 그 값이 아주 작게 나타났다. CeO₂를 절연층으로 사용하는 것이 더 우수한 특성을 나타내었다.

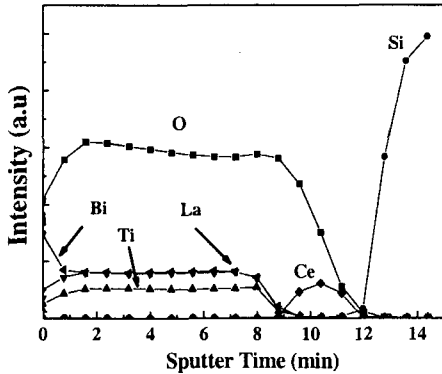


그림 6. BLT/CeO₂/Si 구조의 AES depth-profile.

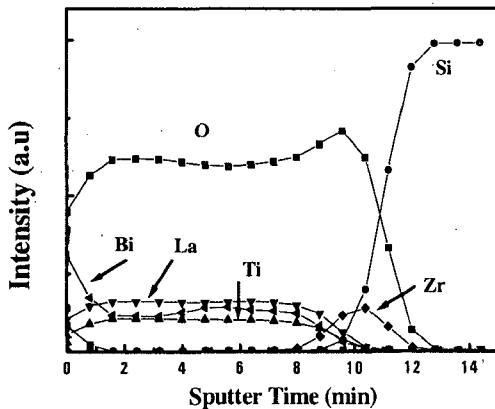


그림 7. BLT/ZrO₂/Si 구조의 AES depth-profile.

4. 결론

강유전체 BLT 박막과 절연물질로 사용된 CeO₂ 및 ZrO₂ 박막은 MOD법에 의해 제조하여 스퍼팅 방법으로 Si/BLT/CeO₂/Pt와 Si/BLT/ZrO₂/Pt 구조의 두가지 MFIS 타입을 제작하였다. XRD 패턴을 보면 BLT는 일반적인 BTO 층상 페로스카이트 다결정 구조를 나타내었고, CeO₂는 (311) 결정방향을 보였지만, ZrO₂는 Si과 결합한 ZrSiO₄ (200) 결정방향을 나타내었다. 1 MHz C-V 곡선에서 Pt/BLT/CeO₂/Si 구조와 Pt/BLT/ZrO₂/Si 모두 전압 인가를 크게 할수록 메모리 윈도우값이 커짐을 알 수 있다. 그러나 ZrO₂의 경우 SiO₂층의 형성

참고 문헌

- [1] J. f. Scott and C. A. Araujo, "Ferroelectric Memories", Science, Vol. 246, p. 1400, 1989.
- [2] T. Kijima, Y. Fujisaki, and H. Ishiura, "Fabrication and Characterization of Pt/(Bi,La)₄Ti₃O₁₂/Si₃N₄/Si Metal Ferroelectric Insulator Semiconductor Structure for FET-Type Ferroelectric Memory Applications", Jpn. J. Appl. Phys., Vol. 40, p.2977, 2001.
- [3] H. W. Song, C. S. Lee, D. G. Kim, and K. S. No, "Characterization of CeO₂ thin films as insulator of metal ferroelectric insulator semiconductor(MFIS) structures", Thin Solid Films, 368, p.61, 2000.
- [4] 김경태, 김창일, 권지운, 심일훈, "MOD 법으로 제작된 Bi_{3.25}La_{0.75}Ti₃O₁₂ 박막의 강유전 특성", 전기전자재료학회논문지, Vol. 15, No. 6, p. 486, 2002.
- [5] T. J. Choi, Y. S. Kim, C. W. Yang, J. C. Lee, "Electrical properties of Bi_{3.25}La_{0.75}Ta₃O₁₂ thin films on Si for a metal-ferroelectric-insulator-semiconductor structure", Appl. Phys. Lett., Vol. 79, No. 10, p. 1516, 2001.