

HSS STI-CMP 공정의 최적화에 관한 연구

정소영, 서용진, 박성우, 김철복, 김상용*, 이우선**

대불대학교, 동성 A&T*, 동부아남반도체**, 조선대학교**

A Study on the Optimization of HSS STI-CMP Process

So-Young Jeong, Yong-Jin Seo, Sung-Woo Park, Chul-Bok Kim*, Sang-Yong Kim**, Woo-Sun Lee**

Dept. of Electrical Eng., Daebul University, Dongsung A&T*, Dongbu ANAM Fab.", Chosun University**

Abstract

Chemical mechanical polishing (CMP) technology for global planarization of multi-level inter-connection structure has been widely studied for the next generation devices. CMP process has been paid attention to planarize pre-metal dielectric (PMD), inter-layer dielectric (ILD) interconnections. Especially, shallow trench isolation (STI) used to CMP process on essential. Recently, the direct STI-CMP process without the conventional complex reverse moat etch process has established by using slurry additive with the high selectivity between SiO_2 and Si_3N_4 films for the purpose of process simplification and in-situ end point detection (EPD). However, STI-CMP process has various defects such as nitride residue, torn oxide and damage of silicon active region. To solve these problems, in this paper, we studied the planarization characteristics using a high selectivity slurry (HSS). As our experimental results, it was possible to achieve a global planarization and STI-CMP process could be dramatically simplified. Also, we estimated the reliability through the repeated tests with the optimized process conditions in order to identify the reproducibility of HSS STI-CMP process.

1. 서론

CMP 공정은 반도체 소자가 다층 배선 구조를 가지게 더욱 미세화되며, 웨이퍼가 점점 대형화되어 감에 따라 광역 평탄화를 위한 절연막 연마, STI 공정, 그리고 다층 배선을 사용하기 위한 메탈 공정에서 없어서는 안될 핵심공정으로 자리잡고 있다. 이에 따라 차후에는 더욱 고속화, 고집적화 될 것으로 예상되는 반도체 칩에 대한 광역 평탄화 기술로서 CMP 공정의 필요성이 절실히 요구되는 상황이다 [1]. 이러한 CMP 공정은 deep 서브마이크론 집적회로의 다층배선구조를 실현하기 위해 IMD, PMD[2], ILD층 등을 평탄화하는데 효과적으로 사용되고 있으며, 특히 STI (shallow trench isolation) 공정을 수행하는데 필수적으로 적용되고 있다[3]. CMP 공

정이 반도체 제조 공정에 적용됨으로써 공정 마진 확보에 진일보하였으나, CMP 공정 후 생성된 절화막 잔류물(nitride residue), 디싱(dishing), 산화막의 균열(torn oxide), CMP 세정 공정 후 생성된 이동성 이온(mobile ions)등과 같은 오염원의 생성 등 무결점의 광역 평탄화를 위해서는 아직도 해결해야 할 문제점이 많다.

이러한 문제점을 해결하기 위해서 본 논문에서는 CMP 공정 중에 발생하는 각종 공정 결함을 해결하고, 연마 정지점 감지가 in-situ로 가능하도록 하고자 절화막에 선택적으로 보호막을 형성하고 산화막을 선택적으로 식각하여 절화막이 연마되는 속도를 최소화하며 동시에 선택성을 극대화시킬 수 있는 고선택비 슬러리(high selectivity slurry ; HSS)[4]

를 개발하여 박막간 연마 선택비를 향상시키고자 하였으며, 고선택비 슬러리를 CMP 공정에 적용하여 연마한 후의 여러 가지 특성을 알아보았다.

2. 실험

HSS STI-CMP 공정을 수행하기 위해서는 절화막과 산화막의 연마선택비가 우수한 공정을 찾아야 하며 연마 후 공정 결함들이 없는 안정된 공정을 수행해야 한다. 또한 공정 중에 연마 정지점을 in-situ로 검출할 수 있는 공정이 가장 바람직한 공정 조건이다. 본 연구는 이를 해결하고자 연마제로 화학제 요소를 개발 적용하여 첨가함으로써 상기와 같은 문제점을 모두 해결 가능하도록 실험하였다. 본 실험에 적용한 화학 용액은 TMAF (tetra methyl ammonium fluoride), H₂O₂, KOH, H₂O등을 사용하여 적정 결정을 찾아 실험하였으며, 첨가제 혼합의 최적화된 레시피(recipe)는 DIW : TMAF : KOH : H₂O₂ = 200 : 70 : 8 : 1로 제조하여 안정된 결과를 얻었다. HSS 첨가제 내의 여러 성분들의 wt%를 계산하였으며, 결과는 TMAF : 4.2575%, KOH : 0.8668~0.9178%, H₂O₂ : 0.1403%로 나타났다. 그림 1은 본 실험에서 사용된 STI 패턴 웨이퍼의 제작 과정을 개략적으로 나타낸 것이다.

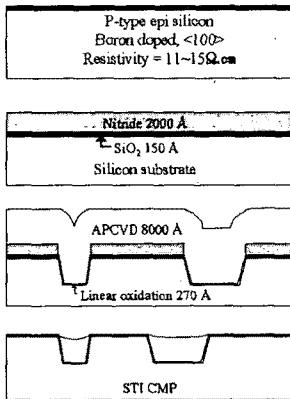


그림 1. STI 패턴 웨이퍼 제작 과정
 Fig. 1. Fabrication sequence of STI pattern sample wafer.

연마된 패턴 웨이퍼의 두께 측정은 넓은 필드 산화막 지역(50 μ m \times 50 μ m), 밀집된 필드 산화막 지역(10 μ m \times 12 μ m), 넓은 모트 지역(80 μ m \times 250 μ m), 그리고 트렌치에 의해 독립된 STI로 둘러 쌓인 좁은 모트

지역(12 μ m \times 12 μ m)에서 각각 수행되었다. CMP 연마 장비는 IPEC Avanti 472 연마기를 사용하였으며, CMP 공정 후 세정을 위해 SC-1 Chemical \rightarrow DHF(2분) \rightarrow Rinse \rightarrow Spin Rinse Dry(SRD) 과정을 수행하였다. 또한, 산화막 및 절화막 두께를 측정하기 위해 Nano Metrics M8000X와 Rudolph Ellipsometer FE VII 시스템을 사용하였다.

3. 결과 및 고찰

기존에는 낮은 선택비(3:1)를 갖는 연마용 슬러리 때문에 복잡한 리버스 모트(reverse moat) 공정을 적용할 수밖에 없었다. 그러나 높은 선택도를 갖는 슬러리의 개발로 인하여 복잡한 리버스 모트 공정을 적용할 필요 없이 direct STI-CMP를 진행함으로써 공정의 단순화를 이룰 수 있었다.

그림 2는 연마 시간에 따른 각 필드 산화막 지역에서의 단차를 분석한 것이다. 그림에서 알 수 있듯이 0초에서 60초까지는 CMP에 의해 표면의 단차가 급격히 제거되었고, 60초에서 80초까지는 단차의 변화가 거의 없는 국부적 평탄화가 진행되었다. 또한 넓은 지역에서는 80초 이후부터, 그리고 좁은 지역에서는 100초 이후에서부터 다시 단차가 조금씩 차이를 보이며 증가하였는데, 이것은 바로 디싱의 시작을 의미한다.

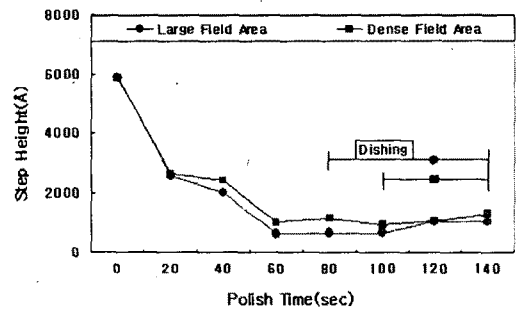


그림 2. 연마 시간에 따른 각 필드 산화막 지역에서의 단차

Fig. 2. Analysis of step heights in the each area as a function of polish time.

CMP 공정 평탄화에 미치는 이종 패드의 영향을 고찰하기 위해 패드 종류에 따른 연마 실험을 하였다. 그림 3은 산화막과 절화막의 경우 3가지 다른

종류의 패드 특성에 따른 CMP 연마 후 결과를 연마 제거율(removal rate), 비균일도(non-uniformity), 선택비(selectivity)로 나누어 제시한 것이다.

선택비는 APCVD 산화막의 연마 제거율 (R/R)을 질화막의 연마율로 나눈 값이며, 연마 제거율은 CMP 전의 두께에서 CMP 후의 두께를 뺀 값을 연마 시간으로 나눈 값으로 정의하였다. 여기에서 하부 패드의 종류에 따라 산화막의 연마율을 비교하면 Suba IV 패드에서는 아주 낮은 제거율을 나타내었는데, 이는 장시간의 연마 시간을 요구 할 것이다. IC1000 패드에서 연마 제거율은 가장 높은 값을 보였으나, 선택비가 비교적 낮았다. 그러나 JR111 패드는 연마 선택비도 높으면서 산화막의 연마율도 동시에 높아 더 안정적인 경향을 나타내었다. 비균일도 평가는 7% 이내로 모두 제어되었으며, 반복 실험을 통해 큰 차이가 없음을 알 수 있었다. 산화막과 질화막의 선택비 측면에서 비교하면 JR111 및 Suba IV에서 15:1로 높은 선택비 값을 얻을 수 있었다. 하지만, Suba IV에서는 제거율이 낮으므로, 선택비가 크다고 하더라도 moat 밀도가 높은 지역에서는 많은 연마 시간을 요구하게 되므로 높은 제거율이 요구되는 현재의 CMP 공정에서는 다소 부족함을 알 수 있다.

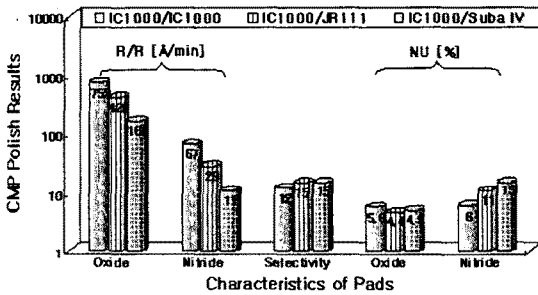


그림 3. 각 패드 특성에 따른 CMP 연마 결과
Fig. 3. CMP polishing result as a function of characteristics of 3-different pads.

그림 4는 각각 IC1000과 JR111 연마 패드를 사용한 경우 Run 진행 수에 따른 좁은 필드 지역과 넓은 필드 지역에서의 연마 두께를 나타낸 것이다. IC1000 패드는 3500Å의 STI를 연마한 것이고, JR111은 5000Å의 STI를 연마한 결과이다. IC1000/IC1000 패드와 IC1000/JR111 패드 모두 세

차례 측정된 결과 거의 동일한 연마두께를 나타내어 재현성은 우수하였다.

고선택비 슬러리를 이용한 STI-CMP의 안정된 공정을 진행하기 위해 공정의 재현성을 평가하고자 하였다. 안정된 공정이란, 그 공정 변수에 대한 신뢰성이 확보되어야 한다. 먼저 웨이퍼간 신뢰성을 평가하기 위해 CMP 공정을 수행하기 전에 패턴 웨이퍼에서 평가하고자 하는 위치의 두께를 측정된 후, 안정된 공정 장비 조건에서 트랜치 깊이가 3500Å 인 패턴 웨이퍼를 63초 동안 동일하게 연마하였다. 이 연마된 웨이퍼를 이용하여 세정 공정을 수행하고 재측정하여 CMP 공정 전후의 연마 특성을 평가했다. CMP 공정의 모든 테스트는 매 공정마다 희생 웨이퍼를 1장 사용하였으며, 본 실험을 하기 전에 항상 샘플 웨이퍼 진행은 필수적으로 하였다.

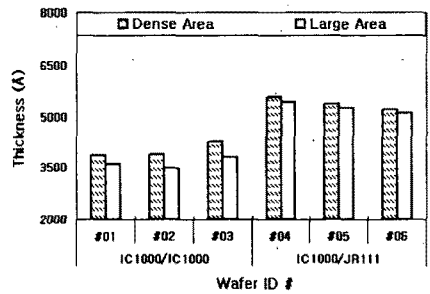


그림 4. 패드 종류에 따른 연마된 두께 변화
Fig. 4. Polished thickness as a function of different pad.

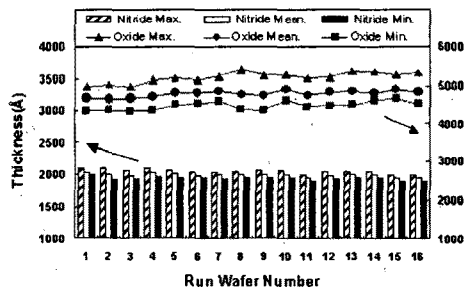


그림 5. 좁은 지역에서의 웨이퍼 Run 수에 대한 산화막과 질화막 두께의 관계

Fig. 5. Run wafer number vs. oxide thickness and nitride thickness in the dense area.

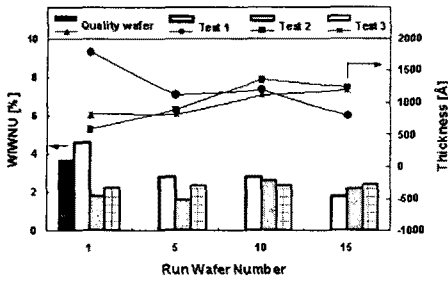


그림 6. 웨이퍼 Run 수에 대한 산화막의 두께와 비균일도의 관계

Fig. 6. Run wafer number vs. oxide thickness and non-uniformity.

그림 5는 CMP 연마에 따른 두께 변화를 관찰하기 위해 측정된 결과로, 연마가 진행된 웨이퍼 수에 대한 산화막과 질화막의 두께 변화를 나타낸 것이다. 연마가 진행됨에 따라 전체적인 산화막 두께는 약간 증가하는 경향을 보였고, 질화막은 약간 감소하는 경향을 나타내었으나, 증감의 양은 모두 400Å 이내로 아주 우수하게 제어되는 재현성을 보였고, 약간의 두께 상승은 소모성 자재들의 영향으로 판단된다. 그러나 EPD(end point detection) 시스템을 적용할 경우, 이러한 웨이퍼 내의 두께 변화는 더 많이 줄일 수 있어 보다 안정된 공정 유지가 가능할 것으로 생각된다.

산화막과 질화막 사이의 높은 선택비를 갖는 슬러리 첨가제가 공정에 주는 영향은 매우 크고 중요한 요소이므로, 그림 6의 실험에서는 슬러리 첨가제를 안정된 조건으로 제조한 다음, 4일 동안 동일한 방법으로 반복 실험하여 첨가제의 신뢰성을 평가하였다. 여기에 사용되는 패턴 웨이퍼는 트랜치 깊이가 3500Å인 STI 조건에 매일 2장씩 4일 동안 동일한 실험을 반복하였고, 연마 시간도 63초로 소모성 자재들의 변수를 고려하지 않고 동일하게 수행하여 평가하였다. 인증 웨이퍼는 이 공정에 인증을 받기 위한 웨이퍼인데, 3번의 테스트를 수행해 본 결과, 산화막 두께 측정의 경우 테스트 3이 인증 웨이퍼의 값과 비교적 비슷한 값을 나타냄을 알 수 있었다. 비균일도 측면에서도 테스트 3이 가장 우수한 결과를 나타내었다.

4. 결 론

고선택비 슬러리 첨가제 혼합의 최적화된 레시피는 이온수 : TMAF : KOH : H2O2 = 200 : 70 : 8 : 1 비율로 제조하여 안정된 결과를 얻었다. 고선택비 슬러리를 STI-CMP 공정에 직접 적용하여 연마 특성을 알아 본 결과, 좁은 지역이 넓은 지역보다 더 늦게 연마되었으며, 단차 분석 결과도 넓은 필드 산화막 지역에서는 80초 이후부터 디싱 효과가 나타났으나, 좁은 필드 지역에서는 100초 이후부터 디싱이 발생되었다. 이는 모트 밀도의 차이에 의한 것으로 볼 수 있다. 따라서, 평탄화 이후 계속 진행되는 디싱 효과는 모트 밀도가 낮은 부분으로부터 시작하므로, 좁은 지역에서의 초기 디싱이 일어나기 전에 연마를 마쳐야 함을 알 수 있었다.

패드 종류에 따른 CMP 특성 비교 실험에서는 산화막의 연마율만을 비교할 경우, Suba IV 패드는 아주 낮은 제거율을 나타내지만, 이는 장시간의 연마 시간을 요구 할 것이고, IC1000 패드에서 가장 높은 값을 보였으나, 선택비 측면에서는 JR111 패드가 더 안정적인 경향을 나타내었다. 비균일도 평가는 7% 이내로 모두 제어되었으며, 반복 실험을 통해 큰 차이가 없음을 알 수 있었다. 선택비는 JR111 및 Suba IV에서 가장 높은 값을 얻을 수 있었다. 하지만, Suba IV상에서는 낮은 제거율이 나타나므로, 선택비가 크다고 하더라도 JR111 패드가 더 우수한 결과로 판단된다.

동일 시간으로 연마를 진행할 경우의 특성은 전체적으로 약간의 변화폭을 나타내었으나, 증감의 양은 모두 400Å 이내로 아주 우수하게 제어되는 재현성을 보였고, 약간의 두께 상승은 소모성 자재들의 영향으로 판단된다. 그러나 EPD 시스템을 적용할 경우 이러한 웨이퍼 내의 두께 변화는 더 많이 줄일 수 있어, 보다 안정된 공정 유지가 가능할 것으로 생각된다.

감사의 글

이 논문은 2002년도 한국학술진흥재단 중점연구소의 지원(KRF-2002-041-D00235)에 의하여 연구되었음.

참고문헌

- [1] 김상용, 서용진, 김태형, 이우선, 김창일, 장의구, "Chemical mechanical polishing(CMP) 공정을 이용한 multilevel metal 구조의 광역 평탄화에 관한 연구", 한국전기전자재료학회 논문지, 제11권, 12호, pp. 1084-1090, 1998.
- [2] Y. J. Seo, S. Y. Kim, W. S. Lee, "Optimization of pre-metal dielectric(PMD) materials", Journal of Materials Science : Materials in Electronics, Kluwer Academic Publishers, Vol. 12, No. 9, pp. 551-554, 2001.
- [3] S. Y Kim, Y. J Seo, "Correlation analysis between pattern and non-pattern wafer for characterization of shallow trench isolation-chemical mechanical polishing (STI-CMP) process", Microelectronic Engineering, Elsevier Science, Vol. 60, Issue. 3-4, pp. 357-364, 2002.
- [4] T. C. Tseng, L. J. Yang, C. P. Hou, C. Y. Fu, S.M. Jang, C. H. Yu and M. S. Liang, "Shallow trench isolation chemical mechanical planarization process with high-selectivity slurry", Proceedings of CMP-MIC-2002, Santa Clara, CA. USA, pp. 287-290, 2002.