

# 고품질 적층형 인덕터를 이용한 이중 대역 GSM/DCS 대역 분리용 다이플렉서의 설계 및 제작

°심성훈\*\*\*, 강중윤\*, 최지원\*, 운영중\*\*, 윤석진\*, 김현재\*

\*한국과학기술연구원, \*\*연세대학교

E-mail : sim74@kist.re.kr

## Design and fabrication of Diplexer for Dual-band GSM/DCS Application using High-Q Multilayer Inductors

°Sung-Hun Sim\*\*\*, Chong-Yun Kang\*, Ji-Won Choi\*, Young-Joong Yoon\*\*, Seok-Jin Yoon\*, Hyun-Jai Kim\*

\*KIST, \*\*Yonsei University

### Abstract

In this paper, the modeling and design of high-Q multilayer passives have been investigated, and multilayer diplexer for GSM/DCS applications has been designed and fabricated using the passives. To minimize the system, the configuration of a multilayer inductor has involved a square spiral structure. Modeling of a multilayer inductor was performed by the subsystems of distributed components, and using the modeling the optimal structures of the high-Q multilayer inductor could be designed by analyzing parasitics and couplings which affect their frequency characteristics. Multilayer diplexer for GSM/DCS application has been designed and fabricated using LTCC technology. LPF for GSM band had the passband insertion loss of less than 0.55 dB, the return loss of more than 12 dB, and the isolation level of more than 26 dB by locating attenuation pole at 1800 MHz. HPF for DCS band had the passband insertion loss of less than 0.82 dB, the return loss of more than 11 dB, and the isolation level of more than 38 dB by locating attenuation pole at 930 MHz.

Key words : LTCC, Diplexer, High-Q inductor, Multilayer

## I. 서론

최근에 무선 통신 서비스의 급속한 수요 증가와 더불어 단말기의 소형화에 대한 요구가 증폭됨에 따라 무선 통신 송수신 시스템에 사용되는 통신 부품의 소형화 및 모듈화에 대한 연구 개발이 활발히 진행되고 있다[1]-[2]. 하지만, RF 시스템에서 인덕터, 캐패시터, 필터, 듀플렉서, 다이플렉서 등의 수동 소자는 그 차지하는 면적이 약 60% 이상으로 매우 클 뿐만 아니라 집적화도 어려워 시스템의 소형화에 매우 큰 장애가 되고 있다[3]. 따라서, 최근에 이러한 수동 소자를 동일한 재

료 및 기술을 이용하여 하나의 칩(chip) 또는 모듈로 구현하기 위한 RF 집적화 기술에 대한 관심이 급속히 증가하고 있다 [4]-[5]. PA, LNA, VCO 등의 능동 부품의 특성 구현을 위해 LTCC 기술을 이용한 적층형 소자에 대한 연구가 최근 RF 수동 소자 모듈화 기술의 중요한 부분을 차지하고 있다[6].

본 논문에서는 RF MCM용 적층형 인덕터를 설계하여 이를 이중 대역 GSM/DCS 대역 분리용 다이플렉서를 구현하는데 적용하였다. 접지면 내에 구현된 적층형 인덕터의 상호 인덕턴스 및 기생 캐패시턴스 특성을 분석함으로써 인덕터의 품질 계수(Q)와 자기 공진 주파수(SRF)를 향상시킬 수 있으며, 인덕터의 구조 분석은 전체 구조를 분산 소자 형태의 하

부 구조(sub-system)로 분리하여 ADS 회로 시뮬레이터를 이용하였다. 적층형 인덕터는 상·하 접지면(double ground)을 갖는 구조로 설계하였으며, 최적 특성을 갖는 인덕터의 전극 층수 및 소자의 높이를 결정하여 적층형 다이플렉서에 적용하였다.

## II. 적층형 다이플렉서의 설계

### 2-1 DG 구조를 갖는 적층형 인덕터의 모델링

적층형 인덕터는 회로 요구 특성, 응용 분야, 사용 주파수 등에 따라 다양한 3차원적 형태로 집적화할 수 있다. 그 중에서 작은 공간에서도 큰 인덕턴스 값을 얻기 위해 원형 스파이럴, 정방형 스파이럴, 미앤더 타입 등 다양한 구조가 사용되고 있는데, 본 논문에서는 실제 응용성을 고려하여 효율성이 가장 높은 정방형 스파이럴 구조를 이용하여 적층형 인덕터를 구현하였다. 그림 1은 적층형 다이플렉서에 적용될 정방 형태의 적층형 인덕터의 구조를 나타낸 것이다. 적층형 인덕터의 면적은  $lx$ , 선폭은  $w$ , 나선간의 수직 거리는  $s$ , 그리고 소자의 높이는  $h$ 로 표현하였다. 상층부의 전극은 하층부의 전극과 연결하기 위해 비어홀을 사용하며, 각 층의 전극 형상은 'ㄷ' 형태로 구현되어 있어서 전극마다 2개의 굴곡부를 가지게 된다. 따라서, 본 논문에서 설계한 정방 형태의 적층형 인덕터의 구조는 그림 2처럼 직선 전송 선로 및 다중 결합 선로, 굴곡부, 그리고 비어홀 등의 하부 구조로 분리하여 재구성된다. 적층형 인덕터의 주파수 특성은 이같은 하부 구조를 이용하여 구조 모델링된 결과를 이용하여 구해진다. 그리고, 적층형 인덕터의 접지 구조는 그림 1과 같이 상·하 접지면(DG)으로 설계하였고, 적용된 유전 재료의 특성은 유전율 7.8과 유전 손실 0.0015이었다.

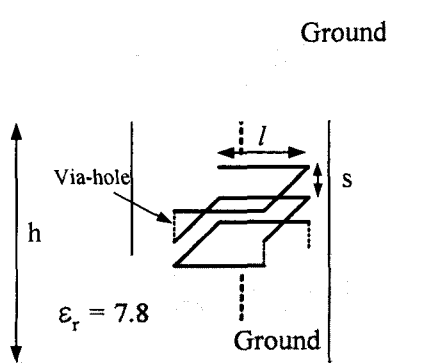


그림 1. 적층형 인덕터의 구조

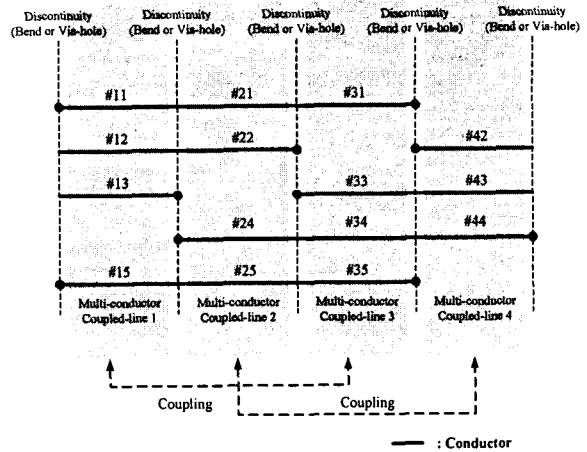


그림 2. 적층형 인덕터의 하부 구조 모델링

그림 3은 적층형 인덕터의 등가 회로를 나타낸 것이다.  $L_s$ 와  $L_m$ 은 나선 길이에 의한 자기 인덕턴스 및 나선 간의 상호 인덕턴스,  $C_g$ 와  $C_m$ 은 접지 및 상호 기생 캐패시턴스,  $R$ 과  $R_{sub}$ 은 도체 및 유전체 손실을 나타낸 것이다. 본 등가 회로를 이용하여 인덕터의 주요한 특성인 품질 계수  $Q$ 와 자기 공진 주파수를 식 (1)-(2)처럼 나타낼 수 있다[7].

$$Q = \frac{\omega L}{R} \left( 1 - \Delta R \left( \omega^2 LC + \frac{RC}{\omega L} \right) \right) \quad (1)$$

$$f_{SRF} = \frac{1}{2\pi\sqrt{LC}} \sqrt{\left( 1 - \frac{R^2 C}{L} \right)} \quad (2)$$

여기서,  $\Delta R$ 은  $R_{sub}/(R+R_{sub})$ ,  $L$ 은  $L_s+L_m$ ,  $C$ 는  $C_m+C_g$ 이다.

본 논문에서는 인덕터 내에 상호 인덕턴스  $L_m$ 과 인덕터의 특성을 크게 열화시키는 기생 캐패시턴스의 특성 고찰을 통하여 고품질 구조를 갖는 인덕터를 설계하였다.

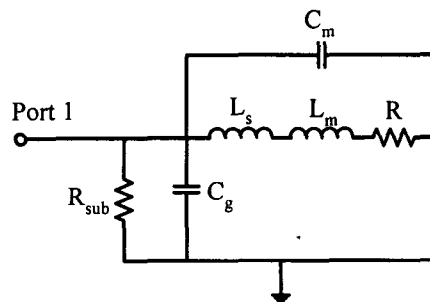


그림 3. 적층형 인덕터의 등가회로

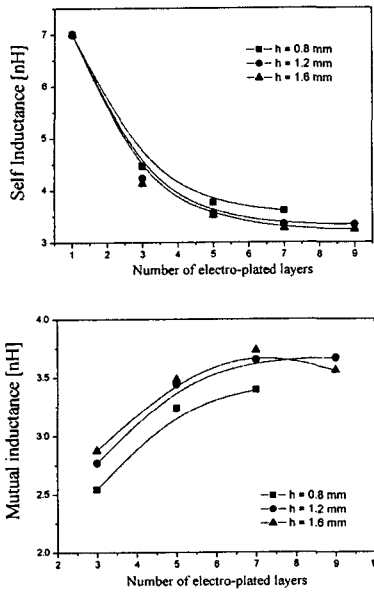


그림 4. 전극 층수에 따른  $L_s$  &  $L_m$

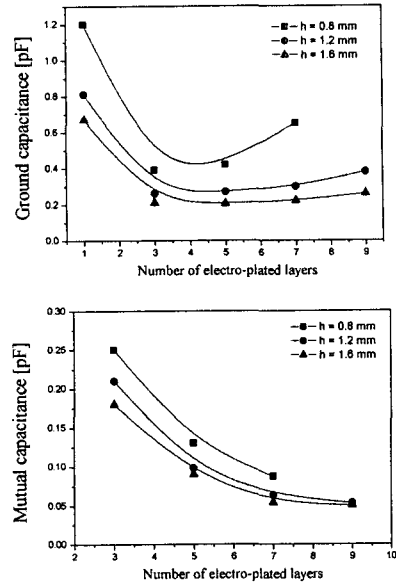


그림 5. 전극 층수에 따른  $C_g$  &  $C_m$

### 2-2 DG 구조를 갖는 적층형 인덕터의 결과 고찰

DG 구조 내에 구현되는 인덕터는 수직적으로 중앙에 위치할 경우 접지면의 영향을 최소화 할 수 있기 때문에 최적의 특성을 가진다[8]. DG 내에 적층형 인덕터도 그 구조의 특성상 다수의 전극층으로 설계되므로, 접지면의 높이  $h$ 에 따른 최적의 전극 층수를 결정하는 것이 필수적이다. 따라서, 높이  $h$ 에 따른 최적의 전극 층수를 갖는 적층형 인덕터를 설계하였고, 2-1절의 구조 모델링을 이용하여 각 적층형 인덕터의 자기 성분 및 상호 결합 성분을 유도함으로써 적층형 인덕터를 분석하였다.

적층형 인덕터의 전극은 그림 1에서  $h/2$ 인 지점에서 초기 치가 주어졌고, 전극간의 거리  $s$ , 선폭  $w$ , 전극 두께  $t$ 는 각각  $80 \mu\text{m}$ ,  $0.2 \text{ mm}$ ,  $15 \mu\text{m}$ 로 주어졌다. 전극 층수는  $h/2$  지점에서 상·하로 증가되었다. 그림 4와 그림 5는  $7.0 \text{ nH}$ 의 인덕턴스를 설계하기 위해 이격 거리  $h$ 가  $0.8, 1.2, 1.6 \text{ mm}$ 일 경우 전극 층수에 따른 자기 인덕턴스  $L_s$ , 상호 인덕턴스  $L_m$ , 접지 캐패시턴스  $C_g$ , 그리고 나선 간에 상호 캐패시턴스  $C_c$ 의 특성 변화를 나타낸 것이다. 전극 층수가 증가함에 따라 선로 간의 상호 결합량이 증가하므로  $L_m$ 은 증가하지만, 전체 인덕턴스는  $L_s$ 와  $L_m$ 의 합이므로, 이와 반대로 선로의 길이에 의해 계산되는  $L_s$ 는 감소한다.  $L_m$ 의 증가에 따른 전체 선로 길이의 감소는 그림 5처럼 인덕터의 특성 열화에 큰 영향을 주는 접지 캐패시턴스  $C_g$ 를 감소시킨다. 나선 간의 결합에 의한  $C_m$ 은 전

극 층수가 증가함에 따라 감소하는 경향을 보이는데 이는  $C_m$ 의 연결이 직·병렬 구조로 되어 있기 때문이다. 하지만, DG 내에 적층형 인덕터의 전극 층수가 약 5층 이상이 되면 접지면의 영향이 급속히 증가하기 때문에  $L_m$ 과  $C_g$ 는 그림 4와 5에서 보듯이 포화 특성을 보이게 된다. 이로 인해  $L_s$ 의 감소 경향이 둔감하게 되므로 상호 캐패시턴스  $C_m$ 도 동일한 경향을 가지게 된다.

그림 6은 DG 내에 설계된 적층형 인덕터의 품질 계수 및 자기 공진 주파수 특성을 나타낸 것이다. 이격 거리  $h=0.8 \text{ mm}$ 인 경우 전극 층수가 5층에서 품질 계수와 자기 공진 주파수가 최대값  $23.5$ 와  $2.56 \text{ GHz}$ 를 보였다. 그리고,  $h = 1.2 \text{ mm}$ 인 경우에는 품질 계수는 7층의 전극 층수에서  $41.2$ 로 최대값을 보였고, 자기 공진 주파수는 5층에서  $3.18 \text{ GHz}$ 로 최대값을 보였다.  $h=1.2 \text{ mm}$ 인 경우 5층에서의 품질 계수가  $37.5$ 로 7층인 경우와 근소한 차이를 보이므로, 공정상의 복잡성을 고려한다면 5층의 전극 층수로 제작하는 것이 효율적이라 할 수 있다. 그리고,  $h=1.6 \text{ mm}$ 인 경우는 품질 계수는 층수가 증가함에 따라 계속 증가하였으며, 자기 공진 주파수는 5층의 전극 층수에서  $3.36 \text{ GHz}$ 로 포화되는 경향을 보였다. 이는 적층 구조로 설계되면 상호 인덕턴스  $L_m$ 이 증가하여 인덕터의 선로 길이가 감소하고, 이로 인해 접지 캐패시턴스  $C_g$ 가 급격히 감소한다. 따라서, 초기에 품질계수가 증가하는 경향을 가지지만, 전극 층수가 접지면에 근접해서 증가하면 접지면의 영향이 급속

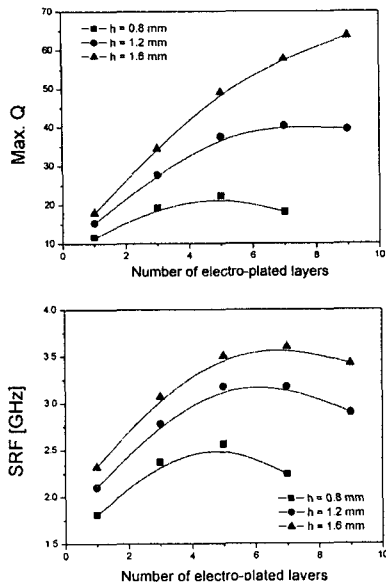


그림 6. 전극 층수에 따른 품질 계수(Q) 및 자기 공진 주파수(SRF)

히 증가하므로 이미지 효과에 의해  $L_m$ 이 포화 특성을 보이고,  $C_g$  또한 감소율이 포화되므로 품질 계수는 포화 특성을 보이게 된다. 자기 공진 주파수는 품질 계수와 유사한 형태의 특성을 보이게 된다.

### 2.3 적층형 다이플렉서의 설계

이중 대역 GSM/DCS 대역 분리용 적층형 다이플렉서를 설계하기 위해 앞 절에서 설계된 고품질의 적층형 인덕터 층에 접지면 높이  $h$ 가 1.2 mm인 경우를 적용하고자 한다. 적층 구조를 갖는 RF 부품은 유연한 구조 설계가 가능하다는 장점을 가지고 있지만, 이로 인해 구조의 복잡성이 증가하게 된다. 따라서, 적층형 다이플렉서 구조 설계의 복잡성을 감소시키기 위해 다이플렉서 등가 회로 설계상에서의 이상적인 인덕터 및 캐패시터 대신에 분산 형태의 모델링에 의해 구조 시뮬레이션된 적층형 인덕터의 결과를 적용함으로써 적층형 다이플렉서의 원형 구조 (prototype)를 설계하며, 최종적으로 유한 요소법의 Full-wave EM 시뮬레이터인 HFSS를 이용하여 적층형 다이플렉서 구조를 설계하였다. 그림 7은 각각 4단으로 설계된 다이플렉서의 등가회로를 나타낸 것이며, 표 1은 체비셰프 모델 및 구조 모델링에 의해 구해진 소자값을 나타낸 것이다.

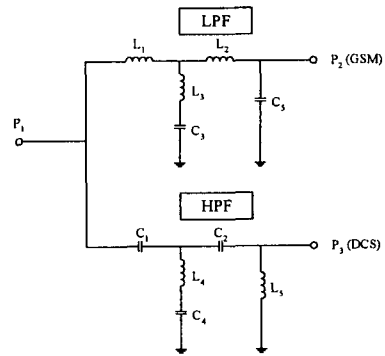


그림 7. 적층형 다이플렉서의 등가 회로

표 1. 구조 모델링에 의해 구해진 다이플렉서의 소자값

	L&C	Size (l) [mm]	No. of plates	SRF [GHz]	Max. Q
GSM	$L_1=L_2$ (7.1 nH)	0.73	5	3.18	37.6
	$L_3$ (3.0 nH)	0.65	3	6.65	52.1
	$C_3$ (2.7 pF)	0.84	5	4.64	-
	$C_5$ (2.0 pF)	0.75	5	5.23	-
DCS	$C_1=C_2$ (2.0 pF)	1.2	3	4.89	-
	$L_4$ (4.6 nH)	0.6	5	4.39	48.5
	$C_4$ (6.4 nH)	1.3	5	2.95	-
	$L_5$ (6.3 nH)	0.7	5	3.44	40

### III. 결과 및 고찰

그림 8과 9는 유전율 7.8, 유전 손실 0.0015의 마이크로파 유전 특성을 갖는 LTCC 재료를 이용하여 구조 설계를 바탕으로 제작된 GSM/DCS 대역 분리용 적층형 다이플렉서의 제작된 외형도 및 주파수 특성을 보여주고 있다. GSM 통과 대역 내에서의 삽입 손실은 최대 0.55 dB 이하, 반사 손실은 최소 12 dB 이상의 결과를 보였으며, DCS 통과 대역 내에서는 삽입 손실은 최대 0.82 dB 이하, 반사 손실은 최소 11 dB 이상의 결과를 보였다. 또한, GSM용 저역 통과 대역 필터의 경우 1800 MHz 근방에 감쇠극이 존재하여 DCS 대역 내에서 우수한 저지 특성을 나타냈고, DCS용 고역 통과 대역 필터의 경우에는 930 MHz 근방에 감쇠극이 존재하여 GSM 대역 내에서 우수한 저지 특성을 나타내었다. 따라서, GSM 대역 내에서의 저지 특성은 최소 26 dB 이상, DCS 대역 내에서는 최소 38 dB 이상의 감쇠 특성을 얻을 수 있었다.

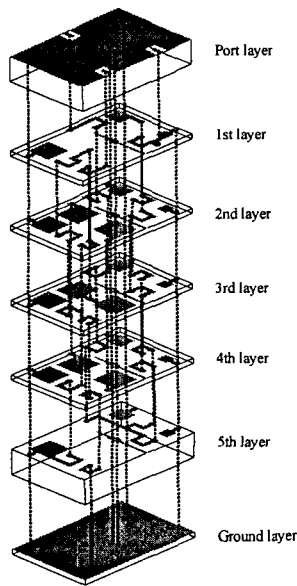


그림 8. 적층형 다이플렉서의 구조

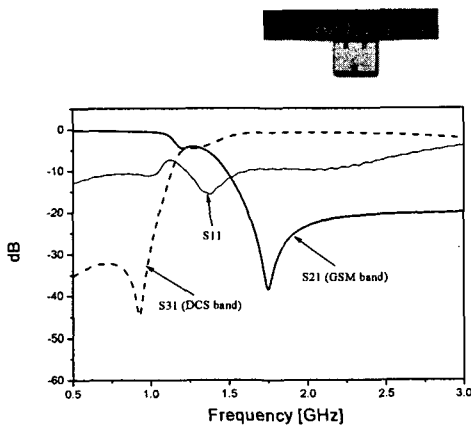


그림 9. 제작된 적층형 다이플렉서의 측정 결과

#### IV. 결론

본 논문에서는 이동 통신 시스템의 소형화와 서비스의 다중화 경향에 맞추어 5 GHz 이하 주파수대의 RF MCM 모듈

응용에 적합한 DG 구조를 갖는 고품질 인덕터를 설계하여 이중 대역 GSM/ DCS 안테나 스위치 모듈 내에 대역 분리를 위해 사용되는 다이플렉서를 설계 및 제작하였다. 본 논문에서 설계된 적층형 인덕터는 단일 부품뿐만 아니라 다중 모듈을 구현하는데 쉽게 적용 가능하리라 예상된다.

#### 참고 문헌

[1] S. Urabe, "Developments in Mobile/Portable Telephones and Key Devices for Miniaturization," IEICE Trans. ELECTRON., Vol.E79-C, No.5, pp600-605, 1996

[2] B. Hunt and L. Devlin, "LTCC for RF modules," Packaging and Interconnects at Microwave and mm-Wave Frequencies, IEE Seminar, pp5/1-5/5, 2000

[3] H. Kapadia, H. Cole, R. Saia, and K. Durocher, "Evaluating the Need for Integrated Passive Substrates," Advancing Microelectronics, Vol.26, No.1, pp12-15, 1999

[4] S. Pinel, C.-H. Lee, S.-W. Yoon, S. Nuttinck, K. Lim, and J. Laskar, "Embedded IC packaging technology for ultra-thin and highly compact RF module," Electronic Components and Technology Conference, pp24-29, 2003

[5] R. Lucero, W. Qutteneh, A. Pavio, D. Meyers, and J. Estes, "Design of an LTCC switch diplexer front-end module for GSM/DCS/PCS applications," IEEE Radio Frequency Integrated Circuits Symposium, pp213-216, 2001

[6] A. Sutono, D. Heo, Y.-J. Emery Chen, J. Laskar, "High-Q LTCC-based passive library for wireless system-on-package (SOP) module development," IEEE Trans. Microwave Theory Tech., Vol.MTT-49, No.10, pp1715-1724, 2001

[7] S. H. Sim, C. Y. Kang, J. W. Choi, Y. J. Yoon, S. J. Yoon, and H. J. Kim, "Design of T/R Switch using LTCC Technology," The 5th International Meeting of Pacific Rim Ceramic Societies, 2003

[8] 심성훈, 강종윤, 최지원, 윤영중, 윤석진, 김현재, "접지면에 의한 LTCC 인덕터의 특성 변화에 대한 연구," 한국 세라믹 학회 춘계학술대회, 2003