

디지털/아날로그 입력을 통한 백게이트 튜닝 2.4 GHz VCO 설계

오범석*, 이대희**, 정 웅***

동국대학교 반도체학과

E-mail : nike2000@dongguk.edu , dalgrimja@hotmail.com , wjung@dongguk.edu

A 2.4GHz Back-gate Tuned VCO with Digital/Analog Tuning Inputs

Beom Seok Oh*, Dae Hee Lee**, Wung Jung***

Dept. of Semiconductor Science, Dongguk University

Abstract

In this work, we have designed a fully integrated 2.4GHz LC-tuned voltage-controlled oscillator (VCO) with multiple tuning inputs for a 0.25- μm standard CMOS process. The design of voltage-controlled oscillator is based on an LC-resonator with a spiral inductor of octagonal type and pMOS-varactors. Only two metal layer have been used in the designed inductor. The frequency tuning is achieved by using parallel pMOS transistors as varactors and back-gate tuned pMOS transistors in an active region. Coarse tuning is achieved by using 3-bit pMOS-varactors and fine tuning is performed by using back-gate tuned pMOS transistors in the active region. When 3-bit digital and analog inputs are applied to the designed circuits, voltage-controlled oscillator shows the tuning feature of frequency range between 2.3 GHz and 2.64 GHz. At the power supply voltage of 2.5 V, phase noise is -128dBc/Hz at 3MHz offset from the carrier. Total power dissipation is 7.5 mW.

key words - VCO, varactor, digital tuning, analog tuning, spiral inductor

I. 서론

오늘날 이동 통신 시장의 급속한 성장에 따라 보다 적은 비용과 크기의 필요성에 따라 고집적, 고성능, 저가격화 요구가 증가하고 있다. CMOS VCO는 높은 집적률과 가격의 이점 때문에 계속적으로 연구되어지고 있다. Standard CMOS 기술에서 Monolithic VCO의 사용은 집적 초고주파 CMOS 수신기 설계의 한계를 극복하기 위한 주요 난제의 하나였고, 실리콘 칩 상에 집적된 공진기(resonator)는 그리 좋은 성능을 기대할 수 없기 때문에 고주파에서의 발진기는 요구되어지는 위상잡음을 만족시키기 어렵다. 그럼에도 불구하고 완전 집적된 CMOS 발진기는 단일 칩 무선 송수신의 활용에 있어 상당히 흥미롭다. LC 발진기는 비록 낮은 Q(quality factors)에도 불구하고 링(Ring) 발진기에 비해 낮은 위상잡음 특성을 보인다. 그러나,

CMOS 공정에서의 적절한 바랙터의 결여로 인하여 매우 제한적인 주파수 튜닝 범위를 갖는다는 결점이 있다.

본 논문에서는 정방형 인덕터보다 우수한 Q를 갖는 8각 나선형 인덕터 (Octagonal type spiral inductor)와 pMOS varactor를 이용한 디지털 튜닝 방법[1]을 이용하여 충분한 광대역 주파수 튜닝 범위를 갖는 RF CMOS 발진기를 설명한다.

II. LC 공진기 설계

II-1. MOS Varactor

일반적으로 MOS 바랙터는 드레인, 소스, 백게이트(D, S, B)를 한 노드로 연결한 MOS 트랜지스터가 잘 알려져 있다. 이 MOS 커패시터는 B와 G 간의 전압 V_{BG} 에 의존하는 커패시턴스를 이용한다.

MOS 커패시터에서는 관심의 대상이 되는 세 가지 동작 상태 즉, 축적, 공핍, 그리고 반전이 있다. pMOS 커패시터의 경우 $|V_{T1}|$ 가 트랜지스터의 문턱전압일 때, $V_{BG} > |V_{T1}|$ 이면, 이동 가능한 정공 (Mobile Hole)을 갖는 반전 영역이 형성된다. $V_{BG} \gg |V_{T1}|$ 상태에서는 MOS capacitor 가 강반전 (strong inversion) 영역에서 동작하도록 보장하고, 이 영역은 MOS 트랜지스터의 특성을 보여주는 영역이다.

다시 말해서, 게이트 산화막과 반도체 사이에서 전압은 양의 값이 되고 전자들이 매우 충분히 자유롭게 움직이는 $V_G > V_B$ 인 어떤 전압일 때, MOS 트랜지스터는 축적(accumulation) 영역이 된다. 따라서 강반전 및 축적 영역의 MOS 커패시턴스 값 C_{mos} 는

$$C_{mos} = C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \quad (1)$$

와 같고, 이때 S 는 채널의 넓이이고 t_{ox} 는 산화막의 두께이다. [2]

중반전 (moderate inversion), 약반전 (weak inversion) 그리고 공핍 (depletion) 등의 영역[3]은 V_{BG} 의 중간 정도에서 구분되어진다. 그림1 에서 V_{BG} 에 따른 C_{mos} 의 변화를 나타내었다.

본 연구에서 설계된 VCO는 디지털 튜닝을 위한 세 쌍의 pMOS 바랙터, 그리고 능동 영역에 위치한 한 쌍의 pMOS 트랜지스터가 조합된 구조를 이용하였다. 드레인, 소스, 백게이트가 한 노드에 연결된 바랙터를 디지털 입력으로 이용하고 드레인과 소스 중 한 노드에 비교적 큰전압이 인가된 pMOS 트랜지스터의 백게이트를 아날로그 입력으로 이용하는 구조이다. 3-bit 디지털 입력과 0~2.5 V의 전압을 각각 인가하였을 때 총 커패시턴스는 2 pF에서 2.8 pF 까지 변화한다. 이 변화는 대략 350 MHz의 주파수 범위를 갖는다. 바랙터의 시뮬레이션 결과는 그림 2, 3에 나타내었다. 그림2는 아날로그 튜닝을 위한 pMOS의 특성을 보기 위한 그림이고, 그림3은 디지털 튜닝과 아날로그 튜닝의 조합에 의한 커패시턴스 변화를 보여준다. 그림 2는 $D \equiv S \equiv B$ 인 일반적인 MOS 커패시터와 축적 모드 MOS 바랙터 (Accumulation Mode MOS Varactor)[2] 그리고 본 논문에서 아날로그 입력으로 사용한 바랙터의 V_B 에 따른 커패시턴스 변화를 보여준다. 제안하는 바랙터는 능동 영역의 pMOS의 백게이트를 튜닝하는 방법으로써 드레인과 소스에 큰 전압이 인가되면 커패시턴스 변화율은 다른 형태의 바랙터보다 작지만 그 기울기가 매우 선형적으로 나타난다. 그렇기 때문에 바랙터에 000, 001, 011, 111의 순서로 디지털

튜닝을 하고 제안된 방법으로 한 쌍의 MOS 트랜지스터를 아날로그 튜닝하였을 때 그림 3과 같이 매우 선형적으로 나타난다.

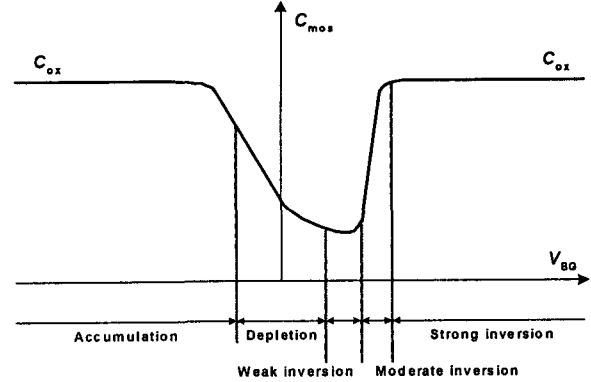


그림 1. pMOS 커패시터의 V_{BG} 에 따른 C_{mos} 의 변화

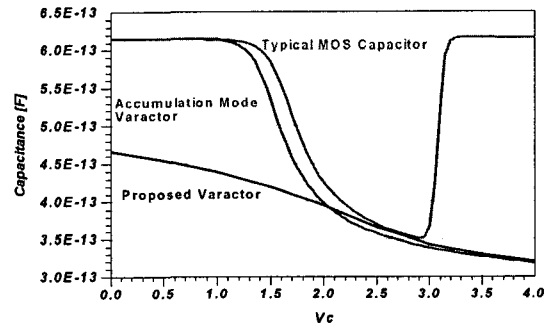


그림 2. 일반적인 MOS 바랙터, 축적모드 바랙터, 제안된 바랙터의 동작영역

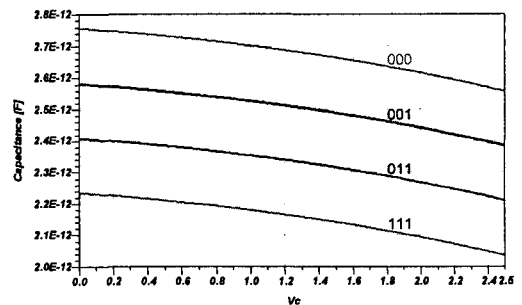


그림 3. 3-bit 디지털 튜닝과 아날로그 튜닝 조합으로 구현된 커패시턴스 특성 곡선

II-2. Integrated Spiral Inductor

LC-VCO의 설계에 있어서 인덕터의 성능이 위상 잡음 특성에 영향을 미칠 뿐만 아니라 저전력 설계에서도 중요하게 작용한다. 고성능 단일 칩 송수신기 설계를 위해서는 높은 Q를 갖는 인덕터를 구현

하여야 한다. 이는 전력소모와 위상잡음의 수식들로부터 예측할 수 있다.

LC-VCO의 전력 소모는

$$P_{loss} = RC^2 \omega_c^2 V_{peak}^2 = \frac{R}{L^2 \omega_c^2} V_{peak}^2 \quad (2)$$

이고, 여기서 V_{peak}^2 는 커패시터를 지나는 전압의 최대크기이다. LC-VCO의 위상잡음은

$$S_{SSB} = F \frac{kT}{2P_{sig}} \frac{\omega_c^2}{Q^2 \Delta \omega^2} = F \frac{kT}{2P_{sig}} \frac{R^2}{L^2 \Delta \omega} \quad (3)$$

이다. 여기서 Q는 공진부 부하의 Q (loaded quality factor)이고, $\Delta \omega = 2\pi \Delta f$ 는 옵션 주파수에서의 각 주파수이며, F는 잡음 상수이다. [5]

(2)와 (3)에 의하면, 인덕터의 직렬 기생저항은 저잡음, 저전력을 위해서는 매우 작아야만 한다.

그리고, 인덕턴스는 본 연구에서 설계된 8각 나선형 인덕터의 경우

$$L = \frac{1.07 \mu n^2 d_{avg}}{2} \left[\ln \left(\frac{2.29}{\rho} \right) + c_4 (0.19)^2 \right] \quad (4)$$

이고, 여기서 μ 는 투자율, n 은 턴 수, $d_{avg} = (d_{out} + d_{in})/2$, $\rho = (d_{out} - d_{in}) / (d_{out} + d_{in})$ 이고 d_{out} , d_{in} 은 각각 인덕터의 외부지름과 내부지름이다. [6]

본 연구에서는 보다 낮은 위상잡음과 저전력을 위해, 최상위 금속레이어인 Metal5, Metal4를 사용하였고 그림 4와 같이 정방형 나선형 인덕터에 비해 높은 Q와 자기 공진 주파수를 갖는 8각 나선형 인덕터를 사용하였다. Q값을 높이기 위해 전자기장 해석 시뮬레이션 과정과 인덕터 모델링을 통해 중심주파수에서 Q가 최적화된 인덕터를 사용하여 설계하였다.

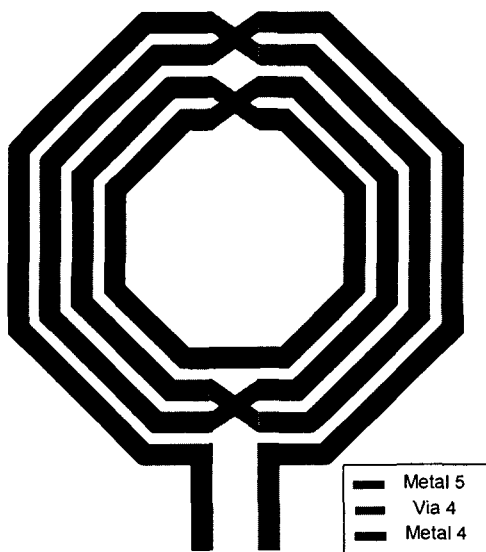


그림 4. 8각 나선형 인덕터

III. CMOS LC 전압 제어 발진기 설계

일반적으로, LC-VCO는 인덕터와 커패시터의 병렬 탱크 구조와 LC 탱크에서의 저항성분에 의한 손실을 보상하기 위한 능동 영역으로 구성된다. 튜닝 범위는 입력 전압에 대하여 변화하는 커패시터에 의해 그 범위가 결정되며 이 발진기의 발진주파수는

$$f_c = \frac{1}{2\pi \sqrt{LC}} \quad (5)$$

로 결정된다. 이것은 그림 5와 같이 정형화 되어 질 수 있다.

제안된 차동 구조의 LC-VCO는 그림 6과 같다. 좌우 대칭 구조로서 3쌍의 pMOS 바랙터와 하나의 8각 나선형 인덕터로 LC 탱크가 구성되며, 능동 영역은 각각 한 쌍의 pMOS와 nMOS가 서로 교차하여 상호 연결된 구조로 구성되어 있다.

서로 교차 연결된 (Cross-coupled) 차동 구조의 트랜지스터 (M7~M12)들은 LC 탱크에서의 손실을 보상하기 위한 구조이다. 능동 영역의 pMOS 트랜지스터 M9, M10은 LC 탱크에서 발생하는 손실에 대한 보상과 백게이트 튜닝을 통한 커패시턴스의 변화를 동시에 구현한다. 트랜지스터 M11~M14는 50 Q 측정시스템을 구동하기 위한 출력버퍼로서 사용되었다. J. M.Mourant 등[1]은 MOS 바랙터를 디지털 튜닝을 위해 사용하였지만, 본 논문에서는 3개의 pMOS 바랙터를 디지털 튜닝으로써 굵은 튜닝 (coarse tuning)으로 이용하며 pMOS 트랜지스터 M9, M10의 백게이트를 아날로그 미세튜닝 (Analog fine tuning)으로 이용하여 보다 광범위한 튜닝 범위를 구현하고자 설계하였으며 레이아웃은 stress등의 영향 및 상호간섭을 최소화 하기위한 common centroid 설계 기법을 사용하였고 실제 설계된 VCO의 크기는 $600 \times 600 \mu m$ 이다.

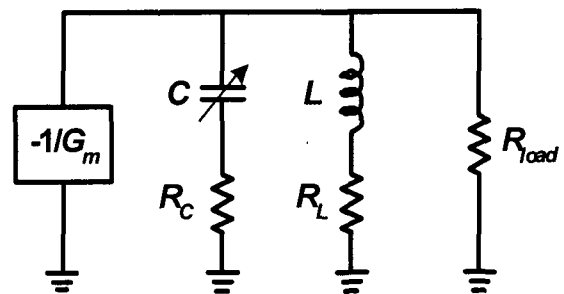


그림 5. LC-VCO의 등가회로

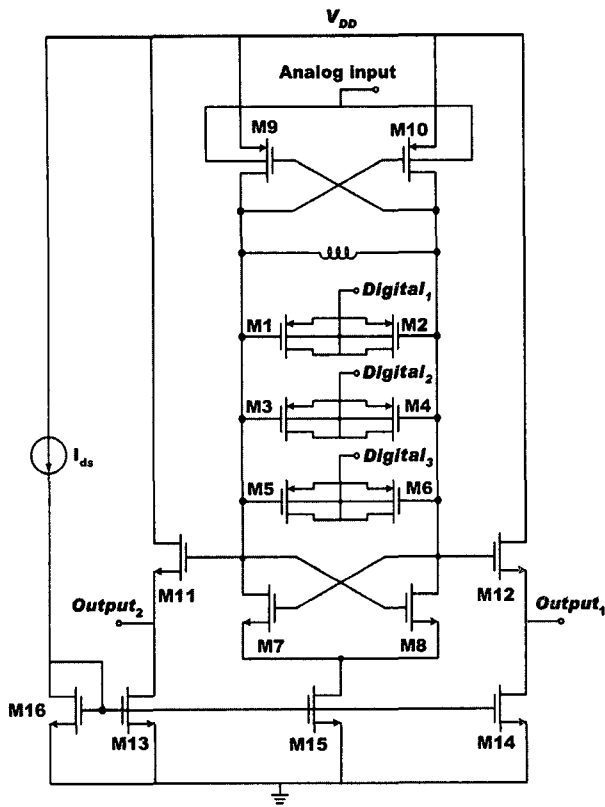


그림 6. 제안하는 LC-VCO

IV. 시뮬레이션

설계된 VCO는 0.25 μm standard CMOS 공정으로 제작 설계되었다.

인덕터의 특성은 그림 7에 보이는 바와 같이 약 2.8 nH의 인덕턴스와 10 GHz 이상의 자기 공진 주파수 (self resonance frequency) 그리고 중심주파수에서 대략 4 정도의 Q값을 갖는다.

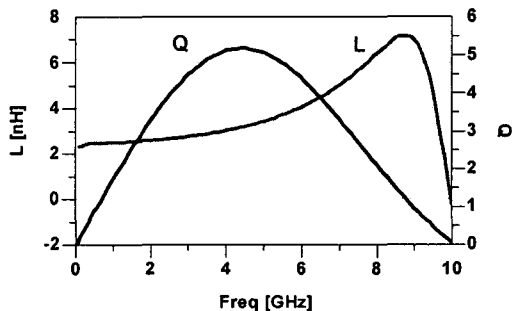


그림 7. 설계된 인덕터의 Q와 인덕턴스 L

MOS 바랙터 커패시터(Varactor Capacitor)는 그림 3에 나타난 바와 같이 아날로그 튜닝과 디지털 튜

닝을 조합하여 2 pF부터 2.8 pF 까지 매우 선형적으로 커패시턴스가 변화하고, 이로 인해 VCO 이득 변동이 줄어들게 되고 낮은 주파수원으로부터의 잡음에 대한 민감도 감소를 기대할 수 있다. [4]

그림 8은 MOS커패시터와 인덕터를 이용하여 트랜지스터 M9, M10의 백게이트에 아날로그 컨트롤 전압 V_c 를 인가했을 때의 주파수 변화를 시뮬레이션 한 결과를 보여준다.

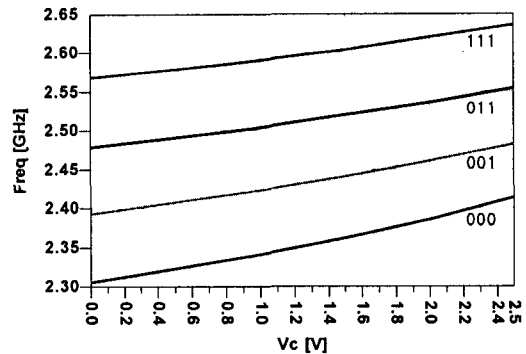


그림 8. 입력전압 V_c 에 따른 발진주파수 범위
표 1은 이 VCO의 성능 지수이다.

표 1. 설계된 VCO의 성능지수 (시뮬레이션)

	시뮬레이션 결과
발진 주파수	2.30~2.64 GHz
튜닝 범위	340 MHz
위상 잡음	-128 dBc/Hz@3MHz offset
전력소모(core)	7.5mW

표1에서 보이듯이, 발진 주파수 범위는 2.3 GHz에서 2.64 GHz로써 340 MHz의 튜닝 범위를 갖고, 중심주파수로부터 3 MHz 오프셋에서의 위상잡음은 -128 dBc/Hz 이고 이 때 전력 소모는 7.5mW의 결과를 나타낸다.

본 연구에서 설계된 VCO는 비교적 안정적 튜닝 범위와 낮은 전력소모와 위상잡음을 비롯하여 VCO 이득 변화가 적어 선형성이 뛰어나다.

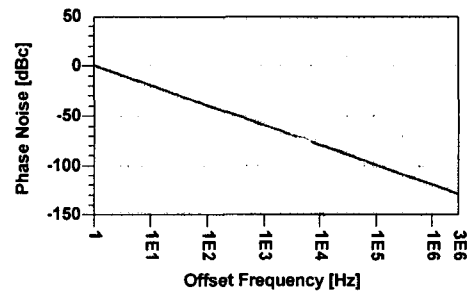


그림 9. 위상잡음

V. 결론

본 연구에서는 여타 추가 공정이나 전원 전압을 올리지 않더라도 비교적 안정적 튜닝 범위를 갖고 VCO 이득 변화가 적은 선형성이 우수한 전압 제어 발진기를 설계하였다.

칩 제작은 Anam 0.25 μm 공정으로 진행중에 있으며, 향후 주파수 튜닝 특성 곡선 및 위상잡음 등의 특성 측정과 오류 수정 등이 수행 될 예정이다.

참고문헌

- [1] J. M. Mourant, J. Imbornone, and T. Tewksbury, "A Low Phase Noise Monolithic VCO In SiGe BiCMOS," *IEEE Radio Frequency Integrated Circuits Symp.*, 2000.
- [2] P. Andreani and S. Mattisson, "On the Use of MOS Varactors in RF VCO's." *IEEE J. Solid State Circuits*, vol.35, pp.905-910, June 2000.
- [3] Y. P. Tsividis, *Operation and Modeling of the MOS Transistor*. New York, NY: McGraw-Hill, 1987.
- [4] P.B.M. Hammer and P.M. Bakken, "2.4GHz CMOS VCO with multiple tuning inputs" *Electronics Letters*, Vol.38, No.16 pp874-876, August 2002.
- [5] D. B. Leeson, "A Simple model of feedback oscillator noise Spectrum," *Proc. IEEE*, pp.329-330, Feb.1966.
- [6] Thomas. H. Lee and S. Simon Wong, "CMOS RF Integrated Circuits at 5GHz and Beyond." *Proc IEEE*, vol.88, no.10, pp1560-1571, Oct. 2000.
- [7] F. Svelto, P. Erratico, S. Manzini, and R. Castello, "A Metal-Oxide-Semiconductor Varactor," *IEEE Electron Device Letters*, vol.20, pp.164-166, Apr. 1999.
- [8] J. Craninckx and M. Steyaert, *Wireless CMOS Frequency Synthesizer Design*. London U.K.: Kluwer, 1998.
- [9] A. Hajimiri and T. H. Lee, "Design issues in CMOS differential LC oscillators," *IEEE J. Solid-State Circuits*, vol.34, pp.717-724, Feb. 1999.
- [10] P. Andreani, "A comparison between two 1.8GHz CMOS VCOs tuned by different varactors," in *Proc. 24th Eur. Solid-State Circuits Conf. (ESSCIRC)*. The Hague, The Netherlands, Sept. 1998.
- [11] K. O., "Estimation methods for quality factors of inductors fabricated in silicon integrated circuit process technologies," *IEEE J. Solid-State Circuits*, vol.33, pp.1249-1252, Aug. 1998.
- [12] Michat Odyniec, *RF and Microwave Oscillator Design*. London U.K.: Artech House, 2002.
- [13] Behzad Razavi, *Design of Analog CMOS Integrated Circuits*. New York, NY: McGraw-Hill, 2001.