

# PLL Synthesizer를 이용한 새로운 FM 회로 설계 및 제작

양승식\*, 이종환, 염경환  
 충남대학교 전자 공학과  
 ssyang@active.cnu.ac.kr

## Design and Implementation of a Novel Frequency Modulation Circuit using Phase Locked Synthesizer

Seong\_Sik Yang\*, Jong-Hwan Lee, Kyung-Whan Yeom  
 Dept. Radio Science and Engineering Chungnam National University

### Abstract

In this paper, for phase lock loop(PLL) synthesizer, we introduce a novel but simple and low cost frequency modulation(FM) circuit of a flat peak frequency deviation for modulation signal from high to very low frequency penetrating into the loop-bandwidth of PLL. The FM circuit was basically designed to compensate an amount of feedback of the loop filter in PLL. The circuit also includes the capability of the adjustment of peak frequency deviation and blocking the interference with the loop filter. The designed circuit was successfully implemented and showed the flat frequency deviation as expected in the design.

Key words : Frequency Modulation(FM), PLL, Synthesizer, Peak Frequency Deviation

### I. 서론

일반적인 통신 시스템에서는 아날로그 신호 또는 디지털 신호를 AM(진폭 변조), FM(주파수 변조), PM(위상 변조)등의 방법으로 사용자들에게 서비스하며 여러 사용자들에게 동시 서비스하기 위해서 중심 주파수의 대역폭 안에서 여러 채널로 주파수를 할당하여 사용하는데 PLL Synthesizer는 안정된 반송파 발진뿐만 아니라 채널간 반송파 주파수 변화가 용이하여 일반적으로 많이 사용하고 있다. 하지만 PLL Synthesizer는 주파수 변조가 어렵고 기준 신호(Reference Signal)의 사이드 밴드와 spurious성분이 생기는 어려운 문제를 가지고 있다<sup>[1],[2]</sup>. 특히 GMSK(Gaussian filtered Minimum Shift Keying)나 four-level FSK(Frequency Shift Keying)를 정보 신호로 사용하는 데이터 통신 시스템과 낮은 주파수를 포함하는 아날로그 신호를 사용하는 전자 제품들은 낮은 주파수의 신호를 포함할 수 있는데 PLL Synthesizer는 특성상 루프 필터 대역폭 보다 낮은 주파수에서 FM변조하기가 힘들다는 단점이 있다.<sup>[3]</sup>

본 논문에서는 이러한 수KHz에서 수십Hz까지 주파수가 변화하는 정보 신호를 PLL Synthesizer 안에서 FM변조하는 방법을 소개하며 기존 변조 회로보다 단순하고 제작이 용이하면서도 제작 단가가 낮은 새로운 구조를 제안하였다. 이 회로는 R과 C만으로 이루어져 다른 특별한 소자의 사용 없이 기존 PLL Synthesizer에 연결함으로써 낮은 주파수의 FM변조가 가능하게 하고 다른 구조와 비슷한 성능을 가지도록 제작하여 측정함으로써 그 성능을 확인하였다. 또한 본 논문에는 스펙트럼 분석기로 FM신호의  $\beta$ (변조지수)를 측정할 수 있는 방법도 소개하였다.

### II. PLL Synthesizer의 구조 및 FM 방법들

#### 2-1 일반적인 PLL 구조 및 FM변조시 문제

일반적인 PLL Synthesizer 회로 구조는 그림 1과 같으며 위상 검출기(Phase Detector), 루프 필터, VCO(Voltage Control Oscillator), N 분주기, R 분주기, TCXO ( Temperature Compensated Crystal Oscillator)로 구성된다.

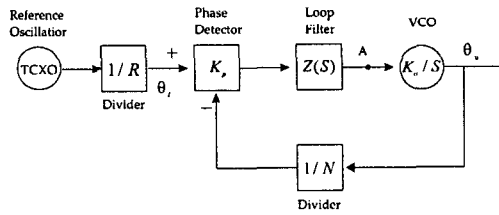


그림 1. 일반적인 PLL Synthesizer  
Fig. 1. Typical PLL Synthesizer

보통의 FM 변조는 VCO 앞단에서 이루어지고 VCO 앞단(그림1의 A점)에 변조할 신호  $V_m$ 을 인가하면 루프의 부궤한 특성 때문에 식 (1)과 같고 식 (2)는 귀한 량을 나타 낸다.<sup>[1]</sup>

$$\frac{\omega_o}{V_m} = \frac{K_o}{1 + \frac{K_p K_o Z(s)}{sN}} \quad (1)$$

$$D = \left[ 1 + \frac{K_p K_o Z(s)}{sN} \right] \quad (2)$$

식(1)에서  $Z(s)$ 는 저역 통과 필터이므로 루프 필터 대역폭보다 높은 주파수에서는  $Z(s)$ 는 0에 근접해  $K_p K_o Z(s)/sN$  항을 무시할 수 있어 루프에 의한 부궤한 특성과 관계없이 VCO 출력으로 일정 변조가 가능하다. 반면 루프 필터 대역폭보다 낮은 주파수에서는  $K_p K_o Z(s)/sN$  항을 더 이상 무시할 수 없어 원하는 주파수 변조보다 줄어들게 된다.<sup>[3]</sup>

2-2 PLL Synthesizer의 FM 변조 방법들

일반적인 PLL synthesizer에서의 FM 변조 방법들에는 그림 2와 같이 VCO 앞단에서 변조할 신호를 인가한 후 루프 외부에서 다시 한번 변조 신호를 인가하거나 루프 안의 다른 지점에서 인가하는 방법이 있다.

그림 2의 (a),(b)회로들은 같은 원리이며 우선 VCXO를 이용한 방법(그림 2(a)) 회로에서만 살펴보면  $V_{m1}$ 신호에 의한 변조는 식 (1)와 같고,  $V_{m2}$  신호에 의한 변조는 식 (2)를 이용하여 표현하면 식 (3)과 같다.  $V_{m1} = V_{m2} = V_m$ 이므로 식 (1)과 식 (3)은 식 (4)와 같이 합해지고 변조 신호의  $\Delta f$ 가 일정하기 위해서는 식 (4)의 분모와 분자에서 주파수에 의해 변하는 D항이 약분되면 된다. 따라서 식(5)에 의해서 식(6)를 만족시키면 된다. 따라서  $K_{ref}$  (TCXO의 이득)가  $K_{ref} = K_o/N$ 라는 관계이면 가능 하나 TCXO 대신 VCXO(전압 제어 크리스탈 발진기)를 사용하기 때문에 이것은 최대 주파수 편이에 대한 제

한이 있다는 단점이 있다. 다시 말해 VCXO의  $K_{ref}$ 에 의해 전압으로 제어 할 수 있는 주파수 범위가 극히 작고 두 발진기는 정확히 이득이 상수가 안이므로 주파수 변화 전 구간에서 일치하지 않는다.<sup>[1]</sup>

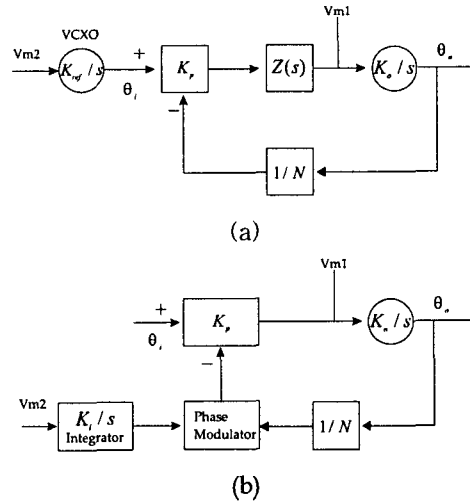


그림 2. PLL Synthesizer 의 FM 변조 방법 (a) VCXO를 사용한 FM (b)위상 변조기를 이용한 FM

Fig. 2. Frequency Modulation Method of PLL Synthesizer (a)FM using a VCXO (b) FM using a Phase Modulator

$$\frac{\omega_o}{V_{m2}} = \frac{K_i Z(s) K_o}{sD} \quad (3)$$

$$\frac{\omega_o}{V_m} = \frac{K_o \left[ 1 + \frac{K_i Z(s)}{s} \right]}{D} \quad (4)$$

$$D = 1 + \frac{K_p K_o Z(s)}{sN} = 1 + \frac{K_i Z(s)}{sN} \quad (5)$$

$$K_i = K_p K_o / N \quad (6)$$

위상 변조기에 의한 방법(그림 2(b))은 변조기와 적분기를 필요로 하는데 매우 복잡하며 안정된 소자를 요구한다. 특히  $K_i = K_o/N$ 이라는 관계가 되는  $K_i$ 값을 갖거나 조절 가능한 소자를 선택해야 변조할 신호의 주파수와 상관없는 일정한  $\Delta f = K_o \Delta \theta$ 를 가지는 회로가 되어 광대역 주파수 변조가 가능해진다. 하지만 보통 광대역 전압제어 발진기 이득( $K_o$ )은 일정한 상수 값을 가지지 않기 때문에 일정한 주파수 편이를 위해서는  $K_i$ 가  $K_o$ 와 N의 변화에 따라 변해야 한다. 또한 이상적인 적분기의 출력은 DC전압이 입력되었을 때 반동 없이 천천히 올라가거나 내려가게 되어 반송파의 흔들림을 유발할 수 있다.

### III. FM변조 회로 제작 및 측정

#### 3-1 FM 변조 회로 제작

그림 2의 방법들에서 볼 수 있듯이 변조될 신호가 인가 될 때 식 (1)의 D에 해당하는 회로를 만들고 크기 조절(scaling)을 하면 루프 필터의 영향 없이 평평한 주파수 응답을 기대할 수 있다. 그림 3은 이러한 방법에 의해 설계되었는데 이 회로는 평평한 주파수 응답뿐만 아니라 한 로드에서 하나의 회로로 변조시킬 수 있어 두 회로의 관계에 대한 해석과 서로 회로간 간섭에서 오는 오차를 줄일 수 있다. 또한 수동 소자만으로 구현하였기 때문에 통신 시스템의 사양에 따라 부품 선택하여 사용할 필요가 없어 간단하면서도 제작 단가가 내려가는 특성이 있다.

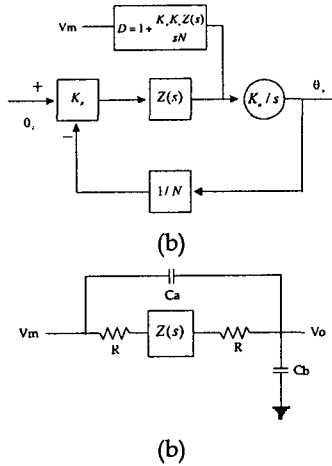


그림 3. (a)루프 안에서의 FM (b)블록D의 회로  
Fig. 3. (a)FM in Loop (b)Circuit of D block

회로에 대해 살펴보면 그림 3 (b)의 입력 신호와 출력 신호와의 관계는 식 (7)과 같고 여기서  $Z(s) \ll R/2$ 을 만족하면  $F = 1/Z(s)$ 과 같이되어 식 (8)과 같이 쓰여진다. 식 (8)에서  $s(C_a + C_b) \gg 1/R$  조건을 만족하면 식 (9)로 근사화되며 그림 3(a)에 적용하여  $V_m$ 와  $\omega_o$ 관계를 나타내면 식 (10)와 같고 변조 신호의 주파수와 상관없이 일정한  $\Delta f$ 을 얻기 위해서는 식 (11)을 만족시키면 된다.<sup>[1]</sup> 식 (10)와 식 (11)으로부터 식 (12)과 식 (13)을 얻을 수 있고 이 식은 R값을 이용하여  $C_a$ 와  $C_b$ 를 구할 수 있게 한다. 조건  $Z(s) \ll R/2$ 을 만족하면 R값을 구할 수 있는데 그림 4에서 볼수 있는 형태의 필터에서는  $C_1$ 과  $C_2$ 의 크기를 이용 식 (14)과 같은 식을 얻을 수 있다.  $f_{min}$ 은 최대 가능한 낮은 주파수를 의미하며 이 성

분은 루프 필터의 영향을 받는다. 한계가 있다.<sup>[1]</sup>

$$\frac{V_o}{V_m} = \frac{sC_a + \frac{1}{R^2 F}}{s(C_a + C_b) + \frac{1}{R}(1 - \frac{1}{RF})} \quad (\because F = \frac{2}{R} + \frac{1}{Z(s)}) \quad (7)$$

$$\frac{V_o}{V_m} = \frac{sC_a + \frac{Z(s)}{R^2}}{s(C_a + C_b) + \frac{1}{R}} \quad (8)$$

$$\frac{V_o}{V_m} = \frac{C_a}{C_a + C_b} [1 + \frac{Z(s)}{sC_a R^2}] \quad (9)$$

$$\frac{\omega_o}{V_m} = \frac{\frac{K_o C_a}{C_a + C_b} [1 + \frac{Z(s)}{sC_a R^2}]}{D} \quad (10)$$

$$D = 1 + \frac{Z(s)}{sC_a R^2} \quad (11)$$

$$\frac{K_p K_o}{N} = \frac{1}{R^2 C_a} \quad (12)$$

$$\Delta f = \frac{K_o C_a}{C_a + C_b} \quad (13)$$

$$R = \frac{20}{2\pi f_{min} (C_1 + C_2)} \quad (14)$$

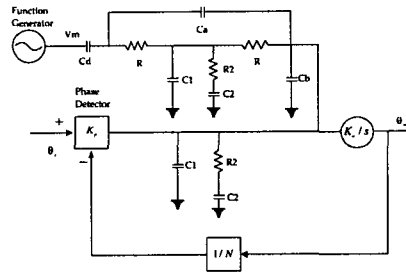


그림 4. 2단 필터를 가진 PLL에서의 FM 회로  
Fig. 4. FM Circuit in PLL with the Second Order Filter

이 회로의 사양은 DC 2.5V에 진폭이 1V인 사인파의 주파수가 4.8KHz에서 수십Hz까지 변화하는 신호를  $\Delta f = 4.8KHz$ 로 주파수 변조시키기 위해 설계되었다. 어떤 주파수의 신호가 들어와도 일정한  $\Delta f$ 를 가지는 주파수 변조가 목표이며 PLL에서는 반송파가 164MHz를 중심으로 12.5KHz 채널간격을 가져야 한다. VCO 이득은 17MHz/V이고 charge 펌프 이득은 5mA이며 이를 이용한 루프 필터는 45°의 위상 마진과 1KHz 대역폭을 가지는 저역 통과 필터로 설계되었다. 신호가 DC 전압을 가지고 있으므로 DC 블럭 캐패시터( $C_d$ )를 첨가하여 완성한 회로이다.

3-2 측정 결과

그림 6은 그림 4의 회로를 스펙트럼 분석기로 측정 한 결과이다. 그림 6(a)는 변조할 신호가 4.8KHz일 때의 그림인데,  $\Delta f$ 는 2.4KHz로 원하는 값이지만 위상 검출기의 비교 주파수인 12.5KHz(채널 간격)의 spurious 성분이 생겼고 반송파에 신호가 변조된 것처럼 spurious 성분에도 신호가 변조되어 나타나고 있다. 이 성분의 크기가 작아 높은 주파수 신호 변조에서는 별 영향이 없지만 낮은 주파수로 갈수록 그림 6(b)처럼 커지고 이 회로에 의한 변조는 주파수가 낮아질수록  $\Delta f$ 가 줄어드는 것을 확인할 수 있었다.

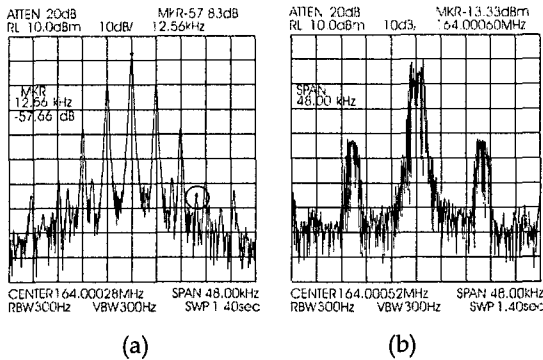


그림 6. 그림 4 회로 측정 (a)  $V_m = 4.8\text{KHz}$   
(b)  $V_m = 400\text{Hz}$

Fig. 6. Implementation of Fig. 4 Circuit

이런 상황이 일어난 이유는 그림 4에서와 같이 D 회로와 루프의 연결부분에서 서로 영향을 주고 있기 때문이다.  $\Delta f$ 가 줄어드는 이유는 일정한  $\Delta f$ 을 유지하게 하는 성분인  $C_b$ 가 루프 필터의  $C_1$ 과 병렬 결합으로 되어있어 설계한  $C_b$ 보다 커졌기 때문이며 채널 spurious가 발생하는 이유는 위상 검출기의 mismatching과 전류 누설이 그 원인이다.<sup>[2]</sup> D 회로의 연결이 전류의 누설을 야기한다는 것을 알 수 있었다. 이러한 두 문제를 해결하기 위해서는 회로의 루프에서 D회로를 볼 때는 오픈처럼 보이고 D회로에서 루프를 볼 때는  $C_b$ 에 영향을 안주는 형태로 회로를 수정해야 한다. ]

3-3 수정된 FM 변조 회로 제작

두 회로의 완전한 분리를 의해서 summer 회로를 사용하여 보았으나 summer의 연산 증폭기에 의한 누설 전류는 더 큰 채널 spurious성분을 만들었고 이것은 루프 필터로 감쇄시키는 것도 불가능했다.

다른 방법은 그림 7과 같은 회로인데 채널

spurious성분을 감쇄시키기 위해서 루프 필터를 3단으로 제작하였고  $C_b$ 에 영향이 없는  $R_c$ ,  $C_c$ 와  $R_4$ 를 계산하여 넣었다. 이 계산에 대해서 알아보면 그림 7에서 1번 루트로 볼 때 변조할 신호의 주파수에서는 오픈처럼 보아야  $C_b$ 의 값에 아무런 영향을 주지 않기 때문에 식(19)를 만족해야 한다. 2번 루트에 보면  $C_c$ 에 의해서 DC블럭이 되어 있어 누설 전류에 의한 spurious성분의 증가는 없게 된다. scaling 값을 구하기 위해서 루트 1에서 보면  $C_3$ 을  $C_1$ 이나  $C_2$ 에 비해 100이상 작게하면 그림 7(b)와 같이 볼 수 있고 D회로에서 본  $V_i$ 대  $V_o$ 의 관계는 식 (20)과 같다. 식(21)에서  $T1=T2$ 이면 식(22)와 같이 쓸수 있어 식(23)과 식(24) 만족하는 소자값을 정하고 식(12)식을 수정하면 식 (25)과 같이되어 모든 소자의 값을 정할 수 있다.

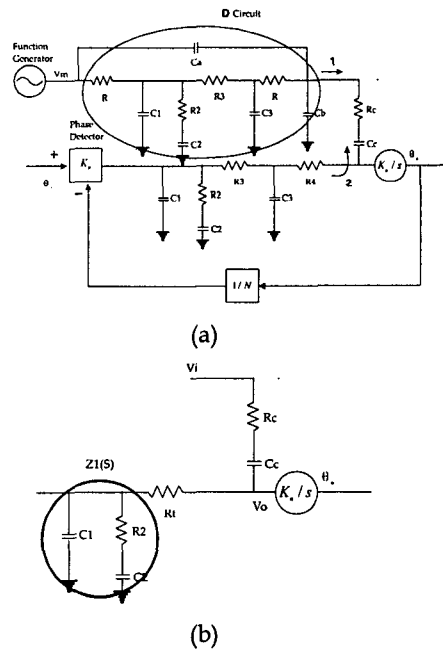


그림 7. 수정된 3단 필터를 가진 PLL에서의 FM 회로  
Fig. 7. FM Circuit in PLL with the Modification Third Order Filter

$$20RC_b = R_c C_c \tag{19}$$

$$\frac{V_o}{V_i} = \frac{Z1(s) + R_t}{Z1(s) + Rt + R_c + \frac{1}{sC_c}} \tag{20}$$

$$Z1(s) = \frac{sT2 + 1}{s(C_1 + C_2)(sT1 + 1)} \tag{21}$$

$$T2 = C_2 R_2, \quad T1 = \frac{C_1 C_2 R_2}{C_1 + C_2}$$

$$\frac{V_o}{V_i} = \frac{\frac{1}{s(C_1+C_2)} + Rt}{\frac{1}{s(C_1+C_2)} + R_i + R_c + \frac{1}{sC_c}} = \frac{1}{K} \quad (22)$$

$$KR_i = R_i + R_c \quad (23)$$

$$KC_c = C_1 + C_2 + C_c \quad (24)$$

$$\Delta f = \frac{K_o C_a}{C_a + C_b} K \quad (25)$$

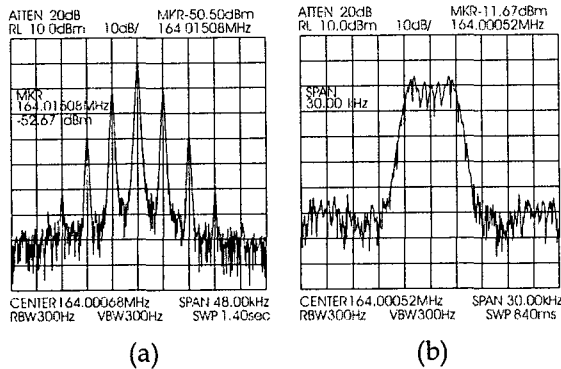


그림 8. 그림 7 회로 측정 (a)  $V_m = 4.8\text{KHz}$

(b)  $V_m = 400\text{Hz}$

Fig. 8. Implementation of Fig. 7 Circuit

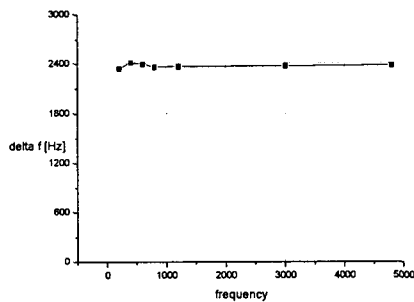


그림 9. 그림 7 회로의 주파수에 따른  $\Delta f$  변화

Fig. 9. Changing  $\Delta f$  of Fig. 7 as Frequency

그림 7의 회로를 제작하여 측정한 것은 그림 8과 같다. 그림 6에서 보던 spurious 성분은 주파수가 400Hz에서도 매우 작은 값으로 나타나 변조에는 아무 영향이 없었다. 식 (18)식을 이용하여 각 주파수 별로  $\Delta f$ 의 변화를 알아 본 결과는 그림 9와 같은데 200Hz까지는 일정한  $\Delta f$ 가 일정하게 나타나는 것을 식으로 측정이 가능하였고 그보다 더 낮은 주파수는 변조할 신호의 흔들림으로 스펙트럼 상에서 수치가 수시로 변화하여 측정이 불가능하였다. 하지만 스펙

트럼 상에서의 대역폭으로 짐작할 수 있는  $B.W. = 2(\Delta f + f_m)$ 을 이용하여 관찰한 결과는 200Hz미만의 신호에서는  $\Delta f$ 가 줄어드는 것을 확인할 수 있었다.

#### IV. 결론

본 논문은 보편화된 RF신호 발생기인 PLL Synthesizer에서 수KHz에서 수백Hz까지 변화하는 변조할 신호원을 FM변조할 때 루프 필터 대역폭 이하의 주파수에 발생하는 문제점을 해결하는 방법들의 제안하였고 그중 가장 단순한 방법의 문제점을 찾아 새로운 형태의 회로를 제작하고 측정하였다. 새로운 형태의 회로는 단지 R과 C만으로 이루어져 단순하고 제작이 용이하면서도 제작 단가가 내려가는 장점이 있으며 그에 대한 성능도 좋음을 알 수 있었다. 대량 생산하는 통신 시스템에서는 한 부분의 단가를 낮출 수 있다는 것은 매우 매력적인 부분으로 작용할 수 있으며 단가대 성능비를 비교하여 생산자가 선택하는 것은 보편화된 생산방법이다.

#### 참고문헌

- [1] David Rosemarin, "Wide bandwidth frequency modulation of phase lock loops", *RF Design*, February 2000
- [2] Dean Baberjee, *PLL Performance, Simulation, and Design*, National Semiconductor, p13-21 or 77-104, 2001
- [3] Ron Hunter and Fred Kostedt, "Using Tow-Point Modulation To Reduce Synthesizer Problems When Designing DC-Coupled GMSK Modulation", *MX-COM*, 2000
- [4] Martin S. Roden, *Analog and Digital Communication Systems*, Prentice-Hall, p272 p315, 1996
- [5] Perrott, et al., "A 27mW CMOS Fractional-N Synthesizer Using Digital Compensation for 2.5Mb/s GFSK Modulation", *IEEE Journal Solid-State Circuits*, Vol.30, No.12, p2048 -2060, December 1997