

## 고집적화를 위한 PCB에 내장된 인덕터의 제작

윤석출<sup>U\*</sup>, 송일종<sup>\*\*</sup>, 남광우<sup>\*\*</sup>, 심동하<sup>\*\*</sup>, 송인상<sup>\*\*</sup>, 이연승<sup>\*</sup>, 김학선<sup>\*</sup>

(\*한밭대학교 정보통신전문대학원, \*\*삼성종합기술원)

e-mail : dolchuly@hanbat.ac.kr

### The fabrication of the embedded inductor in the PCB for high integration

Seok-chul Yun, Il-Jong Song, Kuang-Woo Nam, Dong-Ha Sim, In-Sang Song,  
Youn-Seoung Lee, Hak-Sun Kim

Graduate school of information and communications, Hanbat National University, Samsung  
Advanced Institute of Technology

#### Abstract

This paper presents the embedded inductors in PCB (Printed Circuit Board) for PAM(Power Amplifier Module) of mobile terminations. The inductors are designed, simulated, and compared to conventional chip inductors. The quality factor(Q) and self-resonance frequency(SRF) of the inductors are evaluated. The quality factors of the inductors are two times higher than those of the chip inductors, and the self-resonance frequency is 1.3 times higher than those of chip inductors at the inductance of 2.7 nH and 3.3 nH respectively.

Key words : PCB, embedded inductor, Q-factor, inductance, SRF(self-resonance frequency)

## 1. 서론

최근의 무선통신 시장은 부품의 초소형화, 고기능화, 낮은 전력소비 및 저렴한 생산비용을 요구하고 있다. 특히 이동통신용 기기들의 소형화, 멀티밴드화, 고주파화 경향에 따라 RF 부품도 이에 준하여 고주파화, 복합모듈화, 초소형화, 고신뢰성을 추구하고 있다. 전력소모는 지속적으로 증가하고 많은 기능을 내장시켜야 하며 동일한 공간 내에 혹은 더욱 작은 공간에 탑재를 해야 하는 등 휴대폰의 다양한 요구를 부품입장에서는 계속 만족시켜 주어야 한다. 따라서, 한정된 공간을 최대한 활용하는 방안은 외장 수동소자를 embedded시키는 것이다. 이것의 구현방법으로 LTCC(Low Temperature Cofired Ceramics) 와 embedded PCB, 그리고 IPD(Integrated Passive Device)방법들이 연구되고 있다<sup>[1-3]</sup>. 본 논문에서는 면적의 최소화를 통하여 집적도를 높이고, 우수한 성능의 인덕터 제작을 위하여 embedded PCB에 인덕

터 제작을 제안하였다.

본 논문에서는 4층 PCB기판에 embedded 인덕터를 2층에 설계, 제작하였다. 그리고, 현재 휴대 단말기에 사용되고 있는 PAM chip 인덕터와 비교하여 그 성능을 평가하였고, 또한 모델링을 하였다.

## 2. 본론

### 2.1. 설계

설계 목표는 현재 상용화되고 있는 단말기의 PAM에 사용하는 인덕터이며, 성능도 PAM chip 인덕터와 비교하여 평가하였다.

그림 1.은 설계된 인덕터의 단면을 보여주고 있다. 그림에서 보듯이 기판은 FR-4 계열의 유전체를 사용하고, 4층으로 이루어졌다. 그리고, 인덕터 패턴은 2층에 형성하였다. 도체는 Cu를 사용하고 도체 두께는 25um이며, 도체사이의 유전물질의 특성은 표 1.과

같다.

설계변수로는 인덕터와 중심 via사이의 간격, turn수, 인덕터 폭, 그리고 인덕터 line간의 간격이다. 이것에 대한 값은 표 2와 같다.

인덕터의 설계 및 모델링에 사용된 시뮬레이션은 Ansoft HFSS v8.5와 Agilent사의 Advanced Design System(ADS)이다<sup>[4,5]</sup>. 제작된 소자는 HP 8510C Network Analyzer를 이용하여 측정하였다.

측정에 앞서 OSLT(open-short-load-through)로 full 2-port calibration하였다. 그리고 측정된 S-parameter를 Y-parameter로 변환하여 인덕터의 특성을 평가하였다. 평가 요소는 인덕턴스, Q-factor, SRF이다.

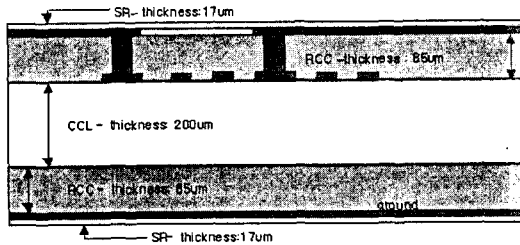


그림 1. 테스트 구조의 단면도

표 1. 유전물질 특성

	물질 특성
SR	Dk : 3.19, Df : 0.030(@1GHz)
layer1_2 layer3_4 (RCC)	Dk : 3.6, Df : 0.025 (@1MHz)
layer2_3 (CCL)	Dk : 4.28, Df : 0.0225(@1GHz)

#Dk : relative permittivity , Df : loss tangent

표 2. 설계 변수

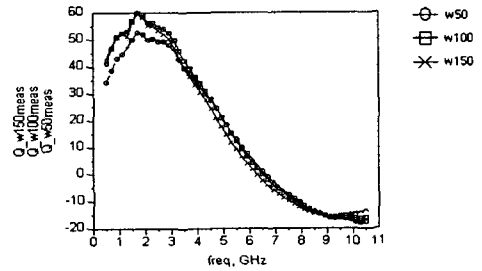
설계 변수	크기	단위
인덕터와 중심via사이의 간격	250~450	um
인덕터 turn수	1~3	
인덕터 폭	50, 100, 150	um
인덕터 line간 간격	50, 100, 150	um
인덕터와 ground 간격	800	um

2.2. 측정 결과 분석

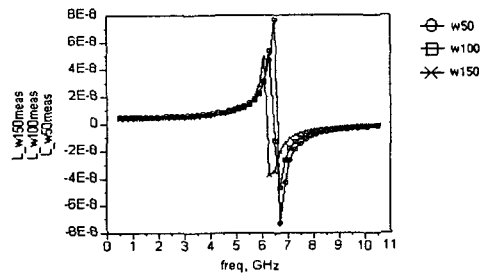
1) 인덕터의 폭 변화에 따른 영향<sup>[2]</sup>

그림 2는 최대 Q와 인덕턴스, SRF의 인덕터폭 변

화에 대한 결과를 나타낸다. 도체의 폭이 50um에서 150um까지 증가함에 따라 Q가 53에서 60로 7정도 증가하였다. 이는 도체의 직렬 저항성분이 감소하기 때문이다. 반면에 인덕턴스는 1.8 GHz에서 폭이 50um에서 150um까지 증가하면서 5.4 nH에서 4.16 nH까지 감소하였다. 또한 SRF도 50um에서 6.5 GHz 일었는데 폭이 증가함에 6.2 GHz까지 감소하였다.



(a) Q-factor 와 SRF의 변화

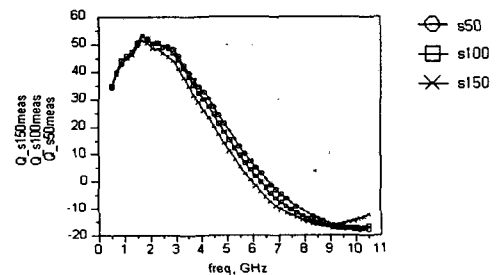


(b) 인덕턴스의 변화

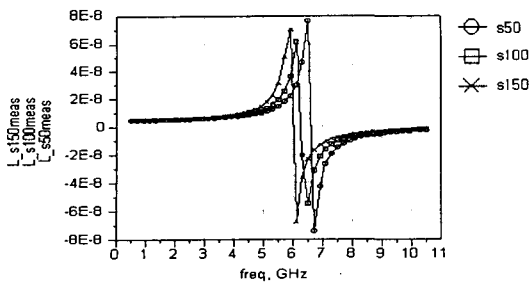
그림 2. 인덕터의 폭 변화에 따른 Q-factor와 인덕턴스, SRF의 변화.

2) 인덕터의 line간의 간격 변화에 따른 영향<sup>[2]</sup>

그림 3은 인덕터 line 간의 간격 변화에 따른 최대 Q 값과 인덕턴스 그리고 SRF의 변화를 나타낸 것이다. 최대 Q값은 모두가 53정도로 거의 영향을 주지 않으며, 인덕턴스는 1.8 GHz에서 간격이 50um일 때 5.44 nH이며, 간격이 증가함에 따라 5.89 nH까지 증가하였고, SRF는 6.5 GHz에서 5.9 GHz까지 감소하였다.



(a) Q-factor 와 SRF의 변화

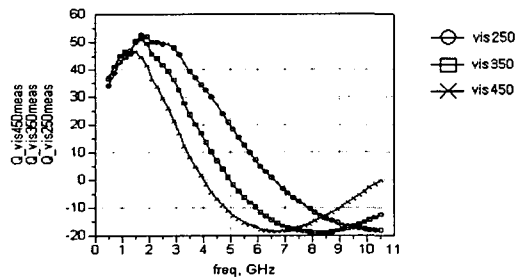


(b) 인덕턴스의 변화

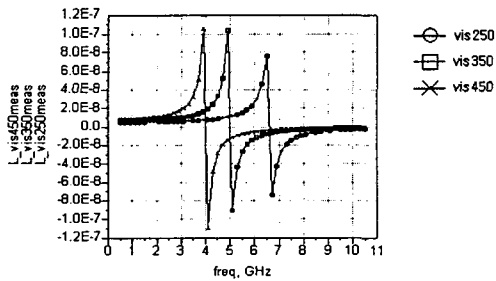
그림 3. 인덕터의 인덕터의 line space 변화에 따른 Q-factor와 인덕턴스, SRF의 변화.

3) 인덕터와 중심 via사이의 간격 변화에 따른 영향<sup>[2]</sup>

그림 4.는 인덕터와 중심 via사이의 간격 변화에 따른 최대 Q값과 인덕턴스 그리고 SRF의 변화를 나타낸 것이다. 최대 Q 값은 via와의 간격이 250um 일 때 53인데 150um일 때는 47로 6정도 감소하였고, SRF는 6.5 GHz에서 4 GHz까지 감소하였다. 이는 직렬 레지스턴스와 기판 기생성분들의 증가 때문이다. 반면에 인덕턴스는 5.44 nH에서 10.53 nH까지 증가하였다.



(a) Q-factor 와 SRF의 변화

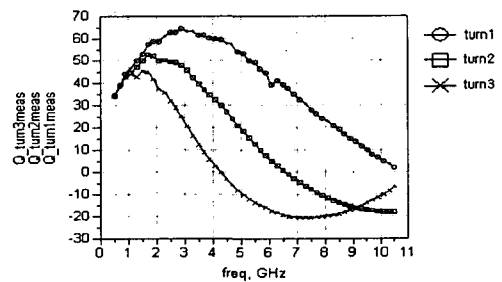


(b) 인덕턴스의 변화

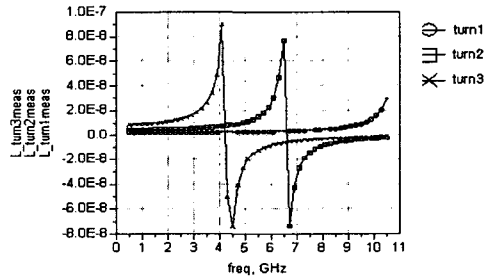
그림 4. 인덕터와 중심 via사이의 간격 변화에 따른 Q-factor와 인덕턴스, SRF의 변화.

4) 인덕터의 turn수 변화에 따른 영향<sup>[2,3]</sup>

그림 5.는 turn수의 변화에 따른 최대 Q 값과 인덕턴스 그리고 SRF의 변화를 나타낸 것이다. Turn수가 증가함에 따라 최대 Q값은 turn 수가 1일 때 65에서 3일 때는 45로 감소하고, SRF는 10.8 GHz에서 4.2 GHz까지 감소하였다. 반면에 인덕턴스값은 1.8 GHz에서 turn수가 1인 경우 2.62 nH이며 3일 때는 11.12 nH까지 증가하였다. Q 값이 감소하는 이유는 기생 캐패시턴스 성분과 레지스턴스가 증가하기 때문이고, SRF가 감소하는 원인은 기생 캐패시턴스가 높기 때문이다.



(a) Q-factor 와 SRF의 변화



(b) 인덕턴스의 변화

그림 5. 인덕터의 인덕터의 turn 수 변화에 따른 Q-factor와 인덕턴스, SRF의 변화.

#### 2.4. chip 인덕터와 embedded 인덕터의 비교

현재 휴대폰 단말기에 사용되고 있는 PAM 의 chip 인덕터와 제작한 embedded 인덕터와 성능을 비교하였다. 비교결과는 표 3.과 같다.

표 3.에서 보는 바와 같이 embedded 인덕터가 chip 인덕터에 비하여 2.7 nH 인덕터에서는 0.8 GHz에서 Q값을 59, 1.8 GHz에서는 73을 얻었고 SRF는 8.4 GHz를 얻었다. 3.3 nH 인덕터는 0.8 GHz에서는 43, 1.8 GHz에서는 57를 얻었으며, SRF는 8.2 GHz를 얻어 기존에 상용화되고 있는 PAM chip 인덕터보다 약 2배 이상 더 높은 Q값과 약 1.3배 더 높은 SRF를 얻었다.

표 3. chip 인덕터와 embedded 인덕터 성능 비교

Inductance (nH)	SRF (GHz)	Q_PAM modul		SRF (GHz)	Q_measurement	
		0.8GHz	1.8GHz		0.8GHz	1.8GHz
2.7±0.3	6	22	35	8.4	59	73
3.3±0.3, 10%	6	22	35	8.2	43	57
4.7±0.3, 10%	4	22	32	5.5	49	56
5.6±0.3, 10%	4	22	29	5.4	40	47
6.8±10%, 5%	3.9	21	29	4.2	51	50
10±10%, 5%	3.2	21	28	3.4	40	34

2.5 모델링

그림 6은 모델링을 위한 단면도를 보여주고 있으며, 그림 7은 제작된 인덕터의 특성 파악을 위한 모델링 회로도이다.

그림 6의 단면도에서 보듯이 인덕터 패턴 부분과 패드 선 블록부분을 고려하여 모델링 등가회로를 구성하였다<sup>6)</sup>. 모델링 주파수는 0.5GHz부터 10.5GHz 까지이다.

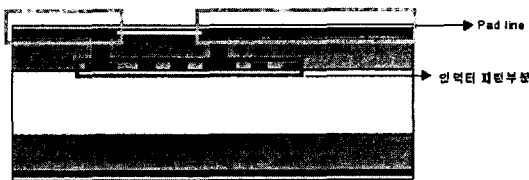


그림 6. 모델링을 위한 블록도

블록의 등가 회로는 대칭적인 구조로 일반적인 인덕터 등가모델을 사용하고, 고주파에서 유전체 FR-4가 발생시키는 손실을 저항성분으로 고려하여 인덕터 모델링을 하였다. 모델링은 ±5%오차를 두고 시도하였다.

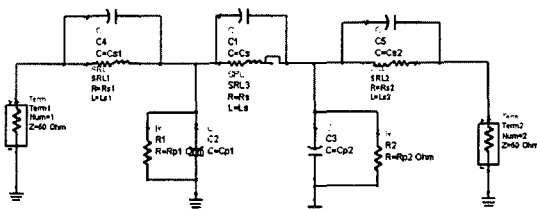
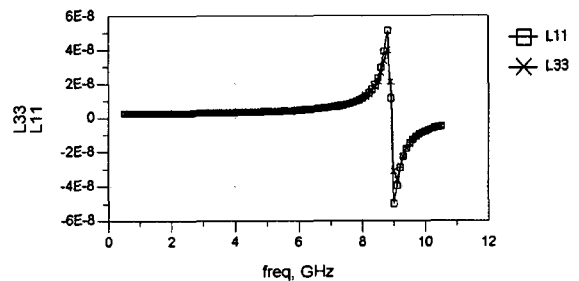


그림 7. 모델링을 위한 회로도

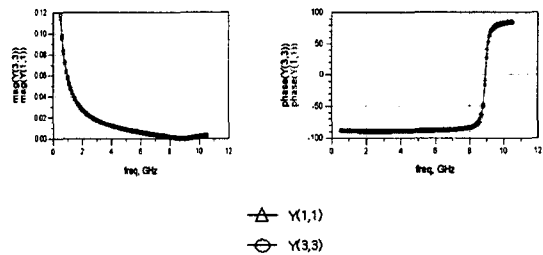
표 4와 그림 8에 모델링 결과를 나타내었다. 그림 8(a)와 (b), 표4에서 보듯이 모델링한 인덕턴스 값은 측정값과 거의 일치하였다. 그러나, 그림8(c)에서 측정값과 모델링 값의 Q 값이 0.8 GHz 이하에서 약간의 차이를 보이거나 고주파 부분에서는 거의 일치함을 알 수 있다. 0.8 GHz 이하에서 Q 값의 차이는 기판 내에서 발생하는 기생 캐패시턴스 값에 대한 보상이 필요하다고 생각된다. 따라서, 본 논문에서 제안한 모델링을 통하여 embedded 인덕터 제작시에 인덕턴스 값에 대한 예측이 가능함을 알 수 있다.

표 4. 2.7 nH 인덕터 모델링결과

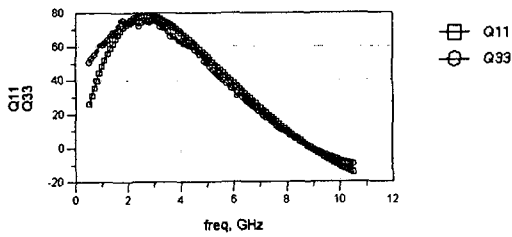
parameter	2.7nH inductor
Rs1[ohm]	0.07909
Rs2[ohm]	0.0803
Rs[ohm]	0.159002
Rp1[ohm]	7001.1
Rp2[ohm]	7000.99
Ls1[nH]	0.48838
Ls2[nH]	0.61332
Ls[nH]	1.60038
Cs1[fF]	0.3059
Cs2[fF]	0.39177
Cs[fF]	4.14121
Cp1[fF]	128.932
Cp2[fF]	140.008



(a) 모델링된 인덕턴스(L11)와 측정 인덕턴스(L33) 비교



(b) 모델링 데이터(Y(1,1))와 측정 데이터(Y(3,3))의 Y\_mag 와 Y\_phase 비교



(c) 모델링 Q(Q11) 와 측정 Q(Q33) 비교  
 그림 8. 모델링 값과 측정결과 비교(2.7nH).

### 3. 결론

본 논문에서는 4층 PCB에 embedded 인덕터를 제작하여 그 성능을 알아보았다. 그 결과 높은 Q를 얻기 위해서는 인덕터의 폭이 넓어야 하고, 인덕터와 중심via사이의 간격과 turn 수는 작아야 한다. 반면에 인덕터 line간의 간격은 Q값에 큰 영향을 주지 않는 것을 알 수 있었다.

2.7 nH와 3.3 nH embedded 인덕터에서 Q값은 1.8 GHz에서 각각 73과 57을 얻었고, SRF도 각각 8.4 GHz와 8.2 GHz를 얻었다. 따라서, 기존에 상용화되고 있는 PAM chip 인덕터보다 약 2배 이상 더 높은 Q값과 약 1.3배 더 높은 SRF를 얻었다.

모델링 결과 인덕턴스와 SRF는 측정결과와 거의 유사한 값을 얻었다. 그러나, Q는 저주파수 부근에서 측정치와 일치하지 않은 결과를 얻었다. 이는 기생성분에서 모델링이 잘 이루어지지 않아서 발생한 것으로 추정되며, 이 부분에 대하여 향후 더 연구가 필요할 것으로 사료된다.

#### 감사의 글

설계 및 제작에 도움을 주신 삼성전기 기관연구소 이석규님, 홍종국님과 CAE팀의 박동석님, 박상수님께 감사드립니다.

#### 참고문헌

- [1] 강석철, "Miniaturization and Integration trends for passive components", 전자부품연구원 전자정보센터, <http://www.eic.re.kr>
- [2] Lee, S.H.; Min, S.; Kim, D.; Dalmia, S.; Kim, W.; Sundaram, V.; Bhattacharya, S.; White, G.; Ayazi, F.; Kenney, J.S.; Swaminathan, M.

Tummala, R.R., "High Performance Spiral Inductors Embedded on Organic Substrates for SOP Applications", Microwave Symposium Digest, 2002 IEEE MTT-S International, Volume: 3, 2-7, pp.2229-2232, June 2002

[3] 윤석출, 이연승, 김학선, "시뮬레이션을 통한 실리 콘 고주파 집적회로를 위한 rectangular spiral 인덕터의 특성조사", 한밭대학교 정보통신전문대학원 논문집, 제1권 제1호, pp.115~122. 2003.

[4] Ansoft HFSS v8.5 manual books.

[5] Agilent Advanced Design System manual books.

[6] 신동욱, 오창훈, 이규복, 김종규, 유일구, "부분등가회로모델을 이용한 매립형 인덕터의 특성 연구", 전기전자재료학회 논문지, 16권 5호, pp.404-408, May 2003.