

VHF Band의 무선 기지국 전력 증폭기 설계

조성갑^o, 고지환
금오공과대학교 전자통신공학과
bulkom@hanafos.com

The Design of Base Station Amplifier For VHF Band

S. K. Cho, J. H. Ko
Department of Electronic Communication Engineering,
Kumoh National University of Technology

Abstract

본 논문에서는 VHF대역 기지국용 전력증폭기에 대해 입력레벨이 $0\text{ dBm} \pm 1\text{ dB}$, 출력이 $45\text{ dBm} \pm 1\text{ dB}$ 인 증폭기를 모듈화 하여 설계하고 제작 및 측정하였다. 출력 레벨 제어는 Pin Diode 감쇄기를 이용하여 Dynamic Range 40 dB 내에서 5단계로 전력제어가 가능하고 입력레벨이 $-4\sim 0\text{ dBm}$ 로 변동될 때 AGC(Auto Gain Control) 회로가 동작 되도록 설계하였다.

I. 서론

디지털 통신 기술이 향상되고 무선통신의 편리성과 이동성이 현대인의 생활과 부합되면서 이동 무선 통신 서비스가 크게 확대 되었고, VHF Band 통신도 기존 Point to Point 방식의 무전기를 이용한 통신방식에서 벗어나 기지국을 이용한 셀룰라 통신 방식이 도입 되었다. 전력 증폭기는 대부분 통신 시스템의 성능에 가장 큰 영향을 미치는 모듈로써 설계 및 제작이 용이하지 않다. 특히 VHF 대역의 전력증폭기는 상용화 되어 있는 모듈 및 부품이 적어 Discrete 소자를 이용한 증폭기 설계가 이루어 지므로 소형화 및 상용화가 매우 어려우며 증폭기의 부피가 커지고 제작시 Tuning 시간이 많이 소모 되었다.

본 논문에서는 전력증폭기를 3단 구조로 30W급

출력과 Pin Diode 감쇄기를 이용하여 출력 Dynamic Range 40 dB 내에서 5단계 전력제어가 가능하도록 VHF Band의 전력 증폭기를 설계 및 제작하였다. 본 전력증폭기는 출력 레벨 설정이 가능하여 유사장비 적용시 모듈의 활용 범위가 넓다고 볼 수 있다.

II. 전력 증폭기 설계 및 제작

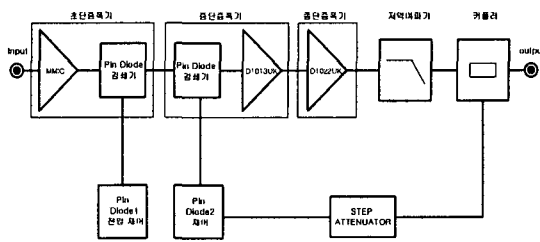
본 논문에서 설계하고자 하는 전력증폭기의 성능 설계 목표를 표1에 나타내었다.

[표1] 설계할 전력증폭기의 성능

항 목	규 격
주파수 범위	230 ~ 286 Mhz
입력 레벨	0 dBm ± 1 dB
최대 출력	45 dBm ± 1 dB
출력 평탄도	±1 dB
고조파	2nd, 3rd 고조파 (-65 dBc) Higher 고조파 (-80 dBc)
TWO Tone IMD	-20 dBc 이하
전류 소모	4.0 A 이하

2.1 전력 증폭기 구성 요소

표1의 전력증폭기 성능을 구현하기 위하여 다음의 그림1과 같이 전력 증폭기를 구성하였다.



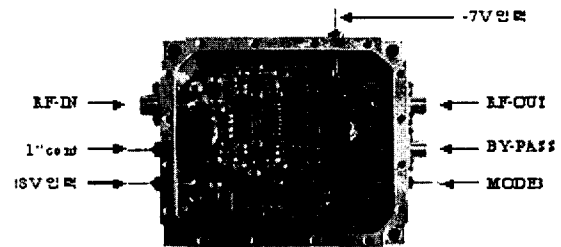
[그림1] 전력증폭기 구성도

전력증폭기는 초단, 중단, 중단증폭기 및 저역통과 여파기로 구성된다. 초단증폭기는 비교적 적은 신호를 입력받아 신호를 증폭하고 신호 레벨을 수동 제어하기 위해 이득이 20 dB인 MMIC 증폭기와 u-Processor에 의해 제어되는 Pin Diode 감쇄기로 구현되어 진다. 중단증폭기는 고출력의 중단증폭기를 구동하기 위한 20W급의 FET와 AGC(Auto Gain Control) 동작을 위한 Pin Diode 감쇄기로 구성되어 진다. AGC는 출력단에 부착된 커플러에서 Feedback된 신호가 Step Attenuator에 공급되고 u-Processor로부터 Step Attenuator의 감쇄 값이 결정 되어지면 이를 DC 전압으로 변경하여 Pin Diode 감쇄기의 제어 전압으로 입력됨으로 자동 이득조절이 수행된다. 만약 최종 출력이 기준 레벨보다 낮으면 Pin Diode2의 감쇄 값이 작아지고 최종 출력은 설정한 레벨 이상을 유지하게 된다. 중단증폭기는 고출력 및 선형성을 얻기 위하여 100W급의 FET를 사용하였고, P_{1dB} 점을 개선하기 위하여 Balanced Type 증폭기로 설계하였다. Balanced

Type의 증폭기는 Single Ended Type보다 전류소모가 2배 되나 P_{1dB} 점이 3dB 증가되어 선형성이 개선된다. 그리고 최종 출력단에 부착된 저역통과 여파기는 불요파 및 고조파 성분을 제거하기 위하여 중단증폭기 입력 단에 연결된다.

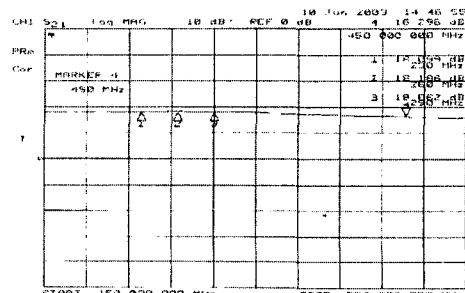
2.2 초단 증폭기

전력증폭기에서 초단증폭기는 그림1에서 보는 바와 같이 MMIC 증폭기와 감쇄기로 구성된다. MMIC증폭기는 Anadigics(사)의 ACA2402 (이득22 dB)를 사용하여 초단증폭기 전체 이득이 19 dB ± 1 dB를 만족하도록 설계하였다. Pin Diode 감쇄기는 Macom(사)의 π형 MA4P274-1225T를 사용하여 1~35 dB의 감쇄 범위를 갖도록 구현하였다.



[그림2] 초단증폭기 부품 모습

초단 증폭기의 제작된 모습을 그림2 나타내었으며 모듈의 크기는 93 × 63mm이다. 초단증폭기의 Pin Diode 감쇄기의 감쇄 값을 최소 (1 dB)가 되도록 설정 후 Network Analyzer를 이용하여 측정결과 230~290 Mhz에서 이득18 dB, Flatness ±0.5 dB 이내를 얻었다.

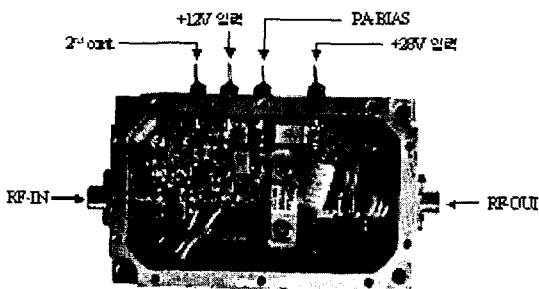


[그림3] 초단증폭기 출력

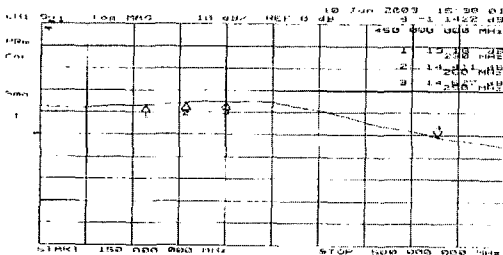
2.3 중단 증폭기

중단증폭기에서 입력단의 Pin Diode 감쇄기는 Agilent의 HSMP-3814(감쇄범위: 1~5 dB)를 사용되었고, 증폭기는 Semelab(사)의 20W급 Single Ended FET D1013UK를 사용하였다. 제작 완료 모습은 그림4에 나타내었으며 증폭기의 크기는 69x42mm이다. 증폭기의 입출력 Matching은 T형 Coaxial Feed lines으로 설계하였는데 T형 Coaxial Feed lines은 광대역 Matching이 용이하고 저역 통과 여파기의 역할도 하므로 불요파 및 고조파 성분을 제거 할 수 있는 장점이 있는 반면 제작이 어렵다는 단점이 있다.

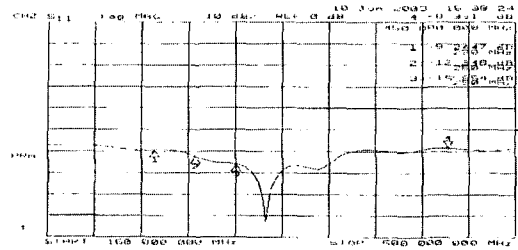
중단 증폭기는 초단증폭기로부터 18 dBm의 입력을 받으므로 정확한 측정을 위해서는 18 dBm 입력으로 측정해야 한다. 하지만 실제 측정은 중단증폭기 입력 0 dBm, AGC용 Pin Diode의 감쇄를 5 dB로 설정 후 측정하였다. 측정된 결과는 230~290 Mhz에서 그림5와 같이 $S_{21} = 14 \pm 1dB$, $S_{11} = -9 \sim -15 dB$ 를 얻었다. AGC는 입력 신호가 기준보다 낮은 레벨에서 단계 4까지 변동되더라도 일정하게 신호 출력되는 것으로 측정되었다.



[그림4] 중단증폭기 부품 Layout



(a) S_{21}

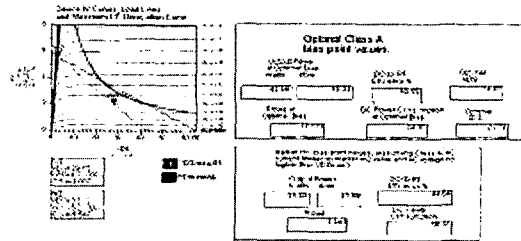


(b) S_{11}

[그림5] 중단증폭기 출력 특성

2.4 중단 증폭기

중단증폭기는 2W의 높은 전력이 입력되므로 적절한 증폭기의 선택 및 DC 동작점을 선택하여야 한다. 그래서 본 설계에서는 Semelab(사)의 D1022UK를 사용하여 설계하였으며 Agilent의 ADS(Advanced Design System)을 이용하여 DC 동작점을 Simulation 하였다. 그림6에서 보듯이 $V_{ds} = 28V$, $V_{gs} = 4V$, $I_{ds} = 2A$ 일 때 최대 가능 출력은 43.99 dBm이다. 최종 증폭기는 두개의 FET를 Balanced Type으로 구성하므로 출력 신호 전력을 45 dBm 얻어 설계 목표 규격을 만족하였다.



[그림6] DC 동작점

그림7은 중단증폭기의 제작 완료 모습을 보여주고 있으며 크기는 96x68mm이다. 중단증폭기와 같이 FET 입출력 Matching은 T형 Coaxial Feed lines으로 구현하였으며 신호의 결합은 90° Hybrid Coupler를 이용하였다.

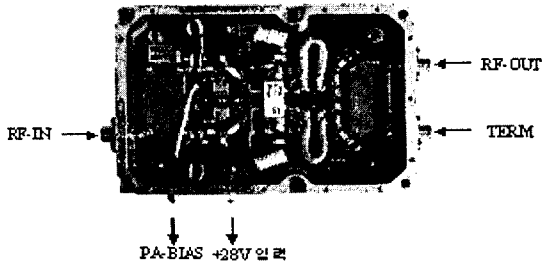
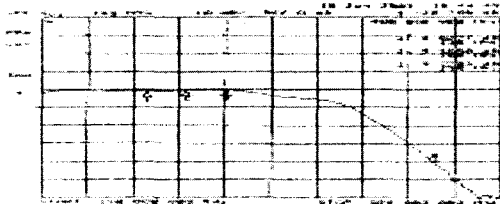
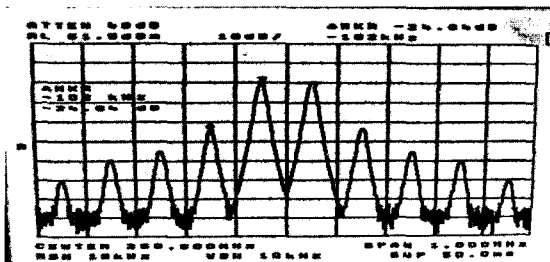


그림7] 중단증폭기

중단증폭기의 출력 특성은 그림8의 (a)에서 보듯이 $s_{21} = 9dB$ 을 얻었으며, 증폭기에 $33 dBm$ 입력하여 Two Tone IMD 측정 결과는 그림8의 (b)에서 보는바와 같이 $-24 dBc$ 을 얻었다. Two Tone IMD 측정은 초단, 중단, 중단증폭기를 통합하여 초단 증폭기에 Two Tone 신호를 각각 $-3 dBm$ 입력하여 스펙트럼 분석기로 출력신호를 측정하였다. 그림9은 초단, 중단 및 중단 증폭기를 통합하여 전체 이득이 $44dB \pm 1dB$ 로 측정되었으며 설계 규격을 만족함을 알 수 있었다.



(a) s_{21}



(b) Two Tone IMD

그림8 중단증폭기 출력 특성

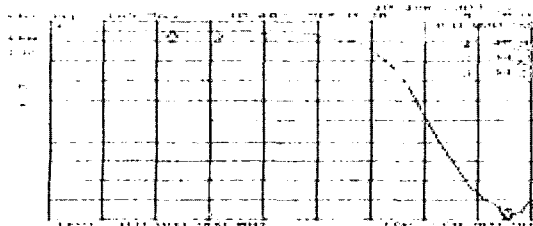


그림9 전력증폭기 이득

표2는 전력증폭기의 전력제어 출력($260 MHz$) 및 Two Tone($f_1:259.95 MHz, f_2:260.05 MHz$) IMD 측정결과로 설계 규격을 만족함을 알 수 있다.

[표2] 전력레벨 및 Two Tone IMD 측정결과

단계	Two Tone IMD (dBc)	출력 (dBm)
1	30.6	6.2
2	29.6	15.2
3	27.5	24.0
4	22.5	33.1
5	24.5	44.6

III. 결론

본 논문에서는 주파수 $260 MHz$ 대의 전력증폭기를 초단, 중단, 중단 및 π 형 Pin Diode 감쇄기를 이용한 전력 제어 회로를 유전율4.2인 FR4 PCB를 사용하여 설계하고 제작하였다. 초단 증폭기는 높은 이득을 목적으로 MMIC를 사용하였고 중단 및 중단 증폭기는 Semelab(사)의 FET를 이용하여 설계하였다. 설계된 증폭기는 $230 \sim 290 MHz$ 주파수에서 이득 $44dB \pm 1dB$, Flatness $\pm 1dB$, Two Tone IMD $-24dBc$ 을 나타내었다.

References

- [1] David M. Pozar, "Microwave Engineering"
- [2] Guillermo Gonzalez, "Microwave Transistor Amplifiers Analysis and Design", Second Edition, Prentice Hall
- [3] 고주파 회로 설계 이론, 삼성첨단 기술연구소
- [4] Rohde, Newkirk, "RF/Microwave Circuit Design for Wireless Applications" Wiley 2000