

2.5 Gbps CMOS 광 트랜시버 설계

이경직, 이상봉, 최진호, 최영완
 중앙대학교 광전자 및 광통신 연구실

Design of 2.5 Gbps CMOS Optical Transceiver

KyungJik Lee, Sangbong Lee, Jinho Choi, Youngwan Choi
 Lab. of Optoelectronics and Optical Communications, Chung Ang University

Abstract - 본 논문에서는 0.35 μm CMOS 공정을 이용하여 2.5 Gbps로 동작하는 광 송수신기를 설계하였다. 광 송수신기의 구성을 보자면, 전기 신호를 빛 신호로 전환하여 주는 레이저 다이오드(LD) 구동부와 레이저 다이오드에서 나오는 빛 신호를 수신하여 이를 다시 전기 신호로 바꿔주는 포토 다이오드(PD) 구동 부분으로 구성된다. LD 구동부는 LD의 문턱전류 이상을 공급하는 바이어스 부분과 신호레벨의 모듈레이션 전류를 공급하는 부분으로 구성된다. 디자인된 송신기는 바이어스 전류를 10 mA 정도 공급해주며, 모듈레이션 전류를 15 mA 정도 공급한다. 수신기는 current decision 부분과 output buffer 부분으로 구성되어 PD로부터 나오는 전류를 다시 디지털 레벨의 전압신호로 바꾸어 주며 디자인된 수신기는 넓은 동작 영역을 가진다.

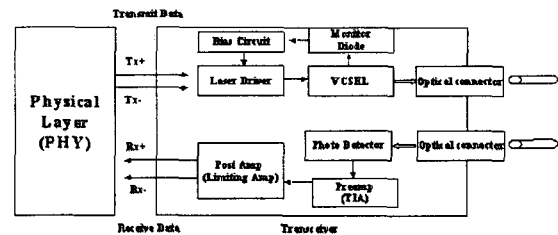


그림 1. 광 접속 송수신기 블록도

1. 서 론

정보 통신망의 초고속화와 대용량화는 광대역 통신망 구축에 있어서 단순한 음성 정보 뿐 아니라 영상 정보 등 멀티미디어 서비스의 요구가 증대됨에 따라 날로 그 중요성이 증대되고 있다. 이러한 시대적 요구에 따라 광통신이 차지하는 비중은 날로 커지고 있는 실정이며, 광 접속 기술은 전기적인 접속 기술에서 나타나고 있는 한계를 극복할 수 있는 가장 유력한 방법 중의 하나이다. 이에 본 논문에서는 레이저 다이오드(LD)로 대표되는 광 송신기와 포토 다이오드(PD)로 대표되는 광 수신기를 하나로 묶은 광 송수신기를 0.35 μm CMOS 기술을 적용하여 설계하였다.

2. 본 론

그림 1은 광 접속 송수신기 블록도를 나타낸다. 광 접속 송신 모듈은 다중화를 통한 고속의 물리계층 전기신호 데이터를 구동회로를 통하여 광 신호로 변환하여 원하는 장소로 전송한다. 광 접속 수신 모듈은 입력되는 광 신호를 다시 전기신호로 변환한 다음 증폭, 재생 및 역다중화하여 물리계층으로 다시 보낸다.

광 송신기

그림 2에 광 송신기의 블록도를 나타내었다. 그림 2의 광 송신기는 두 개의 정합된 트랜지스터로 구성된 차동쌍의 형태를 기본으로 한다.

이 차동쌍 구조의 형태는 각각의 트랜지스터의 게이트로 두 개의 입력을 가지고 있다. 하나의 입력은 고속의 변조 전류를, 다른 하나는 광원의 문턱전류 이상을 일정하게 공급할 수 있는 바이어스 전류를 입력으로 한다.

회로의 동작은 크게 변조 부분과 바이어스 부분으로 나누어 볼 수 있는데, 바이어스 부분은 10 mA 정도의 전류를 공급하여 주며 변조 부분은 17 mA 정도의 전류를 공급하여 준다.

그림 3은 본 광 송신기의 시뮬레이션 결과를 보여주고 있으며, 시뮬레이션은 IDEC(IC Design Education Center)에서 지원하는 H-Spice를 사용하였다.

윗부분은 입력 부분으로써 peak-to-peak 800 mV, 2.5 Gbps의 속도로 송신기에 입력되고 있음을 보여주고 있으며, 아랫부분은 그에 따른 LD의 출력으로써, 광 신호의 출력을 등가회로화한 전류로써 보여주고 있다.

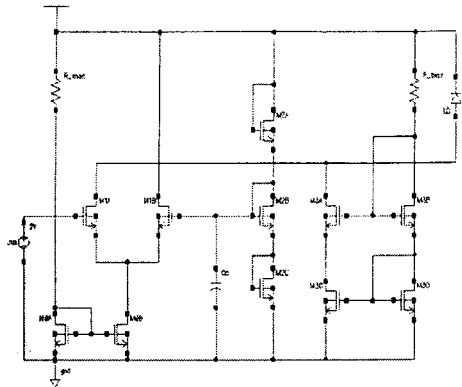


그림 2. 광 송신기 블록도

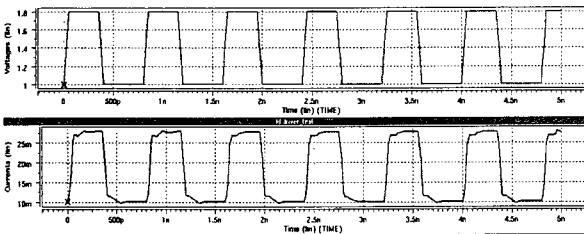


그림 3. 광 송신기 시뮬레이션

광 수신기

그림 4에 광 수신기의 블록도를 나타내었다. 광 수신기는 크게 current inversion부분과 current decision부분, output buffer부분으로 구성되어 있다. Current decision부분에서는 PD의 출력 current와 inversion된 current를 두 입력으로 하여 출력 전압의 decision gain 요소를 증가시킨다. 그리고 뒷부분에는 디지털 레벨로 폴스윙 할 수 있도록 inverter buffer를 사용하였다.

그림 5는 본 광 수신기의 시뮬레이션 결과를 보여준다.

이는 각기 다른 크기의 PD 출력 전류에 대해서도 디지털 레벨로 잘 동작함을 보여주고 있으며, 또한 사인과 형태의 PD 출력 전류에 대해서도 잘 동작함을 보여주고 있다.

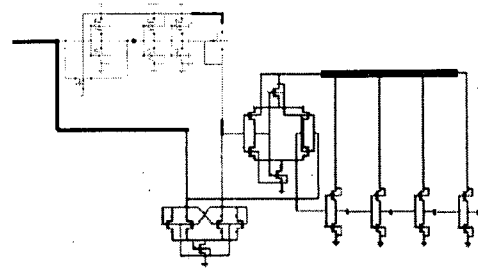


그림 4. 광 수신기 블록도

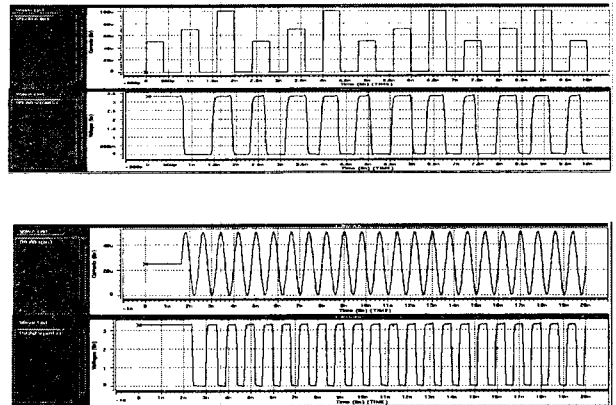


그림 5. 광 수신기 시뮬레이션

다음 그림 6은 위의 광 송수신기에 대한 디자인 layout 화면을 보여주고 있다.

왼쪽 부분이 광 수신기이고 오른쪽 부분이 광 송신기 부분이다.

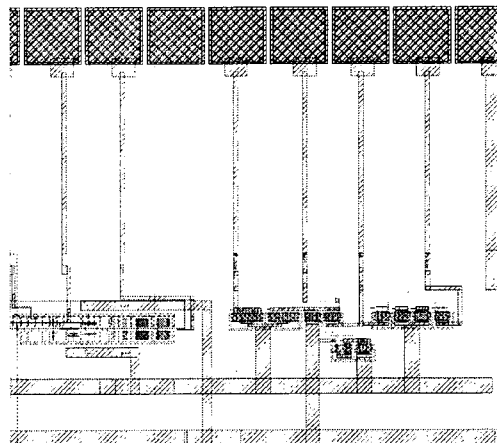


그림 6. 광 송수신기 Layout

3. 결 론

본 논문에서 제시한 광 송수신기는 삼성 0.35 μm CMOS 기술을 바탕으로 시뮬레이션과 layout이 수행되었다.

시뮬레이션에서 알 수 있듯이 광 송신기 및 수신기 모두 2.5 Gbps에서 잘 동작함을 보여주고 있다.

[참 고 문 헌]

- [1] R.Jacob Baker, Harry W. Li, David E. Boyce, "CMOS circuit design, layout, and simulation"
- [2] Allen Holberg, "CMOS Analog Circuit Design"
- [3] N. Haralabidis, G.Halkias, "A CMOS laser driver with independently adjustable DC and modulation currents for data rates up to 2.5 Gbps", ISCAS, IEEE, 2000
- [4] S.J. Jung, H.S. Kim, D.G. Kim, Y.W. Choi, "A 2.5V 1 Gbps/ch Parallel Optical Receiver in 0.25 μm CMOS technology", SPIE, 2001