

MIM 구조의 음극 전계 방출 효율 증진을 위한 IrO₂ 상부전극의 제조

박태주, 정두석, 황철성, 박민수*, 강남석*

서울대학교 재료공학부, 반도체 공동연구소, LG 전자기술연구원*

FABRICATION OF ULTRA THIN IrO₂-TOP-ELECTRODE FOR IMPROVING EMISSION CURRENT DENSITY IN MIM CATHODES

Tae Joo Park, Doo Seok Jung, and Cheol Seong Hwang,

Min Soo Park* and Nam-Seok Kang*

School of Materials Science and Engineering and Inter-university Semiconductor Research Center,
Seoul National University, Seoul 151-742, Korea

LG Electrics Institute of Technology, Woomyeon-Dong, Seocho-Gu, Seoul 137-724, Korea*

Abstract

기존의 FED 용 MIM cathode 에 쓰이는 다층금속상부 전극을 열처리하였을 때 생기는 문제점에 대하여 살펴보았다. 먼저 열처리 후에 상부전극자체가 열변형이 일어나면서 나타나는 비저항의 증가, 표면 형상의 악화 등이 문제점으로 나타났고, 여기에 하부전극의 변형이 이러한 현상을 더욱 악화시키는 것을 확인할 수 있었다. 특히, 상부전극의 경우 그 두께가 극히 얇아 열변형이 매우 취약한 탓에 대체 물질의 개발이 시급하였다.

산화물전극은 열변형에 대해 매우 안정하여 열처리 후, 비저항이나 표면 형상의 변화가 적으며, 얇은 두께에서도 균일하게 박막이 형성되어 그 특성이 다층금속전극에 비해 매우 뛰어남을 확인하였다.

터널링 Al₂O₃ 위에 금속다층 상부전극 (Au/Pt/Ir)을 사용하여 MIM (Metal - Insulator - Metal) 타입 Cathode의 전계 방출 전류밀도 효율을 증진시켰다는 보고가 있다.[1,2,3] 그러나 상부전극과 절연체 사이의 계면트랩에 의해 전계방출 특성이 불안정하므로, 이는 그림 1, 2에서와 같이 후열처리 공정을 통해 개선하고 있다.

하지만, 그림 3과 같이 후열처리 공정 후에 다층금속전극이 뭉치거나 끊어지는 등 열변형이 일어나, 전극의 비저항을 증가시키고, 표면거칠기를 악화시키며, 결과적으로 전계방출 전류밀도의 불균일을 초래하는 등 상부전극으로서 매우 치명적인 현상이 발생한다.

이에 본 실험에서는 다층금속전극을 대체하기 위해 10nm이하의 IrO₂ 박막의 제조 및 그 특성분석을 하였다. IrO₂는 그 열적 안정성이 매우 뛰어나고, 결과적으로 후열처리 공정이후의 비저항이나

표면거칠기 특성이 기존의 금속다층전극에 비해 매우 뛰어나다. 게다가 IrO₂의 일함수값은 4.23eV로서 Au의 4.8eV보다 낮아 전계방출비 또한 효과적으로 증진시킬 것으로 예상된다.

모든 IrO₂ 박막은 반응성 DC 마그네트론 스퍼터링으로 이루어졌다. 그림 4에서 보듯이, 일반적으로 박막이 얇아지면서 표면 스캐터링 등의 효과로 인해 비저항이 증가한다는 사실과는 배치되는 결과를 얻을 수 있었다. 이는 박막이 매우 얇을 경우, 박막 증착초기에 나타나는 기판과의 상호작용으로 인한 영향이 박막의 물성에 지배적으로 작용한다는 사실을 보여준다. Si 기판 쪽에 비저항이 작은 물질이 국부적으로 생성되는 것으로 추측되는데, 이는 그림 5에서 생각해 보면, 증착초기에 대부분의 산소원자가 SiO₂의 형성에 기여하고, 따라서 금속 Ir이 국부적으로 박막 내에 존재하는 것으로 추측해 볼 수 있다.

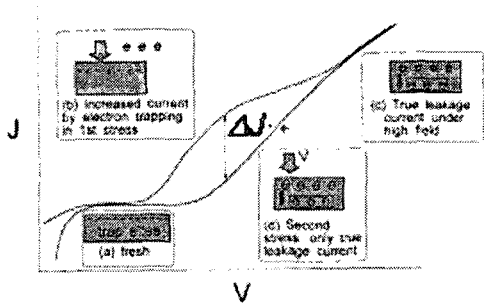


Fig. 1. The area between two J-V lines is proportional to the density of electron trap sites (C. S. Hwang, *Mater. Sci. Eng. B56*,).

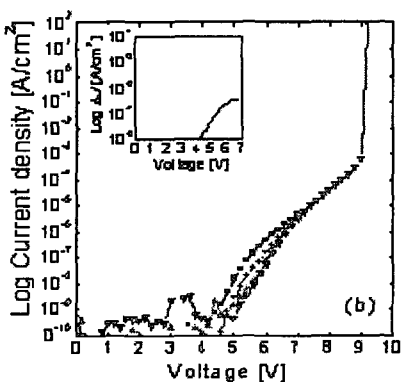
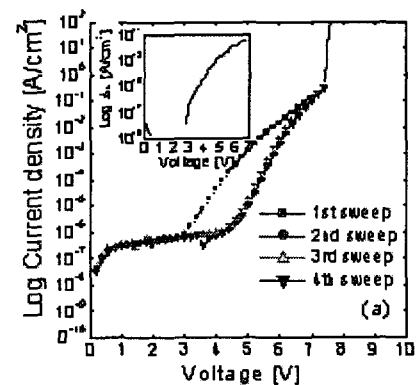


Fig. 2. Current density versus applied voltage of MIM cathodes; (a) As-deposited top electrode, (b) post-annealed at 41 0°C, 10 min. The interface trap density decreases by four orders of magnitude as shown in the insets.

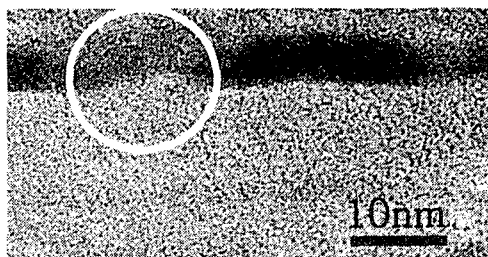


Fig. 3. TEM micrograph showing the top-metal-multi-layer-electrode agglomerates to break down in some regions.

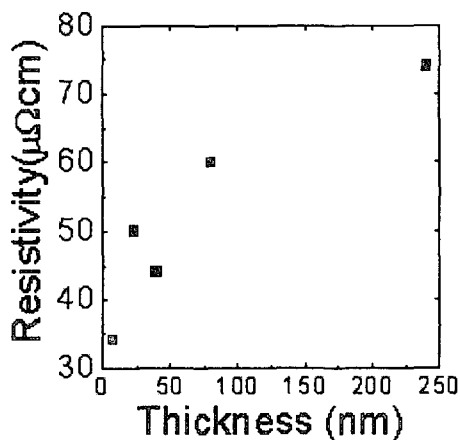


Fig. 4. Resistivity vs. thickness of IrO₂ thin film.

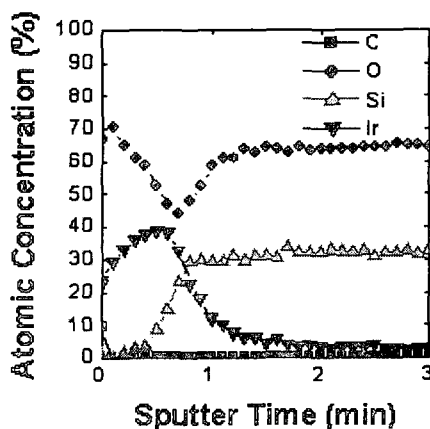


Fig. 5. AES depth profile of IrO₂ thin film deposited under dc input power of 20 W, working pressure of 1mtorr, O₂ ratio of 25%

최근 들어 반도체를 기반으로 하는 전자 소자들이 스케일링을 거듭함에 따라 박막의 두께 또한 10nm 이하로 줄어들며, 계면반응에 대한 중요성이 더욱 부각되고 있다. 따라서 증착시 계면 반응에 의해 전체박막의 특성이 변하는 현상을 고찰해보는 것은 매우 의미있는 작업이라 할 수 있겠다.

참고 문헌

1. T. Kusunoki and M. Suzuki, IEEE Transactions on Electron Devices, Vol.47, NO.8, August 2000
2. M. Suzuki, T. Kusunoki, M. Sagawa, and K. Tsuji, IEEE Transactions on Electron Devices, Vol.49, NO.6, June 2002
3. T. Kusunoki and M. Suzuki, S. Sasaki, T. Yaguchi and T. Aida, Jpn. J. Appl. Phys. 32, L1695, 1993