

Wireless LAN을 위한 2차원 나선형 인덕터의 PEEC 모델링 기법 연구

오창훈, 신동욱, 이규복*, 김종규*, 윤일구
연세대학교 전기전자 공학과, 전자부품연구원*

Study on PEEC modeling methodology on 2-D Spiral Inductors for Wireless LAN application

Changhoon Oh, Dongwook Shin, Kyu-Bok Lee*, Jong-Kyu Kim*, and Ilgu Yun
Yonsei Univ., KETI*

Abstract

With the advances on wireless internet technology, many research on minimization of wireless LAN is on the progress. To apply passive components in MCM, characteristic analysis of passive components is essential. In this paper, three square spiral inductors were modeled by HSPICE using PEEC (Partial Element Equivalent Circuit) method. Afterwards, Monte-Carlo analysis was performed to evaluate the optimized parameters. This work will give an idea on PEEC modeling of spiral inductor, and enable researchers with predictive data before large scale manufacturing.

Key Words : Spiral Inductor; Multilayer LTCC process; HSPICE; Monte-Carlo Analysis

1. 서론

최근의 전자산업에서 소형화와 고성능화를 위해서 패키징 기술(packaging technology)이 사용되고 있다. 이러한 소형화와 고성능화를 충족시키는 방법중의 하나가 Multichip Modules(MCMs)이다. Multichip Modules(MCMs)은 몇 개의 집적회로(IC)들을 함께 패키징(packaging)한다[1]. 이러한 MCM용 분야에서 수동소자들(capacitor, resistor and inductor)은 필수적인 요소들이다. 수동소자는 전자 기기 및 각종 소자에 매우 중요한 역할을 하고 있으며 수동소자가 차지하는 비율은 점점 증가하고 있다.

이런 MCM 기술을 이용하여 저항, 인덕터, 커패시터 등의 수동소자를 집적시켜 모듈화 하는데 저온 동시소성 세라믹(Low Temperature Cofired Ceramic : LTCC) 공정이 주로 사용되고 있다. LTCC는 기판(substrate)에 많은 수동소자들을 집적할 수 있다는 점에서 높은 신뢰성, 가격절감, 부피감소 등의 장점이 있지만 한번 만들면 재공정이 불가능하다는 단점이 있다. LTCC로 제작되는 수

동소자들의 구조를 정확히 설계하기 위해서는, 각각의 소자들에 대한 정확한 모델링이 필요하고, 이러한 수동소자들을 컴퓨터를 이용한 실제적인 회로설계에 활용할 수 있도록 library화하는 기술, 그리고 각 파라미터의 변위가 수동소자의 동작에 어떠한 영향을 미치는가에 대한 연구가 필요하다.

따라서 본 논문에서는 Multilayer LTCC 공정으로 제조된 2-Dimensional Embedded Inductor의 모델링을 수행하고 모델링을 수행해서 얻은 각 파라미터를 Library화 하고자 한다. 이를 위해서 이미 50MHz - 5GHz의 범위에서 Scattering Parameter가 측정된 3가지 다른 구조의 LTCC 2-Dimensional Embedded Inductor를 우선 HSPICE Optimization과 Partial Element Equivalent Circuit(PEEC) Method를 이용하여 정확히 모델링하여, 그 후 각각의 구조로부터 나온 R, L, C parameter들의 최적화된 값들을 구해낸다. 이를 통해서 소자의 특성에 대한 예측과 수율향상을 기하는 것이 연구의 목적이다.

2. 실험

2.1 Test Structure

2차원 나선형 인덕터의 테스트 구조는 미국의 National Semiconductor Inc.에서 제작되었으며 각 두께가 3 mils인 6-layer로 되어 있으며 LTCC공정에 의하여 만들었다[2]. 유전상수 7.8 인 96% alumina substrate에 Ti/Au를 적층하였다. 테스트 구조는 나선의 회전수에 따라서 테스트 구조 A, B, C로 구분하였으며 그에 대한 테스트 구조의 모형은 다음과 같다. 그림 1은 테스트 구조의 전체 기판 사진과 모델링을 수행한 테스트 구조의 2차원 모형을 나타내고 있다. 테스트 구조의 전체 기판의 사이즈는 1.8 × 2.2 cm 이다.

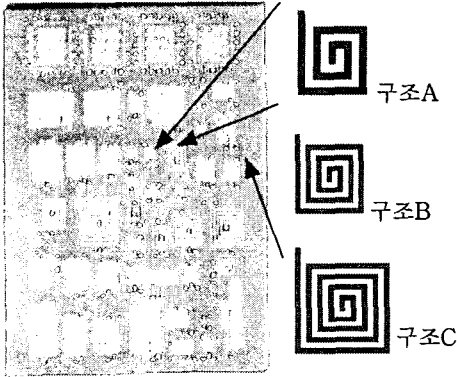


그림 1. 전체 기판 사진 및 나선형 인덕터.
Fig. 1. Total Coupon and Spiral Inductor.

2.2 Modeling

모델링을 위하여 inductor의 각 부분들을 4분류의 building block으로 나누어, 최종적으로 각 building block들이 전체 inductor에 미치는 전기적 영향을 결정하였다. 각각의 building block은 'Pad Block', 'Sequential Block', 'Corner Block' 그리고 'Parastic Block'으로 분류했다. 이 building block을 나타내는 등가회로는 Partial Element Equivalent Circuit(PEEC) Method를 이용하여 각 block들의 실제 구조를 고려한 것이다. HSPICE simulator를 이용한 simulation은 기존의 EM/RF (Electromagnetic / Radio Frequency) simulation 방법들에 비해 손쉽게 test structure들의 동작을 정확히 예측할 수 있도록 해 준다[3].

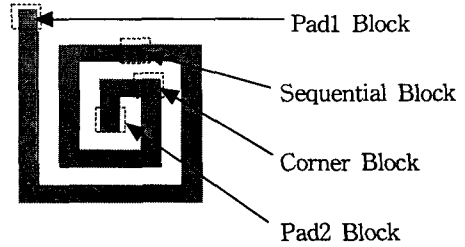


그림 2. 나선형 인덕터의 빌딩 블록.
Fig. 2. Basic building block definition.

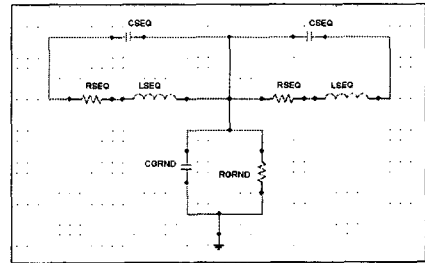


그림 3. 각 빌딩 블록의 등가 회로.
Fig. 3. Equivalent circuit for building block.

마주보는 Building Block 간에 생기는 기생성분에 대하여 각각 Parasitic Block을 설정하였다. Sequential-Sequential 간의 기생성분과 Corner-Corner 간의 기생성분이 각각 설정되었다. 이들 Block은 L과 C가 병렬로 연결되어있다.

2.3 Y Parameter

인덕터의 성능을 결정하는 것은 테스트 구조의 입출력 전압과 전류의 관계를 나타내는 admittance parameter(Y-parameter)이나, 측정되는 주파수 영역은 500MHz~5GHz의 고주파 영역으로 이 영역에서 Y-parameter를 직접 측정하는 것은 불가능하므로 각각의 구조에 대해서 500MHz~5GHz까지의 scattering parameter(S-Parameter)를 측정하였다. 이 때 입출력 저항은 각각 50Ω을 연결하였다. 또한 제조 공정에서 매우 작은 저항을 갖는 물질을 이용하였기 때문에 직류 저항의 값은 무시하였다.

3. 결과 및 고찰

3.1 Y11 Parameter Modeling Result

그림 5에서 그림 7까지는 각각의 Test Structure의 Y11-parameter 최적화 결과이다. 그래프의

Solid Line은 Measured Data를 나타내고 Dotted Line은 Optimized Data를 나타내고 있다. 그림에서 알수 있듯이 최적화된 결과와 측정된 결과가 거의 비슷하게 나옴을 알수 있다.

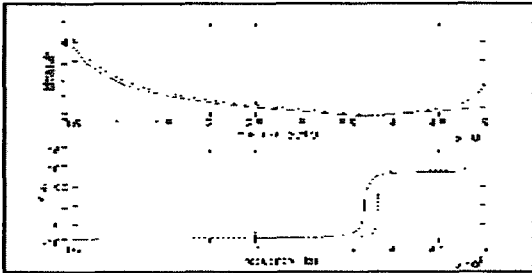


그림 4. 구조 A의 최적화된 모델링 결과.

Fig. 4. Y11 Magnitude & Phase of Test Structure A.

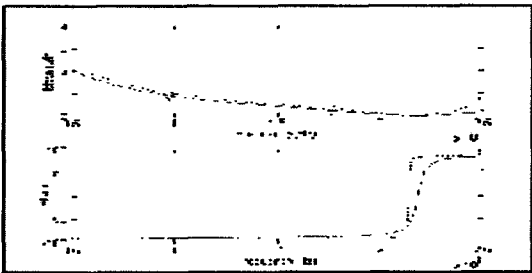


그림 5. 구조 B의 최적화된 모델링 결과.

Fig. 5. Y11 Magnitude & Phase of Test Structure B.

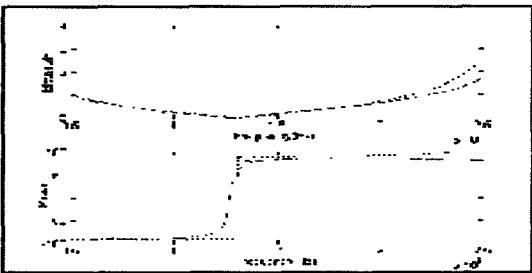


그림 6. 구조 C의 최적화된 모델링 결과.

Fig. 6. Y11 Magnitude & Phase of Test Structure C.

3.2 Monte-Carlo Analysis

위의 결과에서 얻어진 피적화된 변수를 표1에 나타내었다. 최적화된 변수의 타당성을 검증하기 위하여, 이들 변수의 평균값과 절대편차를 이용하여 Monte-Carlo Simulation을 수행하였다.

표 1. 추출된 최적화된 변수.

Table 1. Extracted parameter value.

	구조 A	구조 B	구조 C	Mean	Dev.
Rpad1	1.00E-06	1.00E-06	1.00E-06	1.00E-06	1.00E-06
Lpad1	9.41E-10	3.33E-09	2.56E-09	2.56E-09	2.56E-09
Cpad1	5.89E-13	1.29E-13	6.90E-13	6.90E-13	6.90E-13
Rpad2	9.21E-01	1.00E-12	1.00E-12	1.00E-12	1.00E-12
Lpad2	1.37E-11	1.37E-11	1.38E-11	1.38E-11	1.38E-11
Cpad2	1.95E-09	1.91E-09	1.93E-09	1.93E-09	1.93E-09
Rseq	1.00E-09	1.00E-09	1.00E-09	1.00E-09	1.00E-09
Lseq	3.92E-10	3.92E-10	3.92E-10	3.92E-10	3.92E-10
Cseq	1.70E-16	1.70E-16	1.70E-16	1.70E-16	1.70E-16
Rcur	5.00E-06	5.00E-06	5.00E-06	5.00E-06	5.00E-06
Lcur	5.31E-12	5.56E-12	5.55E-12	5.55E-12	5.55E-12
Ccur	7.70E-10	7.35E-10	7.35E-10	7.35E-10	7.35E-10
Cgnd1	5.06E-13	9.15E-13	9.81E-13	9.81E-13	9.81E-13
Cgnd2	1.06E-17	1.00E-17	1.00E-17	1.00E-17	1.00E-17
Cgnd3	1.48E-15	1.23E-14	2.78E-15	2.78E-15	2.78E-15
Cgnd4	4.41E-14	1.36E-14	2.61E-14	2.61E-14	2.61E-14

그림7~9에 각 구조에 대한 Monte-Carlo 결과를 나타내었다. 측정된 Data가 오차허용 범위에 들어 있는 것을 나타내어 본 결과의 신뢰도를 나타낸다.

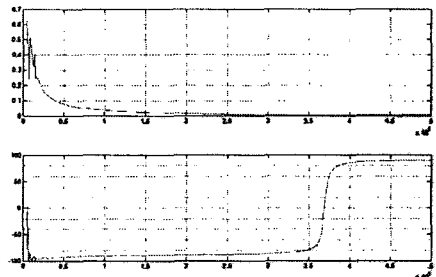


그림 7. 구조 A의 몬테카를로 결과.

Fig. 7. Monte-Carlo Result of Test Structure A.

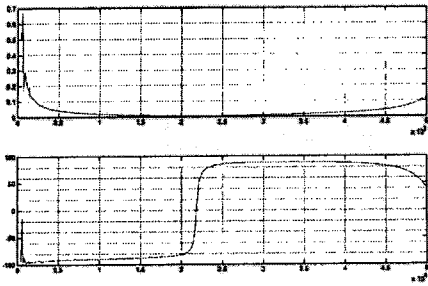


그림 8. 구조 B의 몬테카를로 결과.

Fig. 8. Monte-Carlo Result of Test Structure B.

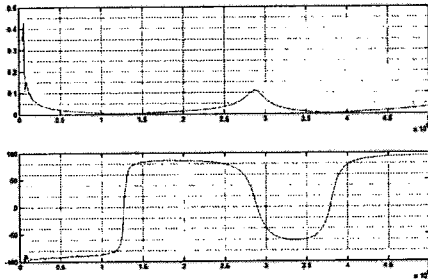


그림 9. 구조 C의 몬테카를로 결과.

Fig. 9. Monte-Carlo Result of Test Structure C.

4. 결 론

본 논문에서는 다차원 패턴의 LTCC 공정으로 제작된 2차원 매립형 인덕터에 대한 모델링을 PEEC 방법을 수행하였고, HSPICE를 사용하여 데이터를 최적화 하였고, Monte Carlo Analysis를 통하여 결과를 검증하였다. 각각의 building block에서 추출된 데이터는 나뉘어진 부분의 등가회로를 나타내는 것으로, 구조의 변화에 따라 파라미터가 어떻게 변하는지를 알 수 있게 해주면, 이를 사용하면 다른 구조의 특성 또한 예측할 수 있을 것이다. 이로 인하여 대량 생산 전의 소자 특성 예측이 가능케 되어 제작비용 절감할 수 있으면 수율을 향상시킬 수 있게 된다.

감사의 글

본 연구는 전자부품연구원(KETI)의 유망전자부품 기술개발사업(Electro-0580)의 위탁 연구과제로 수행되었으며, 시뮬레이션 툴은 반도체설계교육센터(IDEC)로부터 지원 받았습니다.

참고 문헌

- [1] R. Brown and A. Shapiro, "Integrated Passive Components and MCMs: The Future of Microelectronics," Proc. Int'l. Conf. Exhibition Multichip Modules, April. 1993, pp. 287-94.
- [2] A. Fathy, V. Pendrick, G. Ayers, B. Geller, Y. Narayan, B. Thaler, H. D. Chen, M. J. Liberatore, J. Prokop, K. L. Choi, M. Swaminathan, and R. Meixner, "Design of embedded passive components in Low-Temperature Cofired Ceramic on Metal (LTCC-M) technology," IEEE MTT-S Int'l Microwave Symp. Digest, vol. 3, June 1998, pp.1281-1284.
- [3] HSPICE Users Manual, Meta Software, May 1996.
- [4] I. Yun, R. Poddar, L. Carastro, M. Brooke, G. May, "Statistical Modeling of 3-D Parallel-Plate Embedded Capacitors using Monte Carlo Simulation," ETRI Journal, vol. 23, no. 1, March 2001 pp. 23-32.