

채널부분의 초전도 자속 흐름 트랜지스터 볼텍스 동역학

고석철, 강형곤*, 임성훈, 이종화, 한병성
전북대학교 전자정보공학부, 전북대학교 반도체물성연구소*

Vortex Dynamics of Superconducting Flux Flow Transistor in a Channel

Seokcheol Ko, Hyeong-Gon Kang*, Sung-Hun Lim, Jong-hwa Lee, and Byoung-Sung Han
Jeonbuk National Univ.

Abstract

The principle of the superconducting vortex flow transistor (SVFT) is based on control of the Abrikosov vortex flowing along a channel. The induced voltage is controlled by a bias current and a control current, instead of external magnetic field. The device is composed of parallel weak links with a nearby current control line. We explained the process to get an I-V characteristic equation and described the method to induce the external and internal magnetic field by the Biot-Savarts law in this paper. The equation can be used to predict the I-V curves for fabricated device. From the equation we demonstrated that the current-voltage characteristics were changed with input parameters. I-V characteristics were simulated to analyze a SVFT with multi-channel by a Matlab program.

Key Words : superconducting vortex flow transistor (SVFT), I-V characteristics.

1. 서론

지금까지 나와 있는 초전도 트랜지스터의 모델로는 초전도체를 트랜지스터의 베이스로 하는 SBT타입, 초전도체를 직접 채널로서 사용하는 SuFET타입, 제2종 초전도체의 혼합상태에서 볼텍스를 이용하는 SFFT타입, 또는 이의 변형 형태의 각종 트랜지스터들이 연구되고 있다. 이중 SFFT 타입 초전도 트랜지스터는 다른 초전도 트랜지스터의 제작 방법과는 달리 layer를 쌓을 필요가 없어 가장 실용가능성이 있는 초전도 트랜지스터 타입으로 분류되고 있다. 또한 볼텍스들을 형성할 수 있는 약결합을 인위적으로 만들어 이를 채널층으로 사용하는 트랜지스터로써 재현성 있는 채널 제작이 핵심기술이라 할 수 있다[1], [2].

본 연구에서는 그림 1과 같은 다중 채널에 있어서 볼텍스 형성에 관련된 자속선 동역학에 대한 물성적이 이론에 바탕을 두고 있다. 볼텍스 상호간의 척력과 볼텍스 핀 상호간의 인력작용과 아브리코프스브 자속격자 형성과정을 설명하고 채널을 따라 흐르는 아브리코프스브 볼텍스에 관계되는 방정

식을 유도하였다. 채널부분에 유기되는 전압은 외부자계 대신 제어전류와 바이어스 전류에 의해 발생되는데 자속 흐름 트랜지스터의 채널부위에서 물리적인 볼텍스 형성과정을 모델링하였다.

2. 볼텍스 동역학

2.1 볼텍스 운동

자속선들의 동역학을 다루기 위해 많은 핀고정 중심부들이 존재하는 이차원 평면내에서 흩어져 운동하는 볼텍스들이 헤밀턴니언을 먼저 고려해야 한다. 매우 얇은 또는 층구조를 갖는 초전도체에서 각 자속선들의 탄성에너지는 무시될 수 있으며, 그 헤밀턴니언은 다음과 같이 세 개의 항으로 구성된다.

$$H = U_{VV} + U_{VP} + U_{ext} \quad (1)$$

여기서 첫 번째 항은 볼텍스들 간의 퍼텐셜 에너지이고, 두 번째 항은 볼텍스와 핀간의 퍼텐셜 에너지, 그리고 마지막 항은 외부에서 가해지는 에너지를 의미한다. 무질서를 함유한 환경에서 볼텍스 운동은 저주파수영역에서 거의 판성질량을 무시할

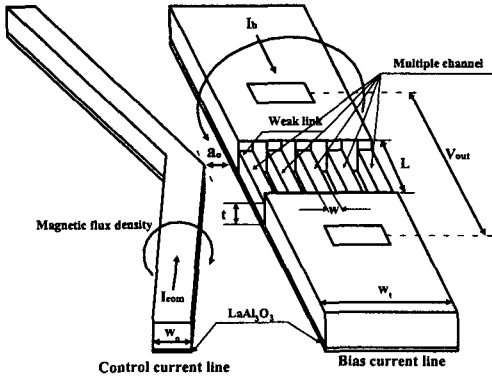


그림 1. 다중채널 고온 초전도 볼텍스 흐름 트랜지스터의 기본적인 입체 구조.

수 있어 감쇠가 매우 큰 과감쇠 운동임이 실험적으로 밝혀져 있다. 따라서 저주파수영역에서 2중 초전도체 내의 한 개의 볼텍스 운동은 다음과 같은 과감쇠 운동방정식을 따르게 된다.

$$\eta \frac{dr_i}{dt} = -\frac{\partial H}{\partial r_i} + \xi_i(t) \quad (2)$$

여기서 r_i 은 i 번째 볼텍스 위치를 볼텍스 상호간 평균거리의 단위로 나타내며, η 는 실제 계산에서 차원이 없는 변수로 대체하게 될 감쇠 변수를 뜻한다. 마지막 항의 ξ_i 는 유한 온도 T 를 운동방정식에 표현할 수 있게 하는 노이즈이다. 위의 방정식을 서로 연립하여 과감쇠 운동방정식을 만들 수 있다.

$$\eta \frac{dr_i}{dt} = F_{VVj} + F_{VPi} + \xi_i + F_{ext} \quad (3)$$

위 식 우변의 각 항은 각각 볼텍스간의 척력, 볼텍스-핀의 인력, 랑제빈 노이즈 및 외부에서 가해주는 균일한 구동력을 표현한다. 온도가 매우 작아서 열적요동이 볼텍스의 운동에 영향을 미치지 않을 때 노이즈 항을 무시할 수 있다. 상호작용력의 구체적인 표현식을 논의하기 위해 먼저 볼텍스 상호간의 평균거리를 1이라 가정한다. 즉 격자상수를 $a_0=1$ 라 놓고, i 번째 볼텍스가 다른 볼텍스로부터 받게 되는 힘을 다음과 같이 가정한다.

$$F_{VVi} = \sum_{j=1(N \neq i)}^{N_V} \left(1 - \frac{r_{ij}}{R_V} e^{-r_{ij}/R_V} \right) \left(\frac{r_{ij}}{r_{ij}} \right) \quad (4)$$

여기서 r_{ij} 란 i 번째와 j 번째 볼텍스 상호간의 변위 $r_i - r_j$ 이며, 합은 i 번째 볼텍스를 제외한 $N_V - 1$ 개의 모든 볼텍스가 고려의 대상이 된다. R_e 는 투과깊이에 해당하는 상호작용의 유효범위

이다. 위 식은 상호작용의 실제 제한범위 R_V 까지 지수 함수적으로 감소하는 척력을 보증하며 이 범위를 격자상수보다 크게 놓음으로써 보다 실험적인 상황에 근사할 수 있게 된다. 볼텍스와 결합간의 상호작용으로 다음과 같은 표현식을 가정한다.

$$F_{VPi} = -K_P \sum_{j=1}^{N_P} \left(1 + \frac{|r_i - r_{pj}|}{R_P} \right)^2 \left(1 - \frac{|r_i - r_{pj}|}{R_P} \right)^2 \left(\frac{r_i - r_{pj}}{R_P} \right) \quad (5)$$

여기서 합은 N_P 개의 모든 핀에 적용되며, r_{pj} 는 이 중에서 j 번째 핀고정 중심부의 위치, 그리고 R_P 는 실험적 상황을 고려할 때 R_V 에 비해서, 또한 격자상수에 비해 작아야만 하는 볼텍스-핀간의 유효 상호작용범위를 의미한다. 위 식 우변에서 음의 부호는 핀고정의 세기 K_P 를 가진 상호인력임을 보증한다. 일반적으로 패러데이 법칙 형태로 일반화시키면 다음과 같다.

$$V(t) = \frac{\Phi_0}{w} \sum_k \eta \frac{dr_i}{dt}(t) \quad (6)$$

식 (3)에 묘사된 연립운동방정식은 수 개의 볼텍스들을 한데 묶여 셀을 만든 다음 각 셀의 인접이웃 셀들간의 상호작용만을 고려하는 셀 방법을 도입한 분자 동역학 방법으로 풀 수 있다. 결과적으로 얻어지는 물리량들은 외부 조건에 따라 변하는 볼텍스들의 시간에 의존하는 위치 및 속력 등이 될 수 있다. 초기에 볼텍스들은 임의의 위치에 놓여지고 이들은 외부에서 주어지는 구동력, 즉 구동전류의 값에 따라 일정한 시간이 지나 동적 평형상태에 이를 수 있게 되며, 구동력의 크기에 따라 피닝-디피닝의 상전이 또는 그보다 복잡한 형태의 상전이가 예상된다. 매 번의 구동력 증가 때마다 초기조건으로는 바로 그 이전의 마지막 시간 주기에서 얻어진 볼텍스들의 배열이 사용되고, 이런 방법은 동적 평형까지 도달하는 시간을 크게 줄일 수 있다.

2.2 볼텍스에 유기된 전압 방정식

제2중 초전도체에서 아브리코소프 격자선은 간섭길이 크기에 대한 정상적인 핵과 시료를 통하여 관통하는 자속이 있는 룬던방정식에 연관된 순회 전류 볼텍스에 의해 특징 지워진다. 전류밀도가 흐를 때 소용돌이는 로렌츠힘이라 불리는 단위부피당 작용하는 힘에 좌우된다.

$$F = J \times \Phi_0 \quad (7)$$

여기서 J 는 전류밀도이고, 양자속은 자속밀도의

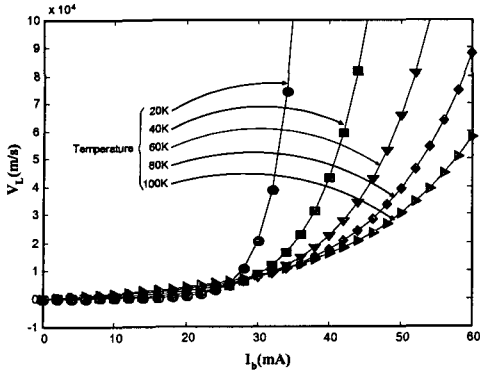


그림 2. 온도변화에 따른 바이어스 전류 대 계산된 볼텍스 속도.

방향과 관계되는 벡터로 생각할 수 있다. 이 로렌츠 힘은 자속선 격자를 움직이게 한다.

혼합상태에서 볼텍스가 형성되어서 전류는 이 볼텍스를 이동시키기 때문에 바람직한 에너지 소비가 발생된다. 볼텍스들이 바이어스 전류 I_b 가 흐르고 있는 두께 t , 채널의 거리 L , 채널의 폭 w 을 가지고 있는 채널부분에서 거동할 때 채널부분의 단자에서 유기되는 전압의 크기는 다음과 같이 표현될 수 있다.

$$V_{out} = nLv_L\Phi_0 \quad (8)$$

여기서 n 은 볼텍스 표면 밀도이고, v_L 은 볼텍스 평균 속도이다. 수정된 London 방정식으로부터 바디라인 채널부분의 테두리를 따르는 볼텍스 밀도는 외부자계가 없을 때 식 (9)으로 나타낼 수 있다.

$$n\left(\frac{w}{2}\right) = \frac{\mu_0[I_b - I_{cro}]}{2\Phi_0 t} \quad (9)$$

여기서 I_{cro} 는 채널부위의 임계전류이고, 볼텍스 핵 전류와 같다고 가정할 수 있다. 만약 균일한 자속밀도 B 가 채널 부위인 약결합 링크에 수직으로 존재한다면 식 (9)을 다음과 같이 더 보완해서 표현할 수 있다.

$$n\left(\frac{w}{2}\right) = \frac{\mu_0[I_b - I_{cro}]}{2\Phi_0 t} + \frac{B}{\Phi_0} \quad (10)$$

또한, 자속 열유동 지역에서 볼텍스 속도는 다음과 같이 표현된다.

$$v_L = \frac{2k_B T \delta}{\hbar} \exp(-E_p/k_B T) \cdot \sinh\left[\frac{I_b}{(w k_B T / (\delta \Phi_0))}\right] \quad (11)$$

여기서 \hbar 는 플랑크 상수를 의미한다.

그림 2는 바이어스 전류에 대한 볼텍스 속도를 보여주고 있으며 낮은 바이어스 전류에서 볼텍스 속도가 포화되는 것을 볼 수 있다.

2.3 자속밀도 계산 방법

방정식 (10)의 자속밀도 B 는 제어전류 I_{com} 에 의해 발생된다. 채널부분은 바이어스 전류 I_b 가 임계전류 I_{cro} 보다 크므로써 혼합상태가 된다.

제어전류에 의해 발생된 외부자계 B 는 y 축으로 진행되는 외부자계 B_y 를 계산한다. 여기에서 z 축으로 진행되는 외부자계 B_z 는 무시한다. 단지 외부자계 B_y 만을 고려한다면 그림 3처럼 도선에 유한장 전류를 흘렸을 때의 자계를 비오-샤바르 법칙을 사용하여 y 축으로 진행되는 외부 자계를 구할 수 있다. 비오-샤바르 법칙을 이용하여 P 점에서의 자속밀도는 다음과 같다.

$$B = \mu_0 I_p = \left\{ \frac{\mu_0 \cdot \sin \alpha \cdot I_{com}}{2\pi(x + w/2 + a_0 + (N_{ch} - 0.5)w)} \right\} \times \left\{ \sin \left[\tan^{-1} \left(\frac{\tan \alpha \cdot x}{(x + w/2 + a_0 + (N_{ch} - 0.5)w)} \right) \right] \right\} \quad (12)$$

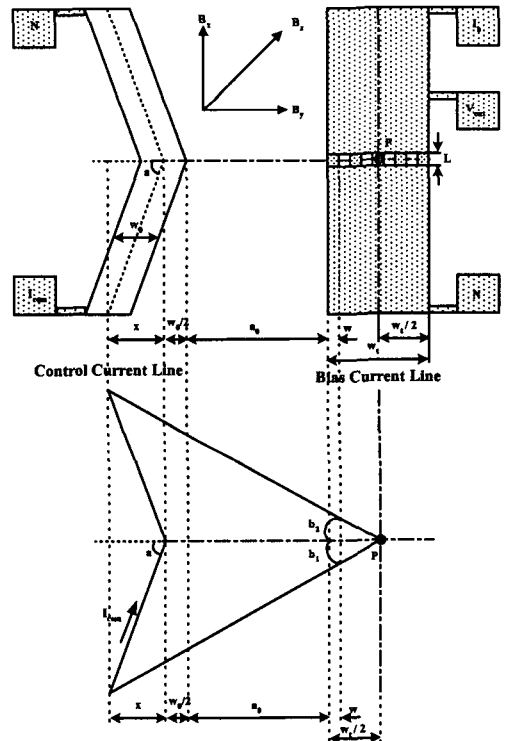


그림 3. 단일채널 볼텍스 흐름 트랜지스터에서 자계의 세기를 표현하는 비오-샤바르 법칙.

여기서 x 는 제어 전류라인의 중심선으로부터 제어 전류의 양끝까지의 직선거리이며 a 와 w 는 제어 전류라인의 중심각과 바이어스 전류라인의 폭을 의미한다. 볼텍스에 의해 유겨된 전압방정식을 아래와 같이 쓸 수 있다.

$$V_{out} = \left(\frac{\mu_0 \cdot L \cdot v_{LD} \cdot \exp(-E_p/k_B T)}{t} \right) \left\{ I_b - \left[I_{cr} - 1.6I_{com} - \frac{t \cdot \sin a \cdot I_{com}}{\pi(x+w_0/2+a_0+(N_{ch}-0.5)w)} \right] \times \sin \left(\tan^{-1} \left(\frac{\tan a \cdot x}{x+w_0/2+a_0+(N_{ch}-0.5)w} \right) \right) \right\} \times \sinh \left[\frac{I_b}{(w \cdot k_B \cdot T)/(\delta \cdot \Phi_0)} \right] \left[\sqrt[3]{2(N_{ch}-0.5)w} \right], \text{ for } I_b \geq (I_{cr} - 1.6I_{com})$$

$$= 0, \text{ for } I_b \leq (I_{cr} - 1.6I_{com}) \quad (13)$$

만약 입력 제어전류가 없을 때 출력전압을 표현하면 식 (14)으로 나타낼 수 있으며, 이 전압은 볼텍스에 의해 생긴 자체적인 전압이다.

$$V_0 = \left\{ \frac{\mu_0 \cdot L \cdot v_{LD} \cdot \exp(-E_p/k_B T)}{t} \right\} [I_b - I_{cr}] \times \sinh \left[\frac{I_b}{(w \cdot k_B \cdot T)/(\delta \cdot \Phi_0)} \right] \times \left[\sqrt[3]{2(N_{ch}-0.5)w} \right], \text{ for } I_b \geq I_{cr}$$

$$= 0, \text{ for } I_b \leq I_{cr}$$

여기서 μ_0 와 v_{LD} 는 투자율과 볼텍스 초기 속도이고, t 와 k_B 는 바디라인의 채널부위의 약결함 링크의 두께와 볼츠만 상수를 나타낸다. 또한, T 와 I_{cr0} 는 절대온도와 임계전류를 뜻하고, δ 와 Φ_0 는 핀고정 포텐셜 범위와 양자속의 최소단위를 나타

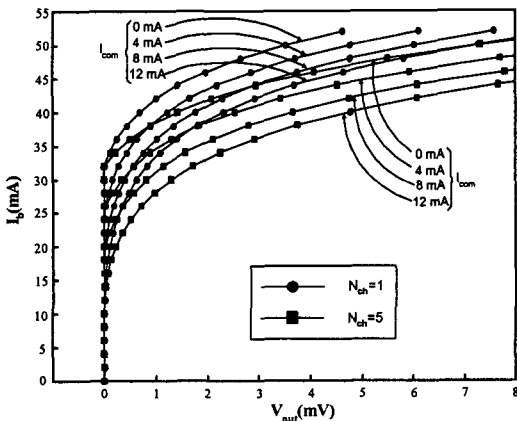


그림 4. 채널개수가 증가할 때의 I-V 특성곡선.

낸다. E_p 와 N_{ch} 는 각각 핀고정 에너지와 채널 개수를 뜻한다. 그림 4에서는 채널 개수가 증가함에 함에 전류-전압 특성 곡선이 아래로 내려가는 것을 볼 수 있다. 채널수를 한 개에서 다섯 개로 증가시켰을 때 채널부위에서 낮은 바이어스 전류에서도 단자전압이 유겨된다. 이는 채널수를 늘림으로써 저전력소비의 트랜지스터를 제작할 수 있다는 것을 의미한다.

3. 결론

YBCO 초전도 박막을 ICP 장비를 이용하여 제작되는 400nm의 두께를 갖고 전체 채널폭 40um, 한 개의 채널폭은 5um이고 길이 3um인 채널로 구성된 고온초전도 볼텍스 흐름트랜지스터에 대한 전류-전압 특성 모델을 유도하였고 시뮬레이션 해 보았다. 채널부위에서 일어나는 볼텍스 운동 특성에 대한 물리적인 양을 볼텍스에 유겨되는 전압방정식을 통해 계산할 수 있었다. 제어전류가 0에서 12 mA까지 변화함에 따라 초전도 채널의 임계전류가 감소되었으며, 바이어스 전류가 52mA, 80K 온도에서 볼텍스 속도는 대략 5×10^4 m/s 이었다. 채널수를 1개에서 5개로 증가할 때 제어전류 12mA, 출력전압 5mV에서 바이어스 전류는 6mA 감소했음을 알 수 있었다.

참고 문헌

- [1] Hyeong-Gon Kang, *et al.*, "Conditions of ICP for a Superconducting Flux Flow Transistor and its etching characteristics." *Matt. Sci. Eng. B*, Available online 24, April, 2003.
- [2] 고석철, 강형곤, 임성훈, 한병성, 한윤봉, "The Possibility of Fabrication of a New NAND logic gate by means of three terminal flux flow transistor." *제10회 한국반도체학술대회논문집*, pp.803-804, Feb. 2003.