

단일채널 고온초전도 자속흐름 트랜지스터의 I-V 특성 비교분석

고석철, 강형곤*, 임성훈, 최명호**, 이종화, 한병성

전북대 전자정보공학부, 전북대 반도체물성연구소*, 광주보건대학 의료정보공학부**

A Comparative Analysis of I-V Characteristics in a single Channel Superconducting Flux Flow Transistor

Seokcheol Ko, Hyeong-Gon Kang*, Sung-Hun Lim, Myongho Choi**, and Byoung-Sung Han
Jeonbuk National Univ ., Gwangju Health College**

Abstract

We have proposed a model to describe the current-voltage characteristics of fabricated devices using the Biot-Savart's law in order to develop superconducting flux flow transistors, The measured and calculated values, including induced voltage, transresistance and current gain were investigated in relation to the parallel flow of the vortices in a single microbridge. The predictions agreed very well with measured results.

Key Words : Current-voltage characteristics, induced voltage, superconducting flux flow transistor.

1. 서론

초전도 자속 흐름 트랜지스터는 바디전류에 의해 바이어스 되는 단일 또는 여러 개의 초전도 박막 마이크로브리지로 구성되어 있다. 그림 1과 같이 아브리코소프 볼텍스의 운동과 핵은 제어라인에 순환되는 전류에 의해 발생하는 자속으로 제어된다. Marten에 의해 고온초전도 박막으로 처음 일을 수행한 후로 많은 연구그룹들이 SFFT(초전도 자속흐름 트랜지스터)를 제작하고 그 특성들을 연구해왔다[1]. 제안된 모델은 디바이스 물리학에 기본을 두고 있으며 모델 예견들은 측정치와 비교되었다. 그 동안의 전류 전압 방정식들은 SFFT 양판에서 외부자계를 변화함에 따라 바디전류와 출력전압 관계를 보여주고 있었으며, 제어라인이 일직선이고 바디라인의 단일채널이 있을 경우 패러데이 법칙을 응용한 전류-전압 방정식은 직선의 그래프가 나오게 됨으로 실험값과 비교할 수 없었다[2],[3],[4]. 따라서 채널에 식각 두께와 폭을 얼마로 설계해야 될지 몰랐고 단지 실험적으로 규명해야 했다.

본 논문에서는 단일채널 SFFT를 분석하기 위

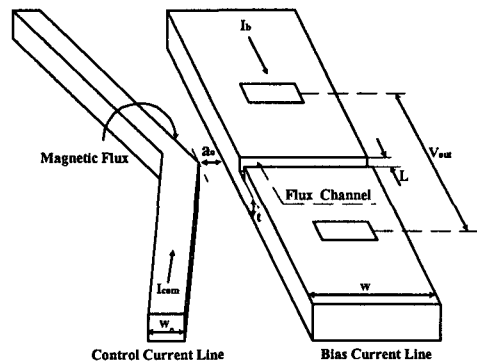


그림 1. 단일 마이크로브리지 고온초전도 자속 흐름 트랜지스터의 기본적인 입체 구조.

해 Matlab 프로그램을 사용하여 전류-전압 특성 시뮬레이션을 제안하였다. 비오-샤바르 법칙을 이 시뮬레이션에 적용하여 제어전류에 의한 전류-전압 방정식을 유도하였다. 시뮬레이션과 측정결과를 비교하기 위해 초전도 자속흐름 트랜지스터는 유도결합플라즈마 식각 장비를 이용하여 성공적으로 제작하였다. 유기된 전압과 transresistance, 전류

이득값 등의 측정치와 계산값을 비교 분석하였다. 이 방정식으로부터 입력파라미터에 따라 변하는 전류-전압 특성을 보여주고 있다. 실제적으로 이 유도된 방정식은 디바이스의 transresistance와 디바이스 전류-전압 곡선들을 예전하는데 사용될 수 있을 것이다.

2. 디바이스 모델링

볼텍스 흐름 마이크로브리지는 초전도 약결합 링크로 구성되어 있다. 바이어스 전류라인으로부터 채널로 규정짓기 위해서는 마이크로 박막 두께를 식각에 의해 얇게 해야 한다. 제어전류 I_{com} 에 의해 발생하는 외부자계는 채널 안으로 볼텍스들을 유지시킨다. 볼텍스들은 채널을 따라 핵력화되고 확산 과정 때문에 볼텍스 운동들이 일어난다. 볼텍스는 바이어스 전류 I_b 로부터 로렌츠 힘에 의해 유지된다. 만약 외부자계가 이 회로에 적용되었을 때 자속 열유동 지역에 마이크로브리지의 단자에 측정되는 전압은 아래와 같다[5].

$$V_{out} = \left\{ \frac{\mu_0 \cdot L \cdot v_{L0} \cdot \exp(-E_p/k_B T)}{t} \right. \\ \left. \left[I_b - \left[I_{cro} - \frac{2t \cdot B}{\mu_0} \right] \right] \right. \\ \left. \times \sinh \left[\frac{I_b}{(w \cdot k_B \cdot T / (\delta \cdot \Phi_0))} \right] \right\}, \text{ for } I_b \geq I_{cro} \quad (1)$$

$$= 0, \text{ for } I_b \leq I_{cro}$$

여기서 μ_0 와 v_{L0} 는 투자율과 볼텍스 초기 속도이고, t 와 k_B 는 바디라인의 채널부위의 약결합 링크의 두께와 볼츠만 상수를 나타낸다. 또한, T 와 I_{cro} 는 절대온도와 임계전류를 뜻하고, δ 와 Φ_0 는 편고정 포텐셜 범위와 양자속의 최소단위를 나타낸다. E_p 는 편고정 에너지를 뜻한다. 비오-샤바르 법칙을 적용하여 외부자계를 계산하면

$$B = \mu_0 H_p = \left\{ \frac{\mu_0 \cdot \sin \alpha \cdot I_{com}}{2\pi(x + w/2 + a_0 + w/2)} \right\} \\ \times \left\{ \sin \left[\tan^{-1} \left(\frac{\tan \alpha \cdot x}{(x + w/2 + a_0 + w/2)} \right) \right] \right\} \quad (2)$$

이다. 여기서 x 는 제어 전류라인의 중심선으로부터 제어전류의 양끝까지의 직선거리이며 a 와 w 는 제어 전류라인의 중심각과 바이어스 전류라인의 폭을 의미한다. 임계전류는 열유동 지역에서 제어전류를 서서히 증가할수록 감소되기 때문에 다음과 같은 근사식으로 표현할 수 있다.

$$I_{cro} = I_{cr} - 1.6I_{com} \quad (3)$$

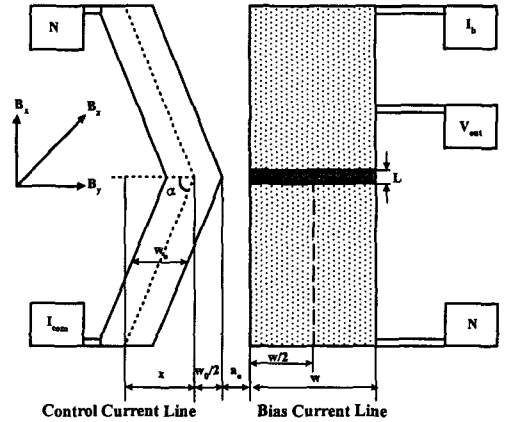


그림 2. 단일 마이크로브리지 SFJT에서 자속밀도를 표현하는 비오-샤바르 법칙.

여기서 I_{cr} 은 제어전류를 가하지 않았을 때의 임계전류이다. 자속밀도를 계산하기 위한 파라미터들을 그림 2에 보여주고 있다. 식 (1), (2), (3)으로부터 유기전압 방정식을 다음과 같이 쓸 수 있다.

$$V_{out} = \left\{ \frac{\mu_0 \cdot L \cdot v_{L0} \cdot \exp(-E_p/k_B T)}{t} \right. \\ \left[I_b - \left[I_{cr} - 1.6I_{com} - \frac{t \cdot \sin \alpha \cdot I_{com}}{\pi(x + w/2 + a_0 + 0.5w)} \right] \right. \\ \left. \times \sin \left[\tan^{-1} \left(\frac{\tan \alpha \cdot x}{(x + w/2 + a_0 + 0.5w)} \right) \right] \right. \\ \left. \times \sinh \left[\frac{I_b}{(w \cdot k_B \cdot T / (\delta \cdot \Phi_0))} \right] \right\}, \text{ for } I_b \geq (I_{cr} - 1.6I_{com}) \\ = 0, \text{ for } I_b \leq (I_{cr} - 1.6I_{com}) \quad (4)$$

만약 입력 제어전류가 없을 때 출력전압을 표현하면 식 (5)으로 나타낼 수 있으며, 이 전압은 바이어스 전류에 의해 생긴 자체적인 볼텍스 전압이다.

$$V_0 = \left\{ \frac{\mu_0 \cdot L \cdot v_{L0} \cdot \exp(-E_p/k_B T)}{t} \right\} [I_b - I_{cr}] \\ \times \sinh \left[\frac{I_b}{(w \cdot k_B \cdot T / (\delta \cdot \Phi_0))} \right], \text{ for } I_b \geq I_{cr} \\ = 0, \text{ for } I_b \leq I_{cr} \quad (5)$$

임계전류는 항상 음의 값을 갖지 않아야 한다. 실험적인 전류-전압 특성들은 다음처럼 fitting 되어 질 수 있다.

$$V_0 = R_A [I_b - I_{cr}] \cdot \sinh \left[\frac{I_b}{I_0} \right], \text{ for } I_b \geq I_{cr} \\ = 0, \text{ for } I_b \leq I_{cr} \quad (6a)$$

$$\begin{aligned}
V_{out} &= R_A \left\{ I_b - \left[I_{cr} - 1.6I_{com} - \frac{t \cdot \sin \alpha \cdot I_{com}}{\pi(x+w\sqrt{2}+a_0+0.5w)} \right. \right. \\
&\quad \left. \left. \times \sin \left(\tan^{-1} \left(\frac{\tan \alpha \cdot x}{x+w\sqrt{2}+a_0+0.5w} \right) \right) \right] \right\} \\
&\times \sinh \left[\frac{I_b}{I_o} \right], \quad \text{for } I_b \geq (I_{cr} - 1.6I_{com}) \\
&= 0, \quad \text{for } I_b \leq (I_{cr} - 1.6I_{com})
\end{aligned} \tag{6b}$$

여기서 R_A 와 I_o 는 fit 파라미터들이다.

3. 등가회로 분석

그림 3에서 보여준 자속흐름 트랜지스터의 등가회로는 Marten에 의해 제안되었다. 이 등가회로에서 transresistance r_m 이 가장 중요한 파라미터이다. R_L 은 부항저항이고, L_{in} , R_{in} , L_{out} 및 R_{out} 은 입력 인덕턴스, 입력저항, 출력 인덕턴스, 출력저항을 각각 의미한다. M 은 입력과 출력회로의 상호 인덕턴스이다.

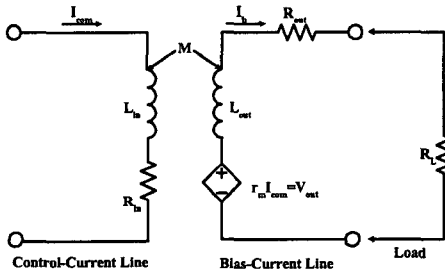


그림 3. 자속흐름 트랜지스터의 등가회로.

transresistance r_m 은 바이어스 전류 I_b 와 제어 전류 I_{com} 의 함수이다. 이는 제어전류를 인가함에 따른 출력전압의 변화량을 의미한다.

$$r_m = \frac{\Delta V_{out}}{\Delta I_{com}} \tag{7}$$

디바이스 동작점을 설계할 때 transresistance r_m 값은 전류-전압 곡선의 동작점으로 사용되는데 반드시 필요하다. 유기되는 전압 V_{out} 은 출력단자를 가로지르는 개방시 전압이다. 제어전류 I_{com} 은 등가회로의 입력전류이다

$$\begin{aligned}
r_m &= \frac{dV_{out}}{dI_{com}} = R_A \left\{ 1.6 + \frac{t \cdot \sin \alpha}{\pi(x+w\sqrt{2}+a_0+0.5w)} \right. \\
&\quad \left. \times \sin \left(\tan^{-1} \left(\frac{\tan \alpha \cdot x}{x+w\sqrt{2}+a_0+0.5w} \right) \right) \right\} \times \sinh \left[\frac{I_b}{I_o} \right]
\end{aligned} \tag{8}$$

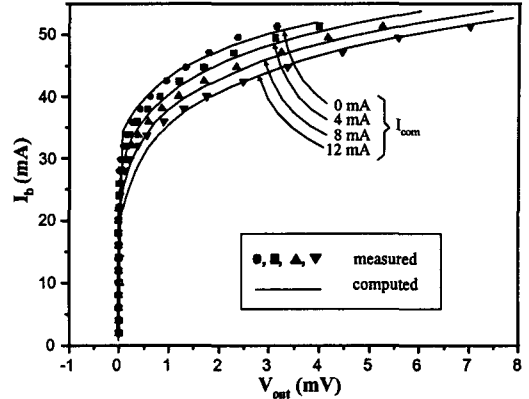


그림 4. 자속흐름 트랜지스터의 I-V 특성곡선.

4. 결과 및 고찰

4.1 시편 준비과정

400nm 식각 마이크로브리지 채널 두께를 갖는 측정용 초전도 자속 흐름 트랜지스터는 YBCO 초전도 박막을 사용하여 제조되었다. 50um의 채널폭과 3um의 채널 길이를 갖는 하나의 약결함으로 되어있다. 제어라인의 제어선 폭은 20um와 제어라인 중앙폭지점과 바이어스 라인과의 거리는 5um이다. 이 실험에 사용된 박막의 임계온도는 84K이다. 이 디바이스 패턴들은 ICP 식각 기술로 고온 초전도 박막을 사용하여 자속 흐름에 기초를 두고 제조되었다. 임계전류는 마이크로브리지 단자를 가로질러 1uV 전압이 유기되는 바이어스 전류로 정의한다. 그러나 이 표준에 따라 측정된 전류값은 단지 임계온도로부터 크게 벗어나지 않는 한 볼텍스 핵 전류와 같다고 가정할 수 있다. 이런 이유로 여기에 표현된 대부분의 결과들은 임계온도 근처의 온도이다.

4.2 전류와 전압 특성

전형적인 YBCO 고온 초전도 자속흐름 트랜지스터의 전류-전압 곡선은 제어전류 I_{com} 에 의해 발생하는 외부 자계의 영향에 따라 변하는 곡선을 그림 4에 보여주고 있다. 낮은 바이어스 전류에서 마이크로브리지는 여전히 초전도 상태를 유지한다. 임계전류 이상으로 바이어스 전류를 가했을 때 마이크로브리지는 능동적인 볼텍스 흐름 상태로 들어간다. 제어전류를 가함으로써 볼텍스 밀도가 바뀌게 되고 전송 특성들은 유기전압을 변하게 한다. 그림 4에서 알 수 있듯이 볼텍스의 유기전압은 제

어전류의 증가에 따라 더 많이 발생한다. 제어전류가 높은 준위에서 전류-전압 곡선이 아래로 이동되고 그들의 기울기는 초전도체-일반도체-초전도체 접합에서의 정상적인 저항으로 표현되는 것처럼 보인다. 그림 4는 시뮬레이션 곡선들이 측정값과 어느 정도 일치하는 것을 보여주고 있다.

4.3 Transresistance

transresistance r_m 은 방정식 (8)의 자속흐름 특성들의 데이터로부터 계산되었다. 그림 6처럼 제어전류대 transresistance값을 계산하기 위해 그림 5의 데이터 값을 이용하였다. 얻어진 r_m 값들은 바이어스 전류 51.28mA, 제어전류 10mA에 대해서 0.438Ω 이하이다. transresistance 값은 마이크로브리지 폭에 반비례한다. 따라서 transresistance 값을 증가시키기 위해서는 다채널 마이크로브리지 구조나 나노구조[6]를 가짐으로써 향상시킬 수 있다.

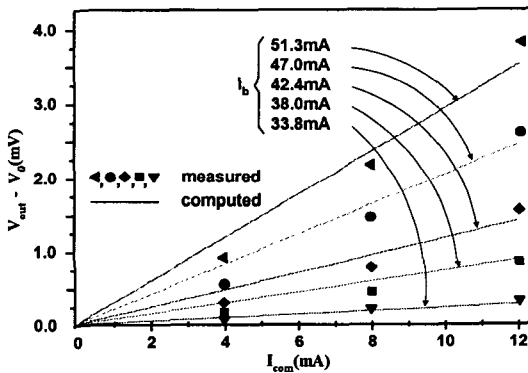


그림 5. 제어전류와 볼텍스 흐름 전압 곡선.

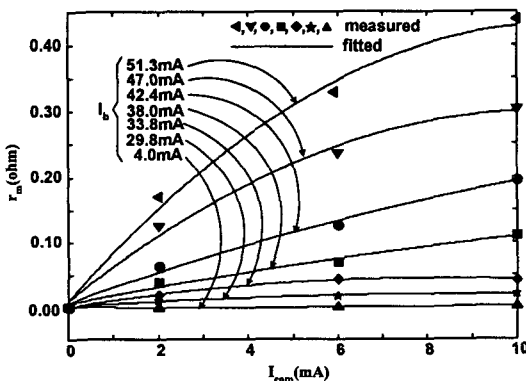


그림 6. 자속흐름 특성들로부터 계산된 제어전류대 transresistance.

5. 결 론

본 논문에서는 비오-샤파르 법칙을 이 시뮬레이션에 적용하여 제어전류에 의한 전류-전압 방정식을 유도하였다. 이 모델의 전류-전압 특성 곡선을 실제값과 비교해서 어느 정도 타당성이 있음을 보여주고 있다. transresistance 값은 바이어스 전류 51.28mA, 제어전류 10mA에서 0.438Ω 이하였다. 이 방정식으로부터 마이크로브리지의 두께나, 폭, 제어라인과의 거리, 제어선 각도 등의 입력파라미터에 따라 변하는 전류-전압 특성을 보여주고 있다. 실제적으로 이 유도된 방정식은 디바이스의 transresistance와 디바이스 전류-전압 곡선들을 예견하는데 사용될 수 있을 것이다.

참고 문헌

- [1] J. S. Martens, J. H. Thompson, J. B. Beyer, J. E. Nordman, and G. K. G. Hohenwarter, "Characteristics of superconducting flux-flow transistor." IEEE Trans. on Magn., Vol. 27, PP. 3297-3300, March 1991.
- [2] Y. H. Im, H.-G. Kang, B-S. Han, and Y. B. Hahn, "High Density Plasma Etching of YBaCuO Superconductors." Electrochemical and Solid-state Lett. Vol. 4, PP. C77-C79, May 2001.
- [3] Hyeong-Gon Kang, et al., "Conditions of ICP for a Superconducting Flux Flow Transistor and its etching characteristics." Matt. Sci. Eng. B, Available online 24, April, 2003.
- [4] 강형근, 임성훈, 임연호, 한윤봉, 황종선, 한병성, "새로운 ICP 장치를 이용한 고온 초전도체의 Dry Etching과 기존의 Wet Etching 기술과의 비교." 한국전기전자재료학회, Vol. 14, No. 2, PP.158-162, 2001.
- [5] 고석철, 강형근, 임성훈, 한병성, 한윤봉, "The Possibility of Fabrication of a New NAND logic gate by means of three terminal flux flow transistor." 제10회 한국반도체학술대회논문집, pp.803-804, Feb. 2003.
- [6] 고석철, 강형근, 임성훈, 이종화, 한병성, "나노채널을 갖는 고온 초전도 트랜지스터의 전기적 특성" 대한전기학회 전기전자재료연구회 춘계학술대회논문집, PP. 68-71, May 2003.