

SONOS 구조를 갖는 멀티 비트 소자의 프로그래밍 특성

안호명, 김주연*, 서광열
광운대학교, 울산 과학대학*

Programming Characteristics of the multi-bit devices based on SONOS structure

Ho-Myoung An, Joo-Yeon Kim*, and Kwang-Yell Seo
Kwangwoon Univ., Ulsan Science College

Abstract

In this paper, the programming characteristics of the multi-bit devices based on SONOS structure are investigated. Our devices have been fabricated by 0.35 μm complementary metal-oxide-semiconductor (CMOS) process with LOCOS isolation. In order to achieve the two-bits per cell operation, charges must be locally trapped in the nitride layer above the channel near the junction. Channel hot electron (CHE) injection for programming can operate in multi-bit using localized trap in nitride film. CHE injection in our devices is achieved with the single power supply of 5 V. To demonstrate CHE injection, substrate current (I_{sub}) and one-shot programming curve were investigated. The multi-bit operation which stores two-bit per cell is investigated with a reverse read scheme. Also, hot hole injection for fast erasing is used.

Due to the ultra-thin gate dielectrics, our results show many advantages which are simpler process, better scalability and lower programming voltage compared to any other two-bit storage flash memory. This fabricated structure and programming characteristics are shown to be the most promising for the multi-bit flash memory.

Key Words : multi-bit, SONOS, CHE injection, hot hole injection, reverse read scheme

1. 서 론

휴대전화를 비롯한 차세대 휴대형 정보기기 시장의 발전으로 고집적의 플래시 메모리 기술이 요구되고 있다. 현재 플래시 메모리 시장의 대부분은 부유 게이트형 (floating gate type) 소자가 주류를 이루고 있지만 고집적을 위한 스케일 한계에 이르고 있는 상황이다[1].

최근 이를 대처할수 있는 방법으로 SONOS (polySilicon-Oxide-Nitride-Oxide-Silicon) 구조를 기본으로한 멀티 비트(multi-bit) 소자가 많은 관심을 모으고 있다[2-3]. SONOS형 멀티 비트 소자의 프로그램은 CHE(Channel Hot Electron) 주입을

사용하고, 소거는 고온 정공 주입 방법을 사용한다. 또한 읽기는 소스와 드레인의 역할을 교환하면서 프로그램된 비트의 리버스(reverse) 방향으로 수행한다. 이러한 SONOS형 멀티 비트 소자는 한 셀에서 멀티 비트가 구현되기 때문에 고집적이 적합하며, 유전막의 적층구조이기에 공정이 간단하다. 또한 셀(cell) 면적이 작고, 드레인 턴온(drain turn-on)이 발생하지 않으며, 내방사성, 내구성 특성이 우수한 장점을 가지고 있다[4]. 그리고 터널 산화막을 통한 직접 터널링은 발생하지 않기 때문에 수직 기억유지 특성은 우수 하다. 그러나 국소적으로 저장된 전하의 측면 재분포로 인한 소자;의 축소와 두꺼운 산화막으로 인한 프로그램 전압

이 높게 되는 문제점이 있다[5].

본 논문은 초박막 게이트 유전막을 가진 SONOS 소자를 제작하여, 저전압 프로그래밍 특성에 적합한 멀티 비트 소자의 프로그램 특성을 조사한 것이다.

2. 소자 제작

SONOS형 멀티 비트 소자는 기존의 $0.35 \mu\text{m}$ CMOS 공정 기술을 사용하여 제작하였다. 제작된 소자의 터널링 산화막, 메모리 질화막, 블로킹 산화막 두께는 TEM 사진 결과로부터 각각 34 Å, 73 Å, 34 Å으로 조사되었다. 그림 1은 제작된 소자의 단면도를 나타내었다.

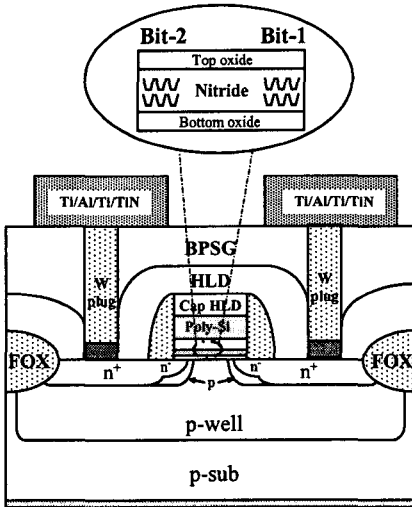


그림 1. SONOS형 멀티 비트 소자의 단면도.

3. 결과 및 고찰

SONOS형 멀티 비트 소자에서 CHE 주입 기구를 증명하기 위하여 기판 전류(substrate current)와 원-샷 프로그래밍(one-shot programming) 특성을 조사하였다. 드레인 전압을 1.5~2.5 V까지 0.5 V 간격으로 인가하면서, 게이트 전압에 따른 기판 전류를 측정하여 결과를 그림 2에 나타내었다. 드레인 영역의 공핍층에서 충돌 이온화(impact ionization)로 발생된 고온 정공(hot hole)들이 기판전류로 측정되는데[6], 그림에서 보는 바와 같이 드레인 전압이 커질수록 기판 전류는 증가하는 결과로부터

고온 캐리어가 발생하는 것을 알 수 있었다.

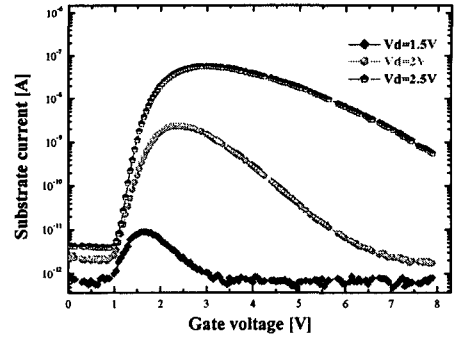


그림 2. SONOS형 멀티 비트 소자의 기판 전류 특성.

일반적으로 CHE 주입 시, 드레인 영역에서 발생된 고온 캐리어 중에 대부분의 고온 전자(hot electron)들은 드레인 단자로 나가고 일부만이 메모리 트랩에 주입된다. 발생된 고온 전자들이 메모리 트랩에 주입되는지를 알아보기 위한, 원-샷 프로그래밍 특성을 측정하여 그림 3에 나타내었다.

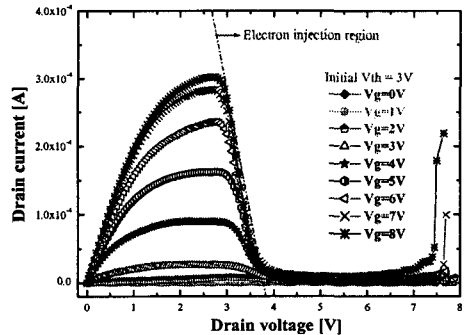


그림 3. SONOS형 멀티 비트 소자의 원-샷 프로그래밍 곡선.

기준 전압을 3 V로 고정한 후, 게이트 전압을 0~8 V까지 1 V 간격으로 인가하면서 드레인 전압에 따른 드레인 전류를 측정하였다. 그림에서 보는 바와 같이 드레인 전압이 약 3.5 V에서 고온 전자들이 메모리 트랩에 주입되는 것을 확인할 수 있다.

CHE 주입으로 전하를 드레인 영역에 주입시킨 후, 멀티 비트가 가능한지를 확인하기 위해서 드레

인 전압을 인가하면서 포워드(forward read)와 리버스(reverse read) 읽기의 문턱전압 이동을 조사하여 그림 4에 나타내었다.

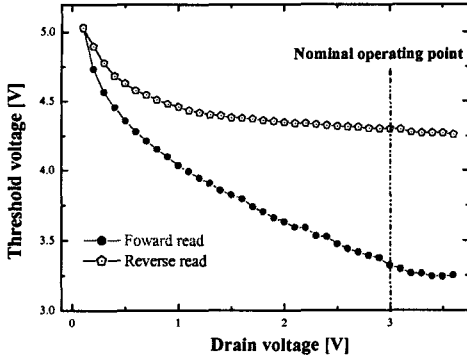


그림 4. 드레인 전압 대 양쪽 셀의 문턱전압.

그림에서 보는 바와 같이 드레인 전압이 3 V에서 포워드와 리버스 읽기의 문턱전압 차이가 1 V 이상 되기 때문에 드레인영역에 전하가 국소적으로 주입된 것을 알 수 있고, 멀티 비트 소자의 응용이 가능한 것을 확인하였다.

멀티 비트 구현을 위한 최적의 읽기 드레인 전압과 프로그램 시간 조건을 결정하기 위하여 읽기 드레인 전압을 0.5~3.5 V 까지 0.5 V 간격으로 인가하면서 프로그래밍 시간에 따른 포워드와 리버스 읽기의 문턱전압 차이(ΔV_{th})를 그림 5에 나타내었다.

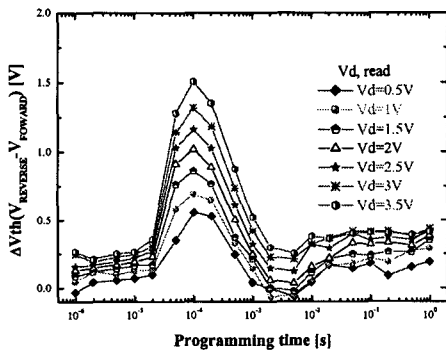


그림 5. 멀티 비트의 프로그램 특성.

그림에서 보는 바와 같이 포워드와 리버스 읽기의 문턱전압 차이가 1 V 이상이 되는 조건은 읽기

드레인 전압은 2 V 이상 되어야하고, 프로그램 시간은 100 μ s 일 때 최대가 되는 것을 알 수 있었다.

위에 결과로부터 프로그램 조건을 게이트 5 V, 드레인 5 V, 500 μ s의 시간, 읽기 드레인 전압은 3 V로 결정하여, 멀티 비트의 프로그램 동작 특성을 그림 6에 나타내었다.

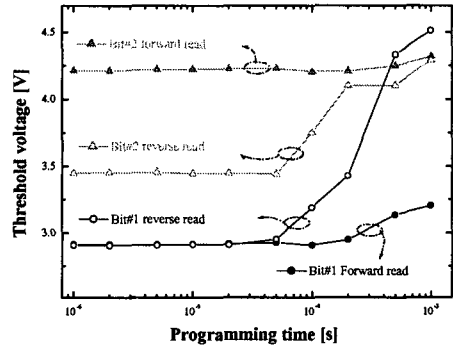


그림 6. 멀티 비트의 프로그램 특성.

양쪽 셀의 문턱전압을 소거 상태의 기준 전압인 3 V로 고정된 상태에서 드레인 영역(비트 1)에 주입을 한 다음 소스 영역(비트 2)을 프로그램 시키면서 포워드와 리버스 읽기로 프로그래밍 시간에 따른 문턱전압의 이동을 조사하였다. 비트 1의 프로그램 특성은 소스와 기판은 접지, 게이트와 드레인인 5 V를 인가하여 가속된 전자들을 드레인 접합 근방의 ONO층으로 주입시킨 결과, 5 V 단일 동작 전압에서 500 μ s의 빠른 프로그램 속도를 얻었다. 동시에 비트 2의 디스터브(disturb)를 조사한 결과, 짧은 프로그램 시간에는 디스터브가 발생하지 않다가 시간이 길어질수록 디스터브가 발생하는 경향을 보인다. 이는 시간이 길어짐에 따라 주입된 면적이 커졌거나, 국소적으로 주입된 전자가 측면으로 재분포(redistribution)하기 때문으로 사료된다. 따라서 비트 1의 프로그램 시간은 500 μ s 이하로 결정되어야 한다. 여기서 디스터브 조건은 선택되지 않은 셀의 문턱전압이 0.1 V 이상 이동하였을 때로 정하였다[7]. 비트 2의 프로그램 특성은 비트 1을 국소적으로 프로그램 시킨 상태에서 드레인인 기판은 접지, 게이트는 10 V, 소스는 8 V를 인가하여 소스 영역으로 프로그램 시간에 따른 문턱전압의 이동을 소스와 드레인의 역할을 바꾸

어서 읽기를 수행하였다. 그림에서 보는 바와 같이 비트 2는 비트 1과 개별적으로 프로그램되는 것으로 보아 멀티 비트 소자로서 동작이 되는 것을 확인할 수 있었다.

멀티 비트를 위한 소거 동작을 위해 항복전압을 측정하여 소스와 드레인에 7.5 V 인가하면서 프로그래밍 시간에 따른 소거 특성을 조사하여 그림 7에 나타내었다.

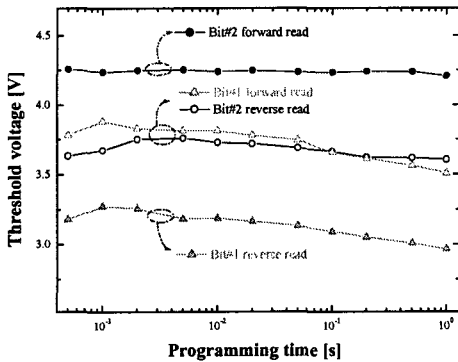


그림 7. 멀티 비트의 소거 특성.

양쪽 셀의 문턱 전압을 프로그램 상태의 기준전압인 4.25 V로 고정된 상태에서 먼저 소스 영역(비트 2)을 소거한 다음 드레인 영역(비트 1)을 소거 시키면서 포워드와 리버스 읽기로 프로그래밍 시간에 따른 문턱전압의 이동을 조사하였다. 먼저 비트 2의 소거 특성은 드레인과 기판은 접지, 게이트는 -3 V, 드레인은 7.5 V를 인가하여 가속된 고온 정공들을 소스 접합 근방의 ONO층으로 주입시킨 결과 프로그래밍 시간에 따라서 빠른 소거 특성을 보이고 있으며, 이에 따른 비트 1의 디스터브는 거의 발생하지 않는다. 비트 1의 소거특성의 비트 2보다는 좀더 빠른 결과를 보인다.

4. 결론

고집적 플래시 메모리를 위하여 SONOS 소자를 제작하여, 멀티 비트를 위한 프로그래밍 특성을 조사하였다. 제작된 소자의 쓰기 동작시 기판 전류와 원-샷 프로그래밍 특성을 조사하여 드레인 전압이 3.5 V 이상에서부터 CHE 주입이 발생하여 접합 영역에 국소적으로 주입되는 것을 확인하였다. 또한 비트 1과 비트 2의 프로그래밍 특성을 조사하

여 저전압, 고속 프로그래밍과 디스터브는 발생하지 않는 특성을 얻었다.

따라서 초박막 게이트 유전막을 가진 SONOS 멀티 비트 소자는 저전압, 고속의 프로그래밍 특성을 위한 멀티비트 플래시 메모리 소자에 적합하다고 사료된다.

참고 문헌

- [1] J. Bu, M. H. White, "Retention reliability enhanced SONOS NVSM with scaled programming voltage", IEEE Aerospace Conference Proceedings, Vol. 5, p. 2383, 2002.
- [2] B. Eitan, P. Pavan, I. Boloomb, E. Aloni, A. Frommer, D. Finzi, "NROM : a 2-bit, Trapping Storage NVM Cell, Give a Real Challenge to Floating Gate Cells?" the International Conference a Solid State devices and Materials, 1999.
- [3] I. Fujiwara, H. Aozasa, A. Nakamura, Y. Hayashi, and T. Kobayashi, "MONOS memory cell scalable to 0.1 μm and beyond," IEEE Non-Volatile Semiconductor Memory Workshop, p.117, 2000.
- [4] M. K. Cho, D. M. Kim, "High performance SONOS memory cells free of drain turn-on over-erase: compatibility issue with current flash technology", IEEE Electron Device Letters. p. 399, 2000.
- [5] E. Lusky, Y. Shacham-Diamand, I. Bloom, "Characterization of channel hole electron injection by the subthreshold slope of NROMTM device" IEEE EDL, Vol. 22, No. 11, p. 556. 2001.
- [6] S. Wolf, "Silicon processing for the VLSI era", Lattice, Vol. 3, p. 563. 1995.
- [7] M. H. Chi, A. Bergemont, "True low - voltage flash memory operations", IEEE International NVM Technology Conference, p. 94, 1996.