

고온 확산공정에 따른 산화막의 전기적 특성

홍능표, 최두진*, 고길영, 이태선, 최병하*, 홍진웅

광운대학교 전기공학과, 페어차일드 코리아 반도체(주)*

Electrical Characteristics of Oxide due to High Temperature Diffusion.

N. P. HONG, D. J. CHOI*, K. Y. KO, T. S. LEE, B. H. CHOI*, and J. W. HONG

Gwangwoon Univ., Fairchild Korea Semiconductor Corp.*

Abstract

In this paper, the electrical characteristics of single oxide layer due to high temperature diffusion process, wafer resistivity and thickness of poly backseal was researched. The oxide quality was examined through capacitance-voltage characteristics, and besides, it will be describe the capacitance-voltage characteristics of the single oxide layer by semiconductor device simulation.

Key Words : SiO₂, Diffusion, Furnace, C-V Plot

1. 서론

오늘날 반도체 산업의 발전은 전자제품의 고용량 고효율화를 가능하게 하였다. 그 중 전자제품에는 없어서는 안될 전력용 반도체 제품군의 발전은 메모리 반도체나 컴퓨터 CPU의 발전과 더불어 많은 발전을 해왔다. 전력용 반도체는 높은 항복전압과 소자 동작시 낮은 전력손실을 구현하기 위해 설계기술과 공정기술 개발의 많은 노력이 있어왔다. 그리고 동작 특성상 메모리소자나 집적소자(IC)는 shallow junction을 갖는 반면 전력용 반도체 소자는 deep junction을 갖도록 공정 설계되어진다. deep junction을 갖기 위해서는 확산공정 진행시 적정온도와 시간이 요구되어 지며 이는 소자의 특성뿐 아니라 라인의 생산성에 많은 영향을 주는 요소이다.

본 논문에서는 각기 다른 웨이퍼를 기본시료로 고온 확산공정 진행에 따른 산화막의 전기적 특성을 평가함으로써 향후 전력용 소자의 항복전압특성 구현에 가장 큰 영향을 미칠 field 산화막의 전기적 특성평가를 통해 미리 추정해 보는데 그 목적이 있다. 이를 통해 고온 확산공정 적용으로 라인 생산성 향상에 크게 기여할 수 있는 가능성을 확인하고자 하였다

2. 시료 및 실험

2.1 시료

고온 확산에 따른 산화막의 전기적 특성을 연구하기 위하여 N형 웨이퍼를 사용했으며 PBS(:Poly Back Seal)처리를 한 웨이퍼와 하지 않은 웨이퍼, ingot성장 방식 또한 FZ방식과 CZ방식으로 성장시킨 웨이퍼를 사용하였다. 초기 세정 후 1000[°C]의 온도 분위기에서 습식방식으로 산화막을 형성하였으며 산화막 두께가 1000[Å]정도가 되도록 적정 확산 시간을 진행하였다. 이렇게 형성된 산화막은 고온 확산전용 튜브에서 각각 1300[°C], 1325[°C], 1350[°C]의 분위기로 확산공정을 진행하였다. 이렇게 진행된 시료는 전기적 특성을 평가하기 위해 상부에 알루미늄 10k[Å]를 sputtering방식으로 증착 하였으며 C-V plot 용 사진공정을 통해 선택적으로 metal 전극을 형성하였다.

사진. 1 은 C-V 특성 측정용 probe station을 나타낸 것으로 상부 전극에는 탐침이 연결된 것을 확인 할 수 있으며 하부의 전극은 온도 chuck으로써 200[°C]까지 상승이 가능하다.

표.1에서는 에서는 초기 투입 원자재의 세부 정보를 표로 나타내며 표.2에서는 확산온도와 확산시간을 표로 나타내었다.



사진 1. C-V Plot특성 평가용 probe station.

표 1. 투입웨이퍼 정보 및 확산 조건.

No.	Ingot 성장방식	poly back-seal
#1	FZ	15k[A]
#2	FZ	0k[A]
#3	CZ	0k[A]

표 2. 확산온도 및 확산시간 조건.

No.	확산온도	확산시간
#1	1300	48 [Hour]
#2	1325	32 [Hour]
#3	1350	20 [Hour]

2.2 실험

C-V 특성은 반도체 제조 공정에 있어 막질 평가에 가장 광범위하게 사용되고 있는 방법이다. 본 연구에서는 인가 전압 영역을 -30[V]에서 +10[V]까지 인가하며 측정하였으며 산화막내의 전하량 및 오염정도를 판단하기 위하여 200[°C]까지 온도를 상승시킨 후 +20[V], -20[V]의 stress 전압을 인가 함으로써 산화막내의 이동전하량을 측정할 수 있었다.

전체적인 C-V값의 C-V 메카니즘을 기술하자면 외부 인가전압에 대해 산화막내의 전하와 실리콘 기판내의 캐리어 분포에 의해 전체 캐패시턴스값의 변화를 가져와 결국 전체 캐패시턴스값의 변화가 외부 인가전압에 따라 변화가 생기며 이 값을 통해 산화막의 특성을 해석하는 방법이다. 우선 산화막의 캐패시턴스값은 식 1과 같이 나타낼 수 있다.

$$C_{OX} = \frac{k_0 \epsilon_0 A}{t_{OX}} \quad (1)$$

그리고 또한 실리콘역역의 공핍층 두께 W_{inv} 는 식2와 같이 나타낼 수 있다.

$$W_{inv} = \frac{k_s \epsilon_0 A}{C_{sin v}} \quad (2)$$

플랫밴드 전압에서의 캐패시턴스값 C_{fb} 는 식3과 같이 나타낼 수 있다.

$$C_{fb} = \frac{k_0 \epsilon_0 A}{w_{inv} + (k_0 k_s) L_d} \quad (3)$$

마지막으로 식4에서는 산화막내의 이동전하량인 N_{ss} 값을 나타낸다.

$$N_{ss} = \frac{C_{OX} (\psi_{ms} - V_{fb})}{eA} \quad (4)$$

3. 결과 및 고찰

3.1 실험 결과

전력용 반도체 분야, 특히 트라이액 소자의 경우 일부 mesa방식을 채택하고 있는 회사를 제외하고는 planar제조 공정을 가진 대다수의 반도체 업체에서 chip을 구분하기 위해 100[μm]이상의 아주 깊은 deep junction 구조가 필수 불가결한 공정이며 이로 인하여 fab 생산성에 많은 문제점이 되고 있는 실정이다. 실험에 사용된 웨이퍼는 웨이퍼 전체가 낮은 비저항값을 갖는 웨이퍼로써 통상적으로 사용중인 test웨이퍼와 유사한 구조를 가지고 있는 웨이퍼 이다. 그림 1은 15k PBS웨이퍼의 캐패시턴스 특성을 나타낸 그림이다. 1300[°C] 특성 결과와 1325[°C], 1350[°C] 확산 후 캐패시턴스값이 차이가 나타남을 확인 할 수 있었다. 1300[°C] 시료의 경우 -24[V] 근처에서 캐패시턴스값의 증가가 나타난 반면 1325[°C], 1350[°C] 확산 시료의 경우 -18[V]근처에서 캐패시턴스값의 증가가 나타남을 확인할 수 있다. 이는 산화막내의 이동전하의 변화가 1300[°C]도 부근에서 나타났다는 것으로 사료된다. 그림 2는 웨이퍼 이면에 poly를 형성하지 않은 일반적인 형태의 웨이퍼로써 PBS 유, 무에 따른 확산온도와와의 상관 관계를 알아보기 위해 결과를 나타낸 것이다. 이 그림에서 특이한 사항은 그림 1의 경향과는 다르게 전체적으로 유사하게 -20[V] 근처에서 캐패시턴스값의 변화가 나타난다는 것을 확인할 수 있다.

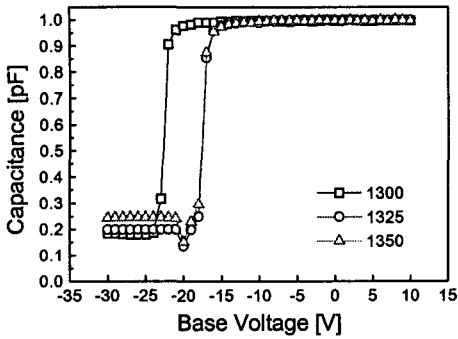


그림 1. 15k[Å] PBS FZ 웨이퍼의 C-V특성.

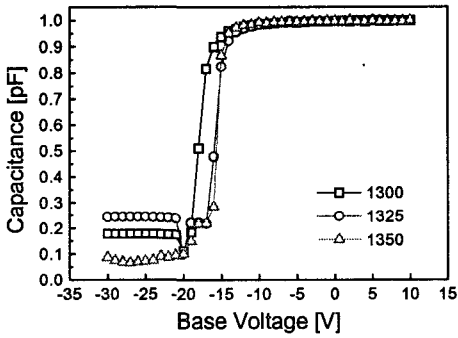


그림 2. 0k[Å] PBS FZ 웨이퍼의 C-V특성.

그림 3.에서는 웨이퍼 ingot성장 방식이 다른 초클라스키 방식으로 키운 ingot으로 만들어진 CZ웨이퍼의 고온확산 공정진행에 따른 capacitance값을 나타낸 그림이다.

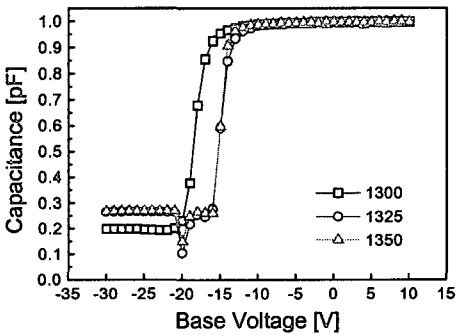


그림 3. 0k[Å] PBS CZ 웨이퍼의 C-V특성..

사진 2.와 사진 3을 통해 PBS유무에 따른 확산온도와 표면결함과의 상관성을 알 수 있다. 일반적인 epi웨이퍼, 또는 diffused웨이퍼의 경우 웨이퍼이면 영역의 고농도 역역에서 결점 gettering역활을 기대할 수 있으나 본 실험에 사용한 시료의 경우 전체영역이 낮은 비저항 값을 갖는 웨이퍼이므로 이면 PBS에 따른 결점의 차이가 확연히 나타남을 확인 시각적으로 확연히 할 수 있다.

사진 2. 15k[Å] PBS FZ 웨이퍼 표면 사진.



사진 3. 0k[Å] PBS FZ 웨이퍼의 표면 사진.

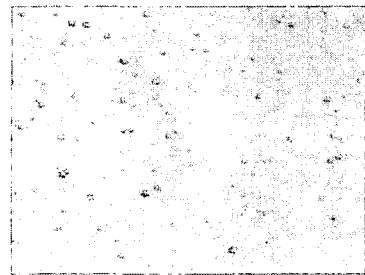


사진 4. 0k[Å] PBS CZ 웨이퍼의 표면 사진.

그림 3.에서는 200[°C]까지 온도를 상승시킨 후 +20[V]의 stress 전압을 인가함으로써 산화막내의 이동전하를 활성화 시켜 그 값의 유의차를 측정된 결과이다. 그 결과 역시 초기값과 유사한 형태의 특성값이 나타남을 확인할 수 있었다.

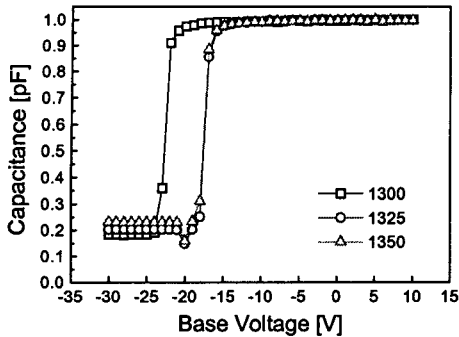


그림 4. 고온 stress bias후의 15k[A] PBS FZ 웨이퍼 C-V특성.

그림.4에서도 역시 그림2 의 15k[A] PBS시료의 200[°C]까지 온도를 상승시킨 후 stress 전압 인가 결과이다. 초기결과와는 조금 달리 -30[V]때 값이 확산온도에 따라 거의 유사한 값이 나타났으며 bias 전압의 증가에 따라 1300[°C]시료만 약간 앞서 증가하기 시작하나 거의 유사한 경향치가 나타남을 확인 할 수 있다.

표.3은 각각에 대한 C-V특성 결과를 총 정리한 표로써 각 sample과 확산 온도와의 상관성을 정리해 놓았다.

표 3. Capacitance-voltage 특성 결과

시료종류	확산온도[°C]	Vfb[V]	Nss[cm ⁻²]
15_FZ	1300	-22.6	3.65e11
	1325	-17.4	1.88e12
	1350	-17.4	1.96e12
0_FZ	1300	-17.8	1.94e12
	1325	-15.5	1.75e12
	1350	-15.9	1.82e12
0_CZ	1300	-18.3	2.09e12
	1325	-15.3	1.72e12
	1350	-14.7	1.68e12

3.2. 시뮬레이션 결과

시뮬레이션 결과에서는 capacitance-voltage특성 및 bias에 따른 wafer내부의 전자나 hole의 분포를 확인 할 수 있었다. 그림.5는 확산 온도에 따른

C-V값을 나타내는 것으로 확산 온도에 따라 simulation에서는 큰 유의차가 나타나지 않음을 확인할 수 있다. 이는 simulation에서는 단순히 산화막 두께에 따른 이상적인 분포를 확인 할 수 있었다. 그림.6는 확산 온도에 따른 값만을 나타내는 것이기 때문에 사료된다.

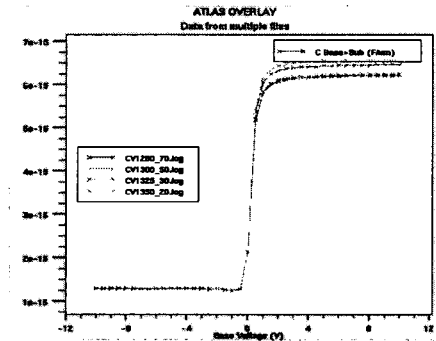


그림 6. C-V특성 simulation결과

4. 결론

본 논문에서는 국내 최초로 1300[°C] 이상의 고온 확산공정과 그에 따른 산화막의 C-V값의 변화를 처음으로 기술하였다. FZ방식으로 성장시킨 웨이퍼가 CZ방식의 웨이퍼에 비해 산화막질 특성이 못한 것으로 평가 되었다. 이는 CZ웨이퍼의 oxygen에 의한 gettering 효과에 의한 것으로 사료된다. 둘째 PBS 두께에 따른 산화막질 평가결과는 1325[°C]까지는 확연한 차이를 보이나 1350[°C] 확산 진행에 따른 산화막질 평가에서는 별 큰 유의차를 보이지 않은 것으로 보아 PBS에 따른 gettering 효과가 어느 일정온도 이상에서는 효과가 미비함을 확인할 수 있었다. 결론적으로 PBS 15k[A]의 FZ웨이퍼가 1325[°C] 온도조건에서 어느 정도 적용 가능성을 확인할 수 있었다.

참고 문헌

- [1] G.K. Su, Y.H. Chen, and A.E. Stephens, "Effect of Dislocation and Bulk Micro Defects on Device Leakage.", SEMICON Taiwan, pp.1-5, 2001.
- [2] L. Wu, X. Huang, J. Shi, M. Dai, F. Qiao, W. Li, and K. Chen, "capacitance-voltage study of SiO₂/nanocrystalline silicon/SiO₂ double-barrier structures.", Thin Solid Films 425, pp. 221-224, 2003.