

TaN 게이트 전극을 가진 HfO_xN_y (HfO_2) 게이트 산화막의 열적 안정성

김전호, 최규정, 윤순길, 이원재*, 김진동**
충남대학교, 동의대학교*, DNF Solution**

Thermal Stability and Electrical Properties of HfO_xN_y (HfO_2) Gate Dielectrics with TaN Gate Electrode

Jeon-Ho Kim, Kyu-Jeong Choi, and Soon-Gil Yoon, Won-Jae Lee*, and Jin-Dong Kim**
Chungnam Nat'l Univ, Dong-Eui Univ*, DNF Solution**

Abstract

HfO_xN_y films using a hafnium tertiary-butoxide ($\text{Hf}[\text{OC}(\text{CH}_3)_3]_4$) in plasma and N_2 ambient were prepared to improve the thermal stability of hafnium-based gate dielectrics. A 10% nitrogen incorporation into HfO_2 films showed a smooth surface morphology and a crystallization temperature as high as 200°C compared with pure HfO_2 films. The TaN/ HfO_xN_y /Si capacitors showed a stable capacitance-voltage characteristics even at post-metal annealing temperature of 1000°C in N_2 ambient and a constant value of 1.6 nm EOT (equivalent oxide thickness) irrespective of an increase of PDA and PMA temperature. Leakage current densities of HfO_xN_y capacitors annealed at PDA temperature of 800 and 900°C , respectively were approximately one order of magnitude lower than that of HfO_2 capacitors.

Key Words : High-k gate dielectrics, HfO_2 , HfO_xN_y , TaN gate electrode

1. 서론

100 nm 이하의 CMOS 기술에서 게이트 유전체로서 SiO_2 는 한계에 달하였으므로 여러 고유전율 게이트 유전체가 SiO_2 의 대체물로서 연구되고 있다.¹ 고유전율 게이트 유전체를 사용함으로써, 동일 유효산화막두께 (effective oxide thickness, EOT)에서 실제 게이트 유전체를 두껍게 할 수 있기에, 유전체의 터널링 누설전류를 현저히 줄여줄 수 있다.²

실리콘과 접촉할 때의 열역학적 안정성으로 인해 HfO_2 와 HfSiO_4 연구가 최근에 주목을 끌고 있다.³⁻⁵ 게다가, HfO_2 는 다결정 실리콘 게이트와 호환성이 우수하다.⁶ 그러나, 고온에서 계면층 두께 상승으로 인한 EOT의 증가와 낮은 결정화 온도로

인한 높은 누설전류밀도 등의 문제점이 있다. 높은 누설전류밀도와 EOT와 같은 문제점들을 해결하기 위해 질소 주입 기술이 연구되고 있다.^{7,8,9} 본 연구에서는, 게이트 유전체 적용을 위하여 HfO_2 박막에 질소를 주입하는 실험을 시도하였다.

2. 실험

p형 실리콘(100) 웨이퍼를 RCA 세정한 후, HfO_2 (HfO_xN_y) 박막을 반응가스인 산소 없이 hafnium-tertiary-butoxide ($\text{Hf}[\text{OC}(\text{CH}_3)_3]_4$: Techno Semichem Co., Ltd., Korea)를 사용하여 플라즈마 화학 기상 증착법으로 증착하였다. 버블러 온도를 $30\sim 35^\circ\text{C}$ 로 유지하여 Hafnium-tertiary-butoxide를 기화시킨 후 HfO_2

(HfO_xN_y) 박막을 Ar(Ar+N₂) 분위기에서 RF 파워 40W로 증착시켰다. 플라즈마에 의한 HfO₂ (HfO_xN_y)와 실리콘 계면의 손상을 줄이기 위해 초기에 플라즈마를 사용하지 않고 HfO₂를 1분 증착한 후, 플라즈마를 이용하여 증착하였다.⁵ 게이트 전극인 TaN는 DC 마그네트론 스퍼터링 방법으로 증착하였다. 실험조건은 상온에서 5mTorr, 그리고 N₂/Ar을 0.05의 비율로 증착하였다. 전기적인 특성을 측정하기 위해 TaN 게이트 전극을 lift-off lithography 방식으로 만들었고, MOS capacitor 면적을 50 × 50 μm²로 하였다. Post Deposition Annealing (PDA) 온도를 질소 분위기에서 1분 동안 600~800°C까지 변화시켰고, Post Metal Annealing (PMA)는 질소 분위기에서 1분 동안 900°C에서 실험하였다.

HfO₂ (HfO_xN_y) 박막의 결정구조는 x-ray diffraction (XRD; Rigaku, D/MAXRC, Japan)으로 관찰하였다. HfO₂ (HfO_xN_y) 박막의 물리적 두께는 Ellipsometry를 사용하여 측정되었고, 박막에 주입된 질소는 auger electron spectroscopy (AES; VG Scientific Microlab 310-D, United Kingdom)를 사용하여 확인되었다. 정전용량-전압 (C-V)과 전류-전압 (I-V) 곡선은 HP4194A impedance/gain-phase analyzer와 HP4156A semiconductor parameter analyzer로 각각 측정되었다.

3. 결과 및 고찰

그림 1에서 다양한 온도에서 열처리된 30 nm-HfO₂ (HfO_xN_y) 박막의 XRD 패턴을 보여주고 있다. 열처리온도를 질소 분위기에서 5분 동안 500~900°C까지 변화시켜보았다. 300°C에서 증착된 As-deposited HfO₂ 박막(Fig. 1(a))에서는 단지 넓은 (111) peak만을 보여주는데 이는 사실상 결정화를 이루지 않았음을 나타낸다. 그리고 600°C이상에서 질소 분위기에서 5분 동안 열처리된 HfO₂ 박막은 완전히 결정화되어 (110), (-111), (111), (200) 면의 단사정계 HfO₂ peak을 나타내었다. 이와 반대로, HfO_xN_y (Fig. 1(b)) 박막은 질소 분위기에서 5분 동안 800°C 열처리한 후에도 여전히 비정질상태로 존재했다. 이는 HfO_xN_y 박막에 질소가 주입됨으로써 결정화온도가 HfO₂ 보다 200°C정도 높아진 결과로 볼 수 있었다.

그림 2 (a)는 질소 분위기에서 1분 동안 600°C 열처리한 HfO₂ (HfO_xN_y)/Si의 AES spectrum

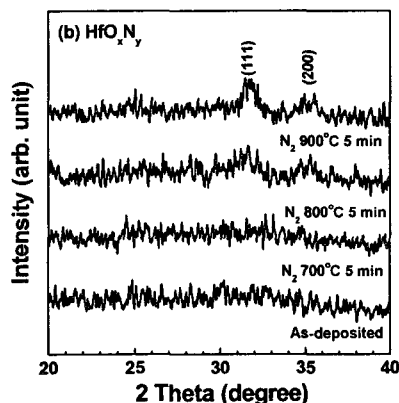
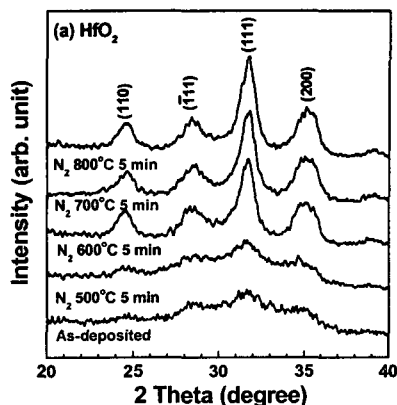


그림 1. X-ray diffraction patterns of (a) HfO₂ (~30 nm) and (b) HfO_xN_y (~30 nm) films annealed at various temperatures for 5 min in nitrogen ambient.

을 보여주고 있다. 그림 2에서 HfO₂ 박막 안에 질소가 주입된 상태를 보여준다. HfO_xN_y 박막 안에 주입된 질소가 예상했던대로 계면과 HfO_xN_y의 벌크에서 발견되었다. 유기금속 화합물을 사용하는 플라즈마 화학 증착법은 낮은 온도에서 실험하기 때문에 탄소 오염을 발생시킨다. 하지만 실험한 결과, 탄소는 플라즈마 분위기에서 Hf[OC(CH₃)₃]₄의 산소와 충분히 반응해 CO나 CO₂로 쉽게 증발하여 제거되었다.

그림 3 (a)은 질소 분위기에서 1분 동안 PDA 온도에서 열처리된 TaN/HfO₂ (HfO_xN_y)/Si 구조의 EOT를 나타내고 있다. EOT값은 C-V 곡선의 측

적 정전용량 (-2 V, 1 MHz)에서 측정하였는데, North Carolina State University CVC program을 사용하여 양자역학적인 추론을 포함하였다.¹⁰ 800°C PDA 열처리 후, HfO₂ 박막의 EOT가 1.34에서 1.6nm 까지 증가했지만, HfO_xN_y 박막의 EOT 변화는 0.02 nm 이하로 억제되었다. HfO_xN_y의 우수한 열적 안정성은 질소 주입기술로 설명될 수 있다.

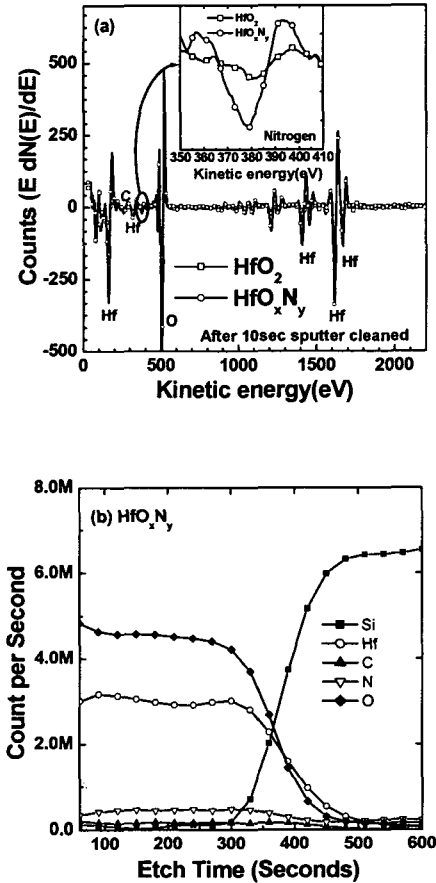


그림 2. (a) AES spectrum of 5 nm-HfO₂ (5.5 nm-HfO_xN_y)/Si annealed at 600°C in nitrogen ambient for 1 min. Insert figure shows the nitrogen incorporation into HfO₂ film. (b) AES depth profile of HfO_xN_y/Si annealed at 600°C in nitrogen ambient for 1 min

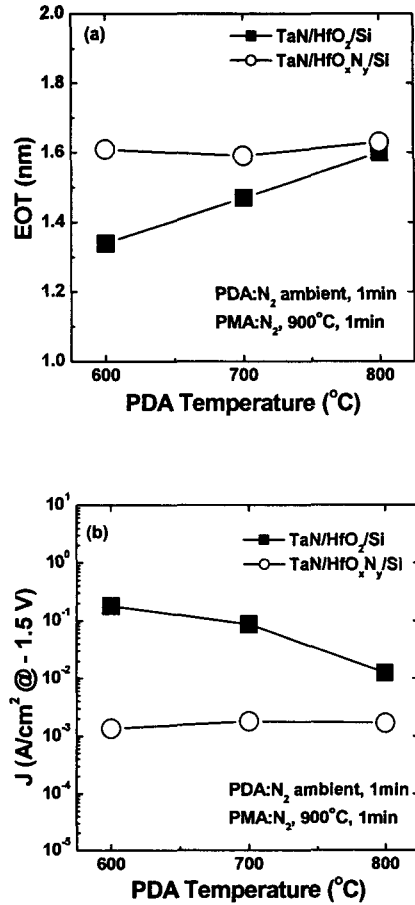


그림 3. (a) EOT and (b) leakage current density of TaN/Si nm-HfO₂ (5.5 nm-HfO_xN_y)/Si capacitors annealed at various post deposition annealing (PDA) temperature for 1 min in N₂ ambient. The post metal annealing (PMA) was performed at 90°C for 1 min in a N₂ ambient.

그림 3 (b)는 질소 분위기에서 1분 동안 PDA 열처리된 TaN/HfO₂ (HfO_xN_y)/Si 구조의 누설전류 밀도를 보여주고 있다. HfO₂의 누설전류밀도는 PDA 온도가 증가함에 따라 0.18 A/cm²에서 0.012 A/cm²까지 감소되었다. 누설전류밀도의 감소는 산화막 두께의 증가로 설명할 수 있다. 그러나 HfO_xN_y 박막의 누설전류밀도는 박막 안의 질소가 게이트 유전체로의 산소확산을 억제하기 때문에 PDA 온도가 증가해도 변하지 않았다.

그림 4에서는 -1.5 V에서 측정된 누설전류밀도를 적용한 EOT의 변화를 나타내고 있다. 그림 3에는 PDA (N₂, 600~800°C, 1min) 그리고 PMA (N₂, 900°C, 1min) 열처리한 모든 데이터를 보여주고 있다. 동일한 EOT에서 HfO_xN_y 박막의 누설전류밀도는 HfO₂의 박막보다 대략 일차수 정도 낮았다.

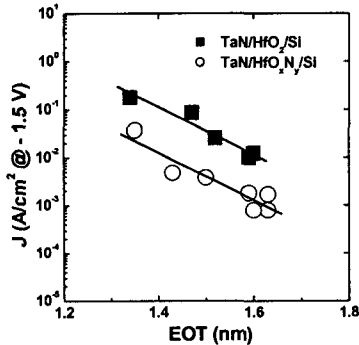


그림 4. Leakage current density vs. EOT of HfO₂ and HfO_xN_y dielectrics show lower current density compared to HfO₂.

4. 결론

게이트 유전체로 쓰이는 HfO₂ (HfO_xN_y) 박막을 플라즈마 화학 증착법에 의해 Hf[OC(CH₃)₃]₄를 사용하여 p형 실리콘 위에 300°C에서 증착하였다. HfO₂와 HfO_xN_y 박막을 비교하여 높은 결정화 온도, 낮은 누설전류밀도, 그리고 우수한 열적 안정성 등의 뛰어난 특성을 나타내었다. 그 결과 동일한 EOT에서 HfO_xN_y 박막의 누설전류밀도는 HfO₂의 박막보다 대략 일차수 정도 낮았다. HfO_xN_y 박막의 뛰어난 특성은 질소 주입으로 설명될 수 있다.

감사의 글

This work was supported by the Brain Korea 21 project in 2003 and was partially supported by the Korea Science and Engineering Foundation through the Research Center for Advanced Magnetic Materials at Chungnam National University.

참고 문헌

[1] International Technology Roadmap for Semiconductors (Semiconductor Industry

Association, San Jose, CA, 2002); <http://public.itrs.net>

- [2] D. A. Buchanan, Scaling the Gate Dielectric: Materials, Integration, and Reliability, IBM J. Res. Develop. Vol. 43, No. 3, p. 245, 1999.
- [3] B. H. Lee, L. Kang, W. J. Qi, R. Nieh, Y. Jeon, K. Onish, and J. C. Lee, Ultrathin Hafnium Oxide with Low Leakage and Excellent Reliability for Alternative Gate Dielectric Application, Tech. Dig. Int. Electron Devices Meet., p. 133, 1999.
- [4] K. J. Choi, W. C. Shin, and S. G. Yoon, Effect of Annealing Conditions on a Hafnium Oxide Reinforced SiO₂ Gate Dielectric Deposited by Plasma-Enhanced Metalorganic CVD, J. Electrochem. Soc., Vol. 149, No. 3, p. F18, 2002.
- [5] K. J. Choi, J. B. Park, and S. G. Yoon, Control of the Interfacial Layer Thickness in Hafnium Oxide Gate Dielectric Grown by PECVD, J. Electrochem. Soc., Vol. 150, No. 4, p. F75, 2003.
- [6] S. J. Lee, H. F. Luan, W. P. Bai, C. H. Lee, T. S. Jeon, Y. Senzaki, D. Roberts, and D. L. Kwong, High Quality Ultra Thin CVD HfO₂ Gate Stack with Poly-Si Gate Electrode, Tech. Dig. Int. Electron Devices Meet., p. 31, 2000.
- [7] S. Jeon, C. J. Choi, T. Y. Seong, and H. Hwang, Electrical Characteristics of ZrO_xN_y Prepared by NH₃ annealing, Appl. Phys. Lett., Vol. 79, No. 2, p. 245, 2001.
- [8] C. S. Kang, H. J. Cho, Katsunori, R. Nieh, R. Choi, S. Gopalan, S. Krishnan, J. H. Han, and J. C. Lee, Bonding States and Electrical Properties of Ultrathin HfO_xN_y Gate Dielectrics, Appl. Phys. Lett. Vol. 81, No. 14, p. 2593, 2002.
- [9] C. H. Choi, S. J. Rhee, T. S. Jeon, N. Lu, J. H. Sim, R. Clark, M. Niwa, and D. L. Kwong, Thermally Stable CVD HfO_xN_y Advanced Gate Dielectrics with Poly-Si Gate Electrode, Tech. Dig. Int. Electron Devices Meet., p. 857, 2003.
- [10] J. R. Hauser and K. Ahmed, Characterization and Metrology for ULSI Technology, AIP, New York, 1998, pp. 235239.