

AC PDP 화질향상을 위한 개선된 ADS 고속 구동법에 대한 연구

임종식, 김현석, 김준엽*

세종대학교 전자공학과

E-mail*: ikim@sejong.ac.kr

Improved High Speed Addressing Driving Method for Increment of the Image Quality for AC PDPs

Jong-Sik Lim, Hyun-Seok Kim, Joon-Yub Kim

Dept. of Electronics Engineering, Sejong University

Abstract - AC PDP의 ADS 구동 방식은 구동 방법이 간단하여 구현하기가 용이할 뿐만 아니라 가장 안정적인 구동 방식으로 널리 사용되고 있다 [1]. 그러나 ADS 구동 방식은 주사선의 수가 늘어남에 따라 어드레싱에 필요한 시간이 증가하게 되고 유지방전 구간에 할애할 시간이 상대적으로 감소하게 되어 휘도가 저하되게 되는 문제점을 갖고 있다. 이러한 문제를 해결하기 위하여 어드레싱 시간을 최소화하기 위한 고속 어드레싱 기술에 대한 연구가 계속하여 진행되고 있다 [2-10].

본 논문에서는 고속 구동 시에 나타나는 불안정한 어드레싱으로 인한 화질의 저하문제를 해결하기 위한 개선된 ADS 구동파형을 제시한다. 초기화 구간의 Reset 파형은 어드레싱 구간의 특성에 중요한 영향을 미치게 되는데, Reset 구간에서 생성된 벽전하를 어드레싱 방전 구간 동안 지속적으로 유지되게 함으로서 어드레싱 방전 전압을 줄이고 안정적인 어드레싱이 유지될 수 있도록 하였다. 본 논문에서는 Priming Effect의 영향이 급격히 감소하는 80us 이후, 벽전하의 생성을 돕는 Wall Charge Acceleration Pulse를 적용함으로써 불안정한 어드레싱 문제를 해결할 수 있는 방법을 제시하였고 휘도의 불균등화로 인한 화질 저하의 문제를 해결하였다.

1. 서 론

AC PDP는 대화면 평판 디스플레이 소자 중에 가장 각광 받고 있는 기술 중에 하나이다. 최근 AC PDP의 근본적인 문제라고 여겨지던 높은 소비전력과 낮은 대조비의 문제를 해결하는 다양한 방법들이 소개되어 지고 있다. 하지만 이러한 기술적 진보에도 불구하고 고속 구동 시에 어드레싱 시간의 증가에 따른 유지구간 감소로 인한 휘도저하 문제는 아직까지 해결되고 있지 않다. AC PDP의 구동법 중에 가장 안정적인 구동법으로 알려진 ADS(Address Display Separated)구동법은 유지구간과 어드레스구간이 뚜렷이 구분되어 있는 본질적인 이유로 인하여 수직해상도의 증가에 따라 어드레스 구간이 증가하여 유지구간이 감소되는 피할 수 없는 문제를 가지고 있다. 이러한 문제를 해결하기 위하여 어드레스 시간을 단축시키는 고속 어드레싱 방법을 사용하는데 단축된 어드레싱 펄스폭에 의하여 불안정한 어드레싱 문제가 나타나게 된다.

본 논문에서는 어드레스 방전 이후에 벽전하 형성 시간을 빠르게 유도하여 짧은 어드레스 폭에서도 안정된 어드레싱을 수행하여 휘도의 불균등화로 인한 화질 저하의 문제를 해결하기 위한 개선된 어드레싱 파형을 소개한다.

2. 본 론

2.1 기존의 ADS 구동파형의 특성

그림. 1은 기존의 ADS 구동법의 측정파형이다. 한 서

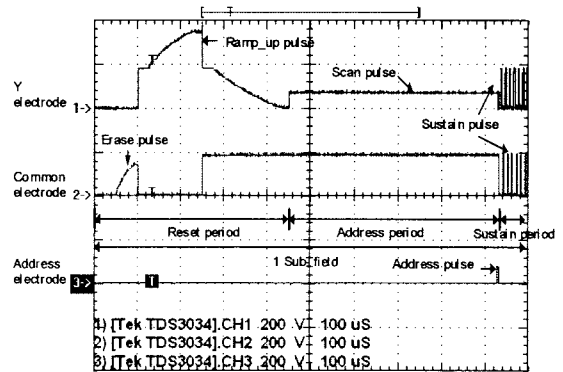


그림. 1 기존 ADS 구동파형의 측정파형

브필드는 초기화구간, 어드레스구간, 유지방전구간으로 나뉜다. 초기화구간에 사용되는 Reset 파형에 따라 셀 내부의 상황은 다양하게 변하며, 어드레싱 특성 또한 변화하게 된다 [11-12]. Reset 구간에 기울기 파형을 사용 하였을 경우 어드레스 인가전압은 상당히 낮아진다. 이는 Reset 구간에서 생성된 벽전하가 완전히 소거되지 않고 어드레싱 방전에 이용, 인가전압을 줄일 수 있는 것이다.

우선 기존의 ADS 구동법의 어드레싱 특성을 보기 위해 scan time에 따른 방전의 특성을 살펴보았다. 1 us의 어드레스 펄스폭을 가진 VGA(640×480)급의 수직해상도의 패넬을 가정하면 scan time은 0us-480us가 된다. 측정 기준을 위해서 여러 측정장비(BM7: luminance, AM503B: current, C5460: light intensity)의 측정파형을 비교 하였으며, 42개의 스캔라인과 108개의 어드레스 라

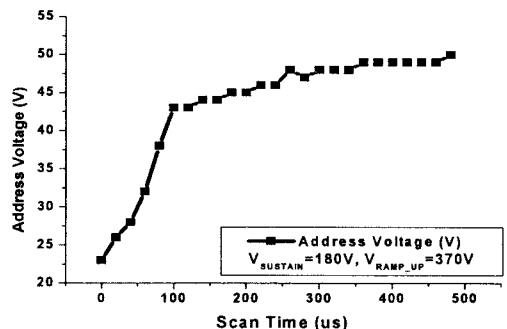


그림. 2(a) Scan time에 따른 최소 어드레스 방전전압

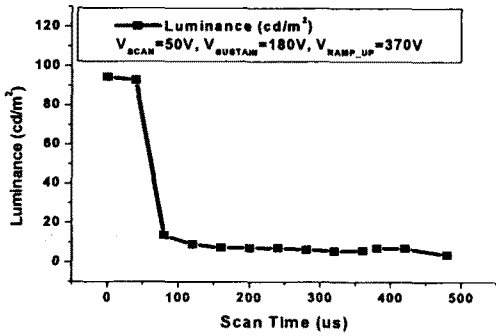


그림. 2(b) Scan time에 따른 발광 휘도

인을 가진 4인치 패널을 사용 하였다.

그림. 2(a)는 시간에 따른 최소 어드레스 방전전압을 나타낸다. 시간이 지남에 따라 급격하게 증가하던 방전 전압은 100us scan time에서 둔화되어 증가폭이 크게 감소한다. 이처럼 초기화구간에서 생성된 벽전하의 영향으로 최소어드레스 방전전압은 50V까지 낮아질 수 있다. 하지만 scan time이 증가함에 따라 priming effect의 영향은 급격히 떨어지기 때문에 그림. 2(b)에서 보듯이 낮은 어드레스 전압으로 인한 불안정한 어드레싱은 휘도의 급격한 감소를 가져오게 된다.

2.2 Wall Charge Acceleration Pulse에 위한 고속 어드레싱 특성개선

기존의 ADS 구동법은 어드레스 구간의 증가로 인한

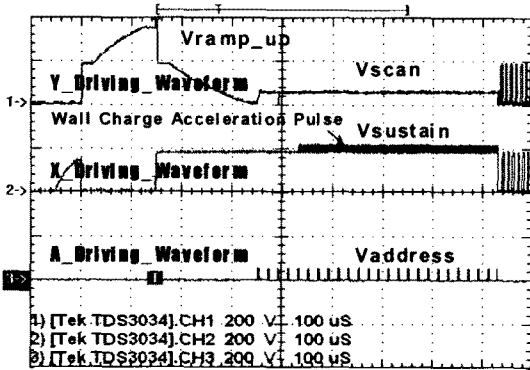


그림. 3(a) 고속 어드레싱에 대한 화질 개선을 위한 파형

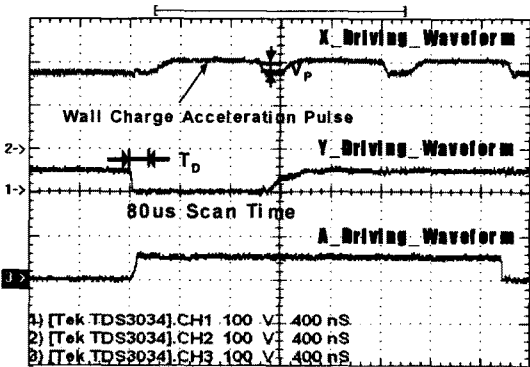


그림. 3(b) Wall Charge Acceleration Pulse 적용 파형

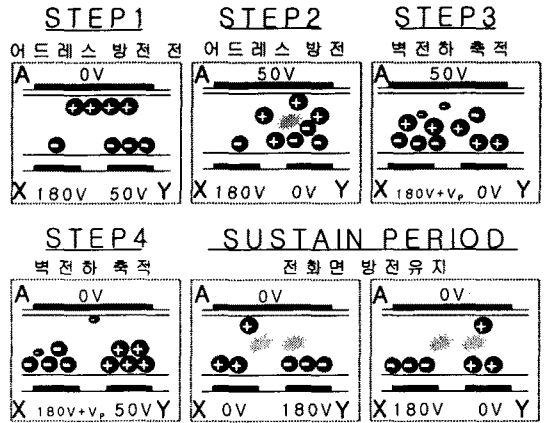


그림. 3(c) 어드레스 방전 시 벽전하 이동의 개념도

휘도감소 문제도 있지만, 고속 어드레싱 시에 오는 불안정한 어드레싱으로 인한 휘도감소 문제도 발생한다. 이를 보완하기 위해서 어드레스 인가전압을 높여 주지만 높은 전압으로 인한 소자의 가격 상승을 초래한다.

그림 3 (a), (b)는 고속 어드레싱 시에 휘도의 불균등화로 인한 화질 개선을 위해 기존의 ADS 구동 파형에 Wall Charge Acceleration Pulse를 전체적인 구간에 적용한 파형이다. 기존 ADS 구동에서 휘도가 급격히 감소하는 80us 이후에 Wall Charge Acceleration Pulse를 적용하여 불안정한 어드레싱 문제를 보완 하였으며, 80us scan time 이전의 높은 휘도로 인한 전체적 화면의 불균등한 휘도문제 또한 해결 하였다. 각 scan time에서 T_D 와 V_p 값은 실험을 통하여 적절한 값을 구하였다.

그림. 3(c)는 Wall 어드레스 방전 시 벽전하 이동의 개념도이다. Step 1에서는 초기화 구간에서 형성된 많은 priming particle이 방전 공간 내에 존재하게 된다 [13]. Step 2에서 어드레스 방전을 시키기 위해 Y전극에 0V를 인가하고 A전극에 50V를 인가하면 전극에 축적된 벽전하와 인가전압으로 인하여 어드레스 방전은 시작된다. Step 3에서는 어드레스 방전 이후 형성된 전하를 V_p 에 의하여 더 빠르게 축적되도록 도와주어 기존보다 안정된 어드레싱을 수행하도록 한다.

2.3 개선된 구동파형에 대한 실험 결과

그림. 4(a)은 어드레스 전극에 50V를 인가할 때 개선된 구동파형과 기존의 구동파형에 대한 매 scan time에서 휘도의 변화를 보여준다. Priming effect의 영향을 가장 크게 받는 80us 이전 까지는 높은 휘도를 나타내는

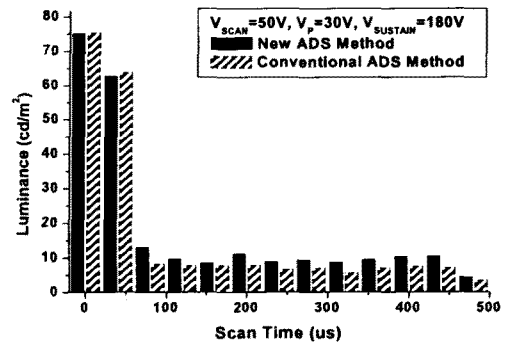


그림. 4(a) $V_{SCAN}=50V$ 에서 Scan time에 따른 휘도

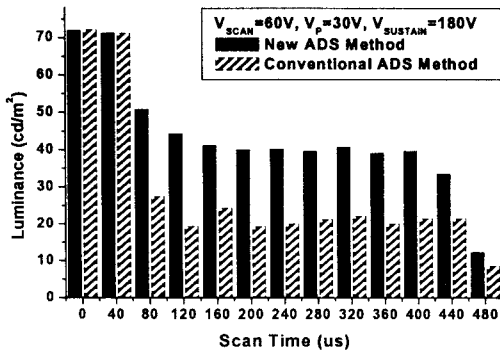


그림. 4(b) $V_{SCAN}=60V$ 에서 Scan time에 따른 휘도

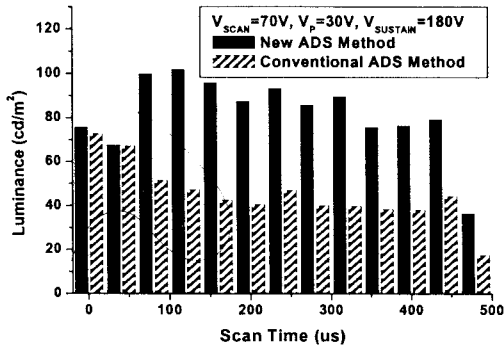


그림. 4(c) $V_{SCAN}=70V$ 에서 Scan time에 따른 휘도

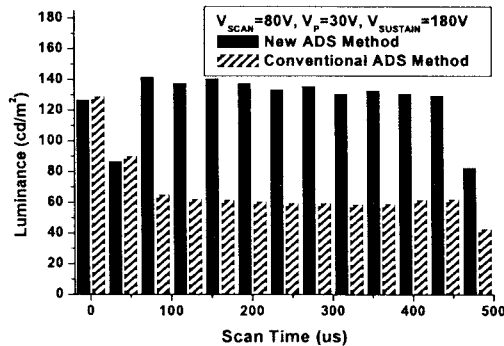


그림. 4(d) $V_{SCAN}=80V$ 에서 Scan time에 따른 휘도

것을 볼 수 있으며, Wall Charge Acceleration Pulse를 적용한 경우 휘도는 기존 파형보다 전체적으로 높게 나오지만 어드레스 방전전압이 안정적인 어드레싱을 수행하기에는 낮아, 전체적으로 휘도의 변화가 심하여 균등한 화질을 표현하지는 못한다. 그림. 4(b)는 어드레스 전극에 60V를 인가하는 경우로 기존의 ADS 구동법에 의한 휘도 변화보다 변화율이 적고, 상당히 높은 휘도를 보여준다. 그림. 4(c)와 그림. 4(d)는 각각 어드레스 전압이 70V, 80V인 경우의 시간에 따른 휘도의 변화이다. 80us 이후에 기존 ADS 구동법의 불안정한 어드레싱에서 오는 불균등한 휘도문제가 Wall Charge Acceleration Pulse를 적용할 경우 매우 개선되는 것을 어드레스 전압의 변화에 따라 확인할 수가 있다. 또한 전 scan time에

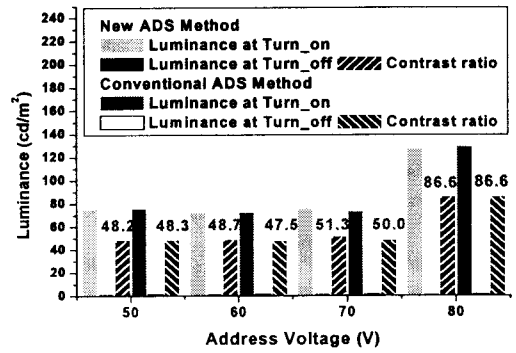


그림. 5 어드레스 전압에 따른 contrast ratio 비교

대한 평균휘도가 기존 ADS 구동법에서는 어드레스 전압이 70V인 경우 45 cd/m², 80V인 경우 67 cd/m²로 낮은 것에 비하여, 개선된 구동파형에서는 각각 82 cd/m², 128 cd/m²로 82%, 91%의 매우 높은 향상을 보인다.

그림. 5은 기존의 ADS 구동법과 새로운 구동법과의 어드레스 전압에 따른 dark room contrast ratio의 비교이며, Wall Charge Acceleration Pulse 적용 시 dark room contrast ratio의 변화가 없음을 나타낸다.

3. 결론

본 논문에서는 기존의 ADS 구동법의 문제점인 어드레스 구간의 증가에 따른 휘도저하 문제와 짧은 어드레스 폭에서 오는 불안정한 어드레싱으로 인한 불균등한 휘도문제를 해결하는 새로운 구동법을 제안 하였다. 그림. 6은 전체적 휘도의 불균등 문제에 대한 기존 ADS 구동법과 Wall Charge Acceleration Pulse를 적용한 개선된 구동법의 비교 그림이다. 기존 ADS 구동법에서는 scan time에 따른 휘도의 변화가 매우 심하여 전체적인 화면에서 휘도의 불균등화가 나타나게 된다. 또한 고속 어드레싱 시 불안정한 어드레싱에서 오는 휘도저하 역시 심각하게 나타난다. 그에 반하여 Priming effect의 영향이 급격히 감소하는 80us 이후, 벽전하의 생성을 돕는 Wall Charge Acceleration Pulse를 적용한 구동법에서는 낮은 휘도를 보이던 80us 이후의 scan time에서도 안정적인 어드레싱이 가능하여 전체적으로 높은 휘도를 보여 주고 휘도의 불균등화를 해결하여 화질의 향상을 가져올 수 있다.

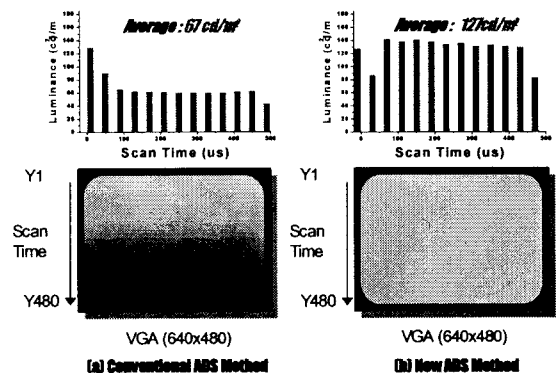


그림 6. 기존 ADS 구동법과 새로운 구동법의 비교

[참 고 문 헌]

- [1]K. Yoshikawa, et al, "A full color AC Plasma Display with 256 Gray Scale," Japan Display'92, pp.605~608, 1992.
- [2]H. Homma, et al, "Luminance Improvement of PDPs by an Extension of Light-Emission Duty to 90% with an HDTV Capability," SID '97, pp.285~288, 1997.
- [3]T. Tokunaga, et al, "Development of New Driving Method for AC-PDPs," IDW' 99, pp.787~790, 1999.
- [4]Y. Kanazawa, et al, "High-Resolution Interlaced Addressing for Plasma Displays," SID' 99, pp.180~183, 1999.
- [5]T. Kishi, et al, " A New Driving Technology for PDPs with Cost Effective Sustain Circuit," SID '01, pp.1236~1239, 2001.
- [6]M. Kasahara, et al, "New Drive System for PDPs with Improved Image Quality: Plasma Al," SID '99, pp.158-161, 1999.
- [7]J. Ryeom, "The New Driving Scheme of Full TV Field Display for 42-in. WVGA PDP," SID' 00, pp.738~741, 2000.
- [8]Ilhun Son et al, "A New High Speed Driving Method for ac-PDP," ASID' 99, pp.314~318, 1999.
- [9]J.D. Ryeom, "A Drive-Voltage Reduction of AC PDPs by Use of Space-Charge-Control Pulses," SID 97 Digest, pp.390~393, 1997.
- [10]Jun-Young Yoo, et al, "High Speed-Addressing Method for single-Scan of AC PDP," SID 01 Digest, pp.798~801, 2001.
- [11]S.K. Lee et al, "Analysis of Priming Effect Using Vt Close Curve," IDW'02, pp.709~712, 2002.
- [12]Byung-Gwon Cho, Heung-Sik Tae, Sung-Il Chien, "A New Asymmetric Scan Method to Improve Address Discharge Characteristics Based on Addressing Discharge Delayed Formation in AC PDP," IDW' 02, pp.877~880, 2002.
- [13]Ki-Duck Cho, Heung-Sik Tae, Sung-Il Chien, Jeung-Hae Lee, "New Addressing Technique for Reduction of Addressing Time in AC PDP," IDW '02, pp.885~888, 2002.