

AC PDP에서 2차원 수치해석을 이용한 Ramp Reset 구동파형에 따른 방전 특성 분석

박석재, 최훈영, 서정현\*, 이석현  
 인하대학교, \*인천대학교

Discharge Characteristic Analysis with a Ramp Reset Waveform  
 Using 2-Dimensional Simulation in the PDP

Suk-Jae Park, Hoon Young Choi, \*Jeong-Hyun Seo, Seok-Hyun Lee  
 Inha University, \*Incheon University

**Abstract** - In this paper, we present a 2-Dimensional simulation model of the discharge in an ac plasma display panel cell. Therefore, we study a ramp reset waveform in an ac plasma display panel discharge cell using 2-Dimensional simulation. Finally We reserch a connection between priming particles' density and stability.

Ne과 5%의 Xe을 사용하였다.[2][3]

1. 서 론

PDP(Plasma Display Panel)는 가스 방전에 의해 발생된 자외선이 형광체를 여기 시켜 발생하는 가시광을 이용하는 발광 표시기로서 LCD, 유기 EL과 함께 차세대 디스플레이로서 주목받고 있다. 특히 대화면 디스플레이 시장에서 매우 유력할 것으로 예상된다. 그러나, 아직까지 해결해야할 문제들이 많이 있어 개발 단계에 머물러 있다. 특히 효율적인 셀 구조를 설계하고, 구동 파형을 최적화하기 위한 많은 노력들이 기술 여지고 있다. 이러한 문제들을 실험만을 통해 해결하고 최적화 하는 데는 한계가 있다. 이를 위해서는 무엇보다도 측정과 수치해석을 모두 사용한 방전의 이해가 필수적이다.

그 중에서도 수치해석을 통한 방법은 짧은 시간과 노력으로 여러 가지 물리량들과 실험을 통해서 측정할 수 없는 물리량들을 계산할 수 있다. 따라서 셀 내에 발생하는 여러 문제들의 원인을 정확하게 찾아내고, 구동파형을 설계하는데 도움이 된다.

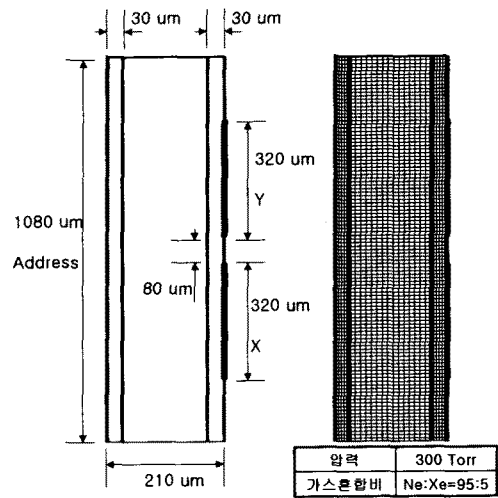
특히, Reset 구간은 전 Subfield에서의 Sustain 방전 유무에 따라 벽전하의 분포가 서로 다르기 때문에 분포의 차이를 줄이기 위한 구간으로 Address 구간의 방전 특성과 동작 마진을 결정하는 중요한 요소이다. 그 중에서, Ramp Reset 구동파형은 안정적인 벽전하 형성에 유리하여 PDP의 구동 파형으로 가장 널리 사용되고 있다. 그러므로, Ramp Reset 구동파형에 대한 이해는 매우 중요하다.[1]

본 논문에서는 직접 제작한 2차원 PDP 수치해석 프로그램을 사용하여 Ramp Reset 구동 파형에 따른 방전 특성과 벽전하 형성 과정을 분석하였다. 또한 Priming 입자의 밀도에 따른 방전의 안정성에 대하여 규명하였다.

2. 본 론

2.1 수치해석 모델

수치해석 프로그램은 그림 1.(a)와 같은 2차원 PDP 모델에 그림 1.(b)의 정렬격자망을 적용하여 제작하였다. 해석 방법은 연속방정식과 포아송 방정식을 적용하여 입자들의 유동과 전위를 구하여 해를 구하는 방법을 취하였다. 연속방정식은 유체의 이동을 해석하는 유체법을 이용하였다. 가스 압력은 300Torr, 가스 혼합비는 95%의



(a)수치해석 모델 (b)사용된 격자망  
 그림 1. 수치해석 프로그램에 사용된 모델

2.2 Ramp Reset 구동파형 동작원리

수치해석 프로그램에 사용된 Ramp Reset 구동파형은 그림 2와 같다. 수치해석에서는 시간을 줄이기 위해서 Address 구간을 짧게 하였다.

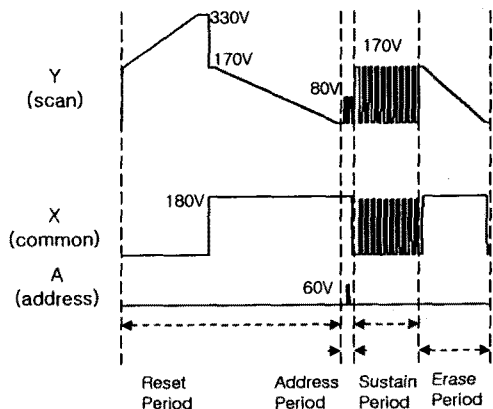


그림 2. 수치해석에 적용한 Ramp reset 구동파형

그림 3은 Ramp Reset 구동과형에 따른 벽전하의 모습을 보여주고 있다. Reset 구간에 Address 구간에 ON, OFF에 필요한 벽전하를 형성하고 있다. 그리고, Address 구간이후에는 Address 구간에서 ON, OFF 여부에 따라 Sustain 구간에 유지 방전이 결정되도록 벽전하가 형성된다. 그리고, Erase 구간에 벽전하를 소거한다.

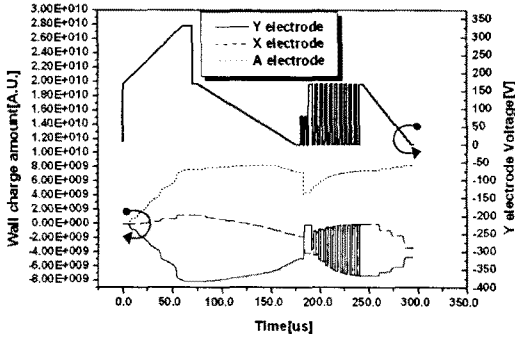


그림 3. 전 구간의 벽전하 변화와 Y전극에 인가되는 전압

그림 4는 Reset 구간 중 Ramp 상승구간의 약방전의 모습을 보여주고 있다. Reset 구간 중 Ramp 상승 초기에는 Y전극과 A전극 사이의 약방전이 많이 발생한다. 그리고, Ramp 상승 후반으로 갈수록 X전극도 방전에 참여한다. 그 결과, Y전극에는 음의 벽전하가 많이 쌓이고, A전극에는 많은 양의 벽전하가 쌓이게 된다. 그리고 X전극에는 약간의 양의 벽전하가 쌓이게 된다.

그림 5는 Reset 구간 중 Ramp 하강 구간의 약방전의 모습을 보여주고 있다. Reset구간 중 Ramp 상승 구간은 벽전하를 각각의 전극에 쌓아주는데 목적이 있다. 그러나, Reset 구간 중 Ramp 하강 구간은 Addressing에 의해 Sustain 구간에서 방전이 일어날 수 있도록 벽전하를 형성하는데 목적이 있다. Reset 구간 중 Ramp 하강 초기에는 X전극과 Y전극 사이의 약방전으로 X전극과 Y전극의 벽전하가 많이 소거된다. 그리고, Ramp 하강 후반으로 갈수록 A전극도 방전에 참여하여 전체적으로 X전극, Y전극, A전극의 벽전하가 소거된다. Rest 구간이 끝나면, Address 구간에서 ON된 셀만 ON되고 오방전은 일어나지 않도록 벽전하가 형성된다. 그래서, Y전극에는 충분한 음의 전하가 쌓이고, 오방전 방지를 위해 X에는 Y보다 작은 음의 전하가 쌓이게 된다.

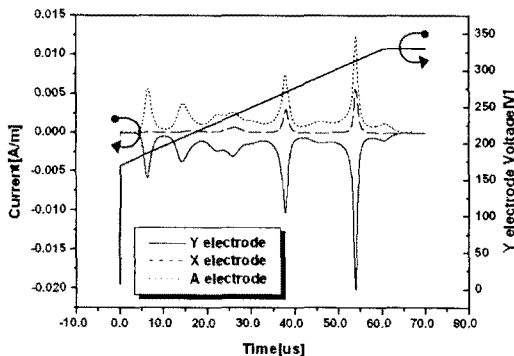


그림 4. Reset 구간 중 Ramp 상승구간의 전류 파형과 Y전극에 인가되는 전압

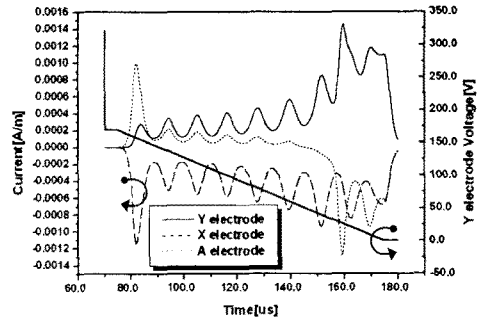


그림 5. Reset구간 중 Ramp 하강구간의 전류 파형과 Y전극에 인가되는 전압

그림 6은 Address 구간에서 ON되었을 때의 방전 전류를 보여주고 있다. Address구간에서 ON되어 Address pulse가 인가됨에 따라 A전극과 Y전극이 방전을 일으키기 시작한다. 따라서, Y전극에는 양의 전하가 쌓이게 된다. 이로 인하여 다시 Y전극과 X전극 사이에 방전이 발생한다. 그래서, Address 구간 이후에는 Y전극에는 양의 전하가 쌓이게 되고 X전극에는 음의 전하가 쌓이게 된다.

따라서, Y전극에 유지 전압이 인가되면 Y전극에 쌓여 있는 양의 전하와 더해진 전위가 발생하고, X전극에도 음의 전하가 쌓여있으므로 방전공간내의 전위차는 Y의 유지 전압과 X전극과 Y전극에 쌓여있는 전하에 의한 전위가 더해져서 방전개시전압이상을 이루게 된다. 이로 인하여 방전이 개시되는 것이다. 마찬가지로 다시 X전극에 유지전압이 인가되면, 반대 방향의 벽전하가 쌓여 위의 과정이 반복되어 방전이 계속 유지된다. 그림 7은 유지 방전의 모습을 보여주고 있다.

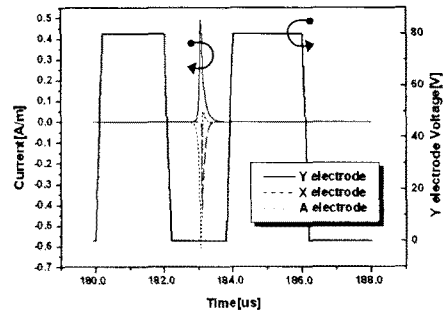


그림 6. Address 구간의 전류 파형과 전극에 인가되는 전압

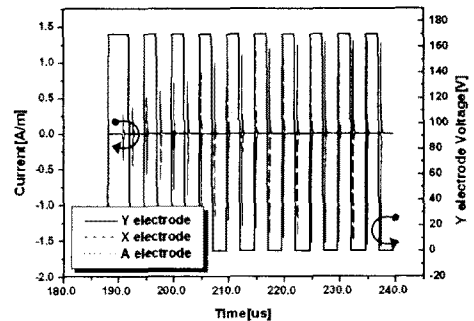


그림 7. Sustain 구간의 전류 파형과 Y전극에 인가되는 전압

시키는 것이 벽전하 형성과 방전의 안정성에 중요한 요소임을 알 수 있었다.

[참 고 문 헌]

[1] K. Sakita et al, "Analysis of a weak Discharge of Ramp-Wave Driving to Control Wall voltage and Luminance in A C-PDPs", SID 00 Digest, p110-113, 2000  
 [2] L.F.Weber, "Plasma Panel Exhibiting Enhanced Contrast", U.S. 5,745,086, 1998  
 [3] J. Meunier, Ph. Belenguer, and J.P. Boeuf, "Numerical model of an plasma display panel cell in neon-xenon mixtures", J.Appl. 78 p731, 1995  
 [4] C. Punset, S. Cany and J.P. Boeuf, "Addressing and sustaining in alternating current coplanar plasma display panels", J.Appl. 86. p124, 1999

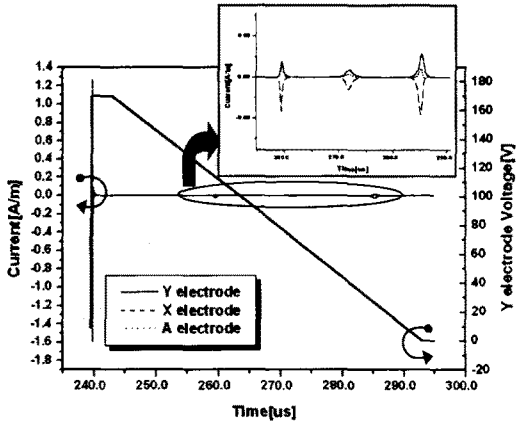


그림 8. Erase 구간의 전류 파형과 Y전극에 인가되는 전압

그림 8에서는 Erase 구간의 전류 파형을 보여주고 있다. 첫 번째의 큰 전류 파형은 유지 방전이고, 그 이후에 전압이 Ramp 하강하는 Erase 구간에서 약방전이 발생하여 쌓여있던 벽전하를 소거하였다. 이는 ON 셀과 OFF 셀, 각각의 전극이 비슷한 상태를 갖고 Reset 구간에 들어가게 하기 위해서이다.

2.2 Plasma 입자 밀도에 따른 방전의 안정성

그림 9는 초기 Priming 입자의 밀도를  $2\text{개}/\text{m}^3$ 로 하여 Priming 입자의 밀도가 아주 작을 때의 조건을 인위적 만들었을 때의 방전 전류를 보여주고 있다. 그림 4의 기본적인 밀도를 주었을 때와 비교하면 Ramp 상승 시에 발생하는 약방전의 크기가 더 크게 발생하는 것을 볼 수 있다. 이는 Reset 구간에서 더 많은 배경광이 발생하고, 균일한 벽전하를 형성하는데 약간의 문제가 발생함을 알 수 있다.

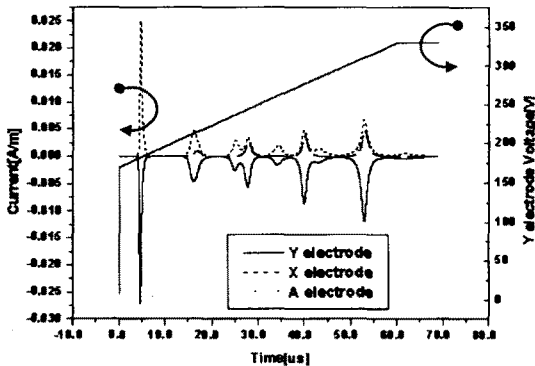


그림 9. 초기 Priming 입자의 밀도  $2\text{개}/\text{m}^3$ 일때의 Ramp 상승 구간

3. 결 론

본 논문에서는 수치해석 프로그램을 사용하여 Ramp Reset 구동파형에 따라 PDP 단위 셀의 방전과 벽전하 형성 메커니즘에 대하여 알아보았다. 특히 Priming 입자의 밀도가 중요하여 그 밀도를 일정 수준 이상으로 유지