

교류형 플라즈마 디스플레이 패널에서의 새로운 구동방식

김재성, 황현태, 김근수, *서정현, 이석현
 인하대학교, *인천대학교

New Driving Method in AC-PDP

Jae-Sung Kim, Hyun-Tae Hwang, Gun-Su Kim, *Jeong-Hyun Seo, Seok-Hyun Lee
 Plasma Laboratory, School of Electrical Engineering Inha University, *Electronics Engineering, University of Inche

Abstract - The driving method is one of the most important factors of PDP, so various driving methods have been developed to improve the quality of PDP. Nowadays, most of PDPs apply to ADS (Address and Display period Separated) driving method. In this paper, a new driving method that divides scan lines into multi-Blocks is suggested. The proposed driving method in this paper can drive 14 sub-fields per 1 TV field in SD panel, 16 sub-fields per 1 TV field in HD panel. And sufficient Address margin can be obtained.

1. 서 론

최근 대중 매체가 발달함에 따라 대화면 평판 디스플레이 소자에 대한 관심과 요구가 증대되고 있다. 특히, PDP(Plasma Display Panel)는 기존의 CRT (Cathode Ray Tube)나 LCD (Liquid Crystal Display)에 비해 대형화가 용이하여 차세대 디스플레이 소자로 각광받고 있다. [1] 현재 상용화 되고 있는 PDP의 대부분은 AC-PDP로서 대부분이 ADS (Address and Display period Separated) 구동방식을 채택하고 있다. 그림 1과 같이 ADS 구동방식은 Address기간과 sustain 기간이 완전히 분리되어 모든 스캔 라인을 동시에 유지발광 시키는 특징을 가지며, 각각의 서브필드들은 리셋, 어드레스, 서스테인 세 구간으로 구분된다. [2, 3] 리셋 구간에서는 모든 셀의 벽전압을 초기화하고, 어드레스 구간에서 순차적으로 켈 셀과 커져 않을 셀을 선택한 후, 서스테인 구간에서 어드레스 구간동안 선택된 셀을 유지 발광시킨다. 계조 표현은 서브필드의 수가 8개인 경우, 서스테인 구간의 길이를 1 : 2 : 4 : 8 : 16 : 32 : 64 : 128의 비로 하여 $2^8=256$ 개의 계조 표현이 가능하게 된다. 이렇게 계조를 표현하면, 의사윤곽이 크게 일어나 화질이 저하된다. 의사윤곽의 문제를 해결하기 위해서는 서브필드의 수를 늘리거나, 각 서브필드의 유지발광 시간을 최적화하는 방법이 있다. [4] 본 논문에서는 기수의 서브필드는 Write 어드레스, 우수의 서브필드는 Erase 어드레스를 하며 2개의 서브필드마다 리셋 펄스를 인가하고, 스캔 라인을 다수의

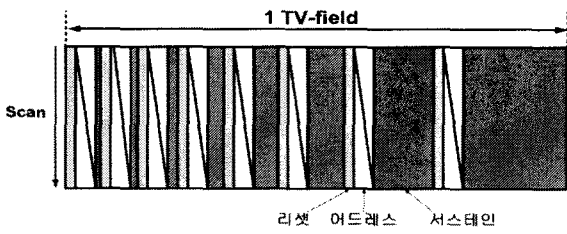


그림 1. ADS 구동방식의 서브필드 구조

Block으로 분할하여 구동하는 새로운 구동방식을 제안하였다. 본 논문에서 제안한 구동방식은 1 TV필드 당 SD급에서 14서브필드, HD급에서 16서브필드로 구동이 가능하고, 충분한 어드레스 마진을 확보하였다.

2. 본 론

2.1 실험장치 및 실험방법

그림 2는 본 실험에 사용된 장치의 개략도이다. Test 패널로는 7인치 SD급 패널과 HD급 패널이 사용되었고, Pulse Generator인 Time-98과 여러 대의 Power Supply, 디지털 Oscilloscope, 전압 Probe, 광파형 측정기인 Photo Detector 그리고 Driving Circuit을 이용하여 실험을 진행하였다.

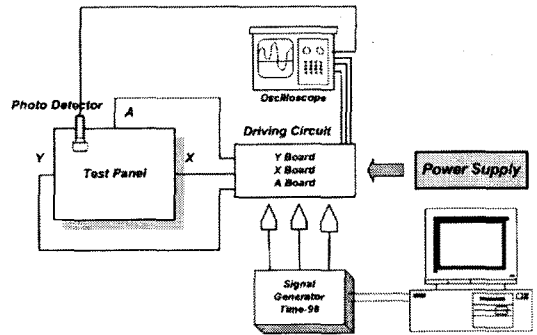


그림 2. 실험 장치의 개략도

2.2 제안된 새로운 구동방식

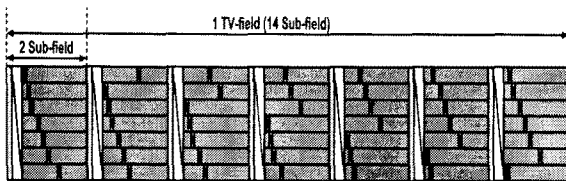
그림 3과 4는 새로운 구동방식의 SD급과 HD급에 대한 서브필드 구조와 구동파형이다. SD급에서는 69라인씩 7Block으로 분할하여 1 TV필드를 14서브필드를 사용하였고, HD급에서는 96라인씩 8Block으로 분할하여 Dual 스캔으로 16서브필드를 사용하였다. 표 1은 SD급과 HD급에서 1 TV필드에서의 구동펄스 개수와 Width를 나타낸 표이다. 리셋은 2개의 서브필드마다 한 번씩 램프리셋으로 인가되며 기수의 서브필드는 램프리셋 후 모든 Block에 대해 Write 어드레스를 실시하고, 우수의 서브필드는 Block 별로 Erase 어드레스를 실시한다. Write 어드레스의 펄스폭은 1.5us로 설정하였고, Erase 어드레스는 어드레스 구간 직전에 서스테인 방전이 존재하기 때문에 충분한 Priming 입자의 공급으로 인해 1us의 세폭 펄스의 인가가 가능하였다. Erase 어드레스를 실시하기 전 Priming 입자의 공급으로 마지막 서스테인 직후에

Erase 어드레스를 실시했을 때 오방전이 발생하기 때문에 약간의 휴지기를 두고 어드레스를 하였다.

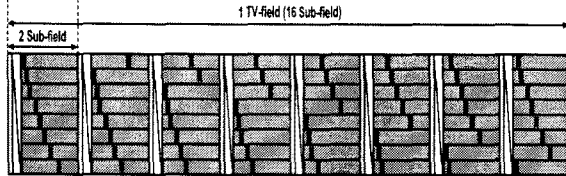
표 1에서 보듯이 SD급과 HD급에서 각각 14서브필드와 16서브필드의 구동이 가능한 충분한 시간이 확보되었다.

표 1. SD급과 HD급에서의 구동펄스 개수와 Width

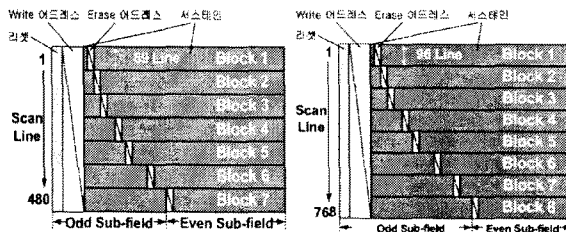
		개수	Width[us]	스캔라인	Time[us]
		SD (Single Scan)	리셋	7	350
Write/A	7		1.5	480	5040
Erase/A	7		1	480	3360
서스테인	2100		2.5		5250
휴지기	49		10		490
	Time[us]				16590
HD (Dual Scan)	리셋	8	350		2800
	Write/A	8	1.5	768/2	4608
	Erase/A	8	1	768/2	3072
	서스테인	2300	2.5		5750
	휴지기	64	5		320
	Time[us]				16550



(a) SD급(14서브필드)의 서브필드 구조



(b) HD급(16서브필드)의 서브필드 구조



(c) 2 Sub-field 구조 (SD) (d) 2 Sub-field 구조 (HD)

그림 3. SD급(14서브필드)과 HD급(16서브필드)의 서브필드 구조

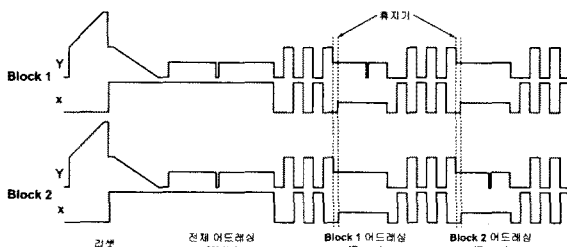


그림 4. 제안된 구동방식의 파형

제안된 구동방식은 각각의 Block 별로 Erase 어드레스를 다른 시간에 실시하기 때문에 한 Block이 Erase 어드레스를 실시하는 동안에 나머지 Block들은 방전이 계속 유지된다. 그리고 2개의 서브필드마다 일정한 방전 유지 시간으로 설정되어 우수의 서브필드의 끝나는 시점이 모든 Block에서 동일하다. 우수의 서브필드가 끝나면 다시 전 Block에 대해 리셋 펄스가 인가되어 벽전압을 초기화한다. 표 2는 SD급(14서브필드)과 HD급(16서브필드)에서 각 Block 별 방전 유지시간을 배열한 표이다.

표 2. Block 별 방전 유지시간 배열

Block1	Block2	Block3	Block4	Block5	Block6	Block7	Sum							
36	36	36	36	36	36	36	252							
1	35	2	34	3	33	5	31	8	28	12	24	16	20	255

(a) SD급 패널(14 Sub-field)

Block1	Block2	Block3	Block4	Block5	Block6	Block7	Block8	Sum								
32	32	32	32	32	32	32	32	256								
1	31	2	30	3	29	4	28	6	26	8	24	12	20	14	18	256

(b) HD급 패널(16 Sub-field)

SD급에서는 2개의 서브필드를 36계조로, HD급에서는 32계조로 설정하여 각각의 Block 계조를 모두 합치면 1 TV필드 동안에 256계조를 표현할 수 있게 하였다.

제안된 구동방식에서는 기수의 서브필드에서 커진 셀만 우수의 서브필드에서 Erase 시킬 수 있기 때문에 기존의 계조표현 방식보다는 계조표현에 한계가 있으나, 이는 Error Diffusion이나 Dithering 등을 이용하여 개선시킬 수 있다. 그리고 서브필드의 개수가 기존의 방식보다 증가하였기 때문에 의사윤곽이 크게 저감되어 화질 향상을 꾀할 수 있다.

2.3 실험 결과

2.3.1 X Erase Bias 전압의 상한선 결정

본 논문에서 제안된 구동방식은 어드레스 부분이 Write 어드레스와 Erase 어드레스로 구분되어 있다. Write 어드레스는 모든 Block에 램프리셋 펄스를 인가하여 균일한 벽전압 상태로 초기화된 후 이루어지기 때문에 minimum 어드레스 전압이 57V정도로 측정되었다. Erase 어드레스는 이전에 서브필드에서 방전이 일어났던 셀에서만 이루

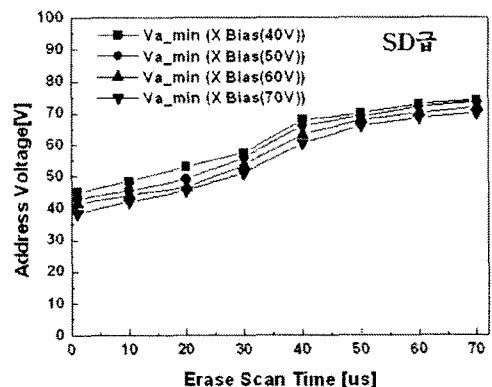


그림 5. 마지막 서스테인 펄스 인가 후 스캔 시간에 따른 X Erase Bias 전압의 최대값

어지게 된다. 벽전압 상태는 램프리셋에서와는 달리, Y전극에 가해진 마지막 서스테인 펄스가 인가된 상태에서 끝나기 때문에 균일하지 못하게 된다. 그러나 구형과 펄스가 인가되었기 때문에 강한 방전이 일어나 충분한 Priming 입자가 공급된다. 이 Priming 입자의 공급은 Erase 어드레스를 실시할 때 오방전을 일으키는 원인이 된다. 그림 5는 마지막 서스테인 펄스를 인가한 후의 스캔 시간에 따른 X Erase Bias 전압의 최대값을 나타낸 그림이다. SD급에서는 10us, HD급에서는 5us의 휴지기를 설정하여 X Erase Bias 전압의 최대값을 70V로 결정하였다.

2.3.2 Erase 어드레스 마진 측정

본 논문에서는 Erase 어드레스 마진을 X Erase Bias 전압과 서스테인 펄스의 수를 변화시키면서 측정하였다. 그림 6은 첫 번째 Block에서 Erase 어드레스를 실시했을 때 X Erase Bias 전압 별 스캔 시간에 따른 어드레스 전압 마진을 나타낸 그림이다.

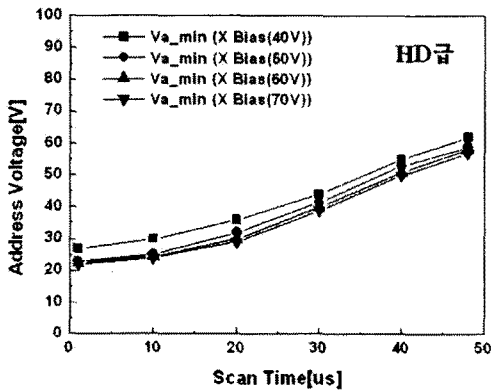


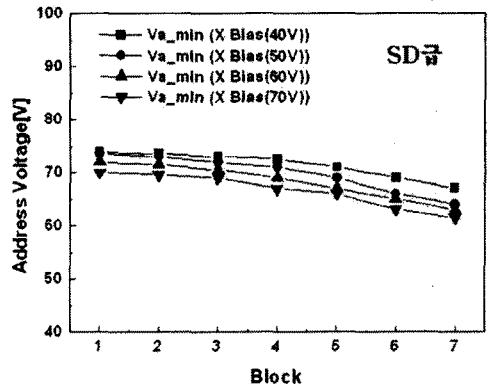
그림 6. 스캔 시간에 따른 X Erase Bias 전압 별 어드레스 전압 마진

실험 결과, 스캔 시간이 늘어날수록 어드레스 전압이 상승하고, X Erase Bias 전압이 증가할수록 어드레스 전압이 감소하는 것을 볼 수가 있다. 스캔 시간이 늘어날수록 Priming 입자가 소멸하기 때문에 공간전압이 감소하므로 어드레스 전압이 증가하고, X Erase Bias 전압이 증가할수록 공간전압이 증가하므로 어드레스 전압이 감소하였다.

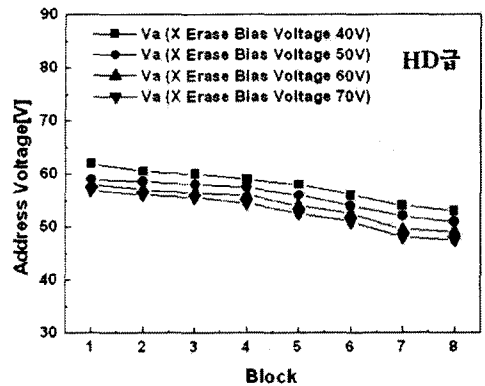
그림 7은 서스테인 펄스 수가 증가함에 따라 어드레스 전압의 마진이 어떻게 달라지는가를 측정한 그림이다. 제안된 구동방식은 각각의 Block 별로 Erase 어드레스를 다른 시간에 실시한다. 한 Block에서 Erase 어드레스를 실시할 때 나머지 Block들은 방전이 계속 유지되어 늦게 Erase 어드레스 되는 Block 일수록 서스테인 펄스의 수는 증가하게 된다. 실험 결과, X Erase Bias 전압에 관계없이 서스테인 펄스의 수가 증가할수록 어드레스 전압이 약간씩 감소함을 볼 수 있다. 서스테인 펄스의 수가 증가될수록 서스테인 방전이 안정화되어 충분한 Priming 입자가 공급이 되기 때문에 공간전압을 상승시켜 어드레스 전압이 감소되었다.

2.3.3 어드레스 방전 Delay 측정

그림 8은 X Erase Bias 전압의 변화에 따른 어드레스 방전 Delay를 측정한 그림이다. 방전 Delay는 광파형 peak치의 falling부분 10%에서 측정하였다. 어드레스 전



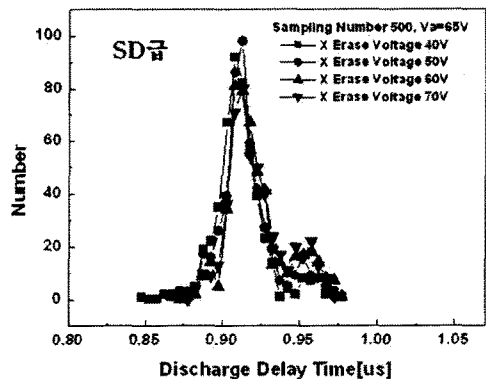
(a) 어드레스 전압 마진 (SD)



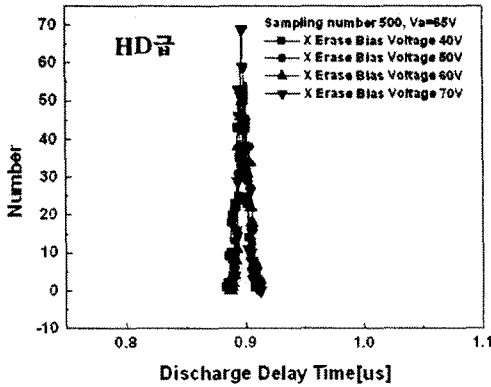
(b) 어드레스 전압 마진 (HD)

그림 7. 서스테인 펄스 수에 따른 어드레스 전압 마진

압은 65V로 설정하였고, SD급과 HD급 패널에서 500회씩 샘플링하여 그 분포를 나타낸 그림이다. 실험 결과, X Erase Bias 전압이 증가하더라도 어드레스 방전 Delay는 거의 변화가 없었다. 그리고 대부분의 방전은 0.9us 근처에서 Delay가 측정되었고, 모두 1us 안에 방전이 끝남을 알 수 있었다. 따라서 1us 안에 안정한 어드레스를 실시할 수 있음을 확인하였다.



(a) 어드레스 방전 Delay (SD)



(b) 어드레스 전압 마진 (HD)

그림 8. X Erase Bias 전압에 따른 어드레스 방전 Delay

3. 결 론

본 논문에서는 스캔 라인을 다수의 Block으로 분할하여 구동하는 새로운 구동방식을 제안하였다. 실험 결과, SD급 패널에서는 10us, HD급에서는 5us의 휴지기를 주었을 때, X Erase Bias 전압의 최대값이 70V로 결정되었다. 마진 측정결과, Write 어드레스 마진은 램프리셋을 사용하게 때문에 거의 일정한 값을 보였고, Erase 어드레스 마진은 조건에 따라 차이가 있었다. 스캔 시간이 늦어질수록 Priming 입자의 소멸로 인한 공간전압의 감소로 어드레스 마진은 줄어들었고, X Erase Bias 전압이 상승할수록 공간전압의 증가로 마진이 늘어났다. 따라서 70V의 X Erase Bias 전압을 사용하면 충분한 어드레스 마진을 확보할 수 있었다. 어드레스 방전 Delay는 X Erase Bias 전압에 관계없이 거의 일정한 값을 보였고, 1us 안에 모든 방전이 끝나기 때문에 안정한 어드레스 방전이 일어나는 것을 확인하였다. 또한 본 논문에서 제안한 구동방식으로는 Write 어드레스와 세폭의 Erase 어드레스를 병행해서 사용하기 때문에 1 TV필드 당 SD급에서 14서브필드, HD급에서 16서브필드로 구동이 가능하고, 충분한 어드레스 마진을 확보할 수 있다.

[참 고 문 헌]

- [1] Larry F. Weber, The Promise of Plasma Display for HD TV. *Society for Information Display(SID)*, vol. 16, no. 12, pp 16-20, 2000
- [2] T. Shinoda et al, High Level Gray Scale for AC Plasma Display Panels Using Address-Display Period-Separated Sub-Field Method, *Trans. of IEICE C-2*, no. 3, pp 349-355, 1998
- [3] Tsutae Shinoda Research & Development of Surface-Charge Color Plasma Display Technologies, *Asia Display*, pp 1065-1070, 1998
- [4] M.Kasahara, New Drive System for PDPs with Improved Image Quality : Plasma AI, *Society for Information Display(SID)*, pp 155-158, 1999