

전류 모드 CMOS 다치 논리 회로를 이용한 전가산기 설계

Design of a Full-Adder Using Current-Mode Multiple-Valued Logic CMOS Circuits

원 영 옥*, 김 종 수**, 김 정 범***

(Young Uk Won , Jong Soo Kim and Jeong Beom Kim)

* 강원대학교 전자공학과(전화:(033)250-6208 - 23, 팩스:(033)256-6327, E-mail : gaggl1@vlsi.kangwon.ac.kr)

** 강원대학교 전자공학과(전화:(033)250-6208 - 23, 팩스:(033)256-6327, E-mail : knujoss@vlsi.kangwon.ac.kr)

*** 강원대학교 전자공학과(전화:(033)250-6329 , 팩스:(033)256-6327, E-mail : kimjb@cc.kangwon.ac.kr)

Abstract : This paper presents a full-adder using current-mode multiple valued logic CMOS circuits. This paper compares propagation delay, power consumption, and PDP(Power Delay Product) compared with conventional circuit. This circuit is designed with a samsung 0.35um n-well 2-poly 3-metal CMOS technology. Designed circuits are simulated and verified by HSPICE. Proposed full-adder has 2.25 ns of propagation delay and 0.21 mW of power consumption.

Keywords : MVL(Multiple-Valued Logic), Current-Mode Circuit, Full-Adder, Current Mirror, Wilson Current Source

1. 서 론

오늘날 반도체 집적 기술의 발달로 칩의 고성능화와 고집적화가 이루어지고 있다. 이러한 기술적인 발전으로 인하여 VLSI 시스템의 동작 게이트 및 트랜지스터, 내부 신호선 수가 급격히 증가하게 되었고 설계자들은 단자수 제한 문제와 각각의 단자간 상호 연결 문제 그리고 보다 많은 정보량의 처리 문제 등의 제한성을 갖게 되었다.

이러한 문제를 해결하기 위해 지난 수십 년 동안 '1'과 '0'으로 표현되는 2치 논리가 아닌 3치 혹은 그 이상의 논리 신호를 이용하는 다치 논리 회로(MVL : Multiple-Valued Logic)의 실현에 대한 많은 연구가 진행되어져 왔다[1,2]. 다치 논리 회로는 2치 논리와 아날로그 신호 처리의 혼합된 형식으로 잡음에 강한 2치 논리의 이점을 유지하면서 보다 많은 정보를 처리할 수 있는 아날로그 신호의 장점을 사용한다. 현재 2치 논리를 사용하는 대부분의 VLSI 시스템은 각각의 신호선에 한 비트의 전송만이 가능하다. 만약 각각의 신호선에 동시에 두 비트 혹은 그 이상의 신호를 전송할 수 있다면 전체 신호선의 수는 절반 이상으로 감소 될 것이다. 따라서, 다치 논리회로의 사용은 전체 시스템의 상호 연결 단자수를 줄이고, 동작 게이트와 트랜지스터, 그리고 신호선의 수를 감소시킴으로써 시스템의 성능을 향상시켜 준다.[1] 특히 4치 논리는 2치 논리와 변환 및 복원이 용이하여 현재 많은 다치 논리 시스템에 적용되고 있다.

다치 논리는 잡음 여유(noise margin)의 감소와 회로 구성 및 기능의 복잡성 증가, 그리고 이로 인해 발생

하는 스위칭 속도의 감소 등의 문제점을 가지고 있다. 이러한 문제점에도 불구하고 다치 논리가 많은 관심을 갖게 하는 이유는 전체 시스템 측면에서 손실에 비해 월등한 성능 개선의 효과 때문이다. 초기의 다치 논리 회로는 전압 모드 CMOS 회로에 의해 이루어졌다. 전압 모드 CMOS 다치 논리 회로는 그 구성이 복잡하고 전달 지연으로 인해 2치 논리 회로와 경쟁이 되지 못하다가 1983년에 전류 모드 다치 논리 CMOS 회로가 처음 소개되고 VLSI화에 대한 가능성이 입증되면서 이에 대한 관심이 높아졌다[1,2]. 전류 모드 다치 논리 CMOS 회로는 전압 모드 회로가 갖는 결점을 보완하고 VLSI화의 요구 사항에 호환성을 가지며 낮은 공급 전압에서도 안정적으로 동작한다. 또한 전류의 가·감을 활용한 연산 동작의 구성이 간편하다. 전류 모드 다치 논리 CMOS 회로는 디지털 신호 처리와 연산 회로 분야에 10년 이상 연구되어 왔고 이를 평가하기 위해 많은 VLSI 시스템에 적용되어 왔다[1,6]. 특히 Current는 전류 모드 다치 논리 CMOS 회로를 사용한 비교기와 가산기, 그리고 부호기 및 복호기, A/Q (Analog-to-Quaternary) 변환기 등 다양한 회로들을 실현하였다[1]. 최근 국내에서도 전류 모드 다치 논리 CMOS 회로를 활용한 GF(Galois Field)상에서 가산 및 승산 알고리즘을 구현하는 등 활발한 연구가 계속되고 있다[2].

본 논문은 이러한 전류 모드 CMOS 다치 논리 회로의 이점을 활용하여 미세 선폭 반도체 기술을 적용한 전류 모드 4치 논리 전가산기를 설계하였다. 전류 모드 4치 논리 CMOS 회로는 기존에 '0'과 '1'로 표현되

는 2치 논리 신호를 00, 01, 10, 11로 표현되는 4치 논리 신호로 확장하고 4개의 전류 레벨로 변환하여 처리하는 CMOS 회로이다. 본 논문에서는 4치 논리 신호의 표현을 위해 각각의 논리 레벨을 나타내는 단위 전류를 5 μ A로 하여 4치 논리 신호의 '00'은 0 A, '01'은 5 μ A, '10'은 10 μ A, 그리고 '11'은 15 μ A로 나타낸다.

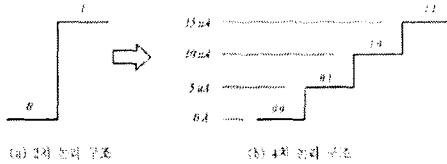


그림 1. 전류 모드 4치 논리 구조
 (a) 2치 논리 구조
 (b) 전류 레벨로 표현한 4치 논리 구조
 Fig. 1. Current-mode quaternary structure
 (a) binary logic level
 (b) current mode quaternary logic level

II. 전류 모드 4치 논리 전가산기의 설계

1. Modified Wilson 전류원 회로

집적 회로에서 전류 바이어스(bias)용으로 널리 사용되는 전류원 회로는 소신호 출력 저항이 커서 인가된 출력 전압값에 무관하게 일정한 값의 전류를 출력시켜야 하고, 전류 이득이 공정 파라미터 변화에 무관하게 일정한 값을 가지는 것이 바람직하다. 기존의 전류 모드 4치 논리 전가산기 회로에서는 MOS 전류원으로 가장 간단한 구조인 전류 미러(Current Mirror) 형태의 전류원을 사용하였다. 본 논문에서는 전류 미러 형태의 전류원 대신 Modified Wilson 전류원 회로를 사용하였다.

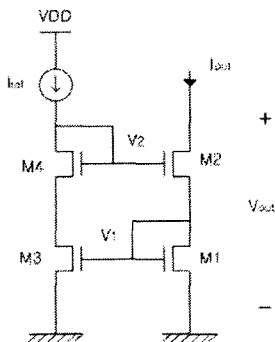


그림 2. NMOS modified Wilson 전류원 회로
 Fig. 2. NMOS modified Wilson current source circuit

그림 2에서 M1, M2, M3, M4 의 W/L 값이 모두

같을 때 트랜지스터 M4 는 소신호 입력 및 출력저항 값에는 전혀 영향을 미치지 않고, 단지 $V_{DS1}=V_{DS3}$ 이 되게 DC 바이어스를 잡아주는 역할만 수행한다. 따라서 $(W/L)_1=(W/L)_3$ 일 경우에 channel length modulation 현상에 관계없이 I_{out} 의 DC 값은 I_{ref} 와 같게 되어 전류이득 I_{out}/I_{ref} 은 1이 된다.[4]

2. 전류 모드 4치 논리 전가산기

전류 모드 4치 논리 CMOS 회로는 디지털 신호 처리와 연산을 보다 효율적으로 처리할 수 있다. 전류 모드 4치 논리 전가산기는 이러한 연산 회로 중 기본적인 회로이다. 전류 모드 4치 논리전가산기는 두 개의 4치 입력 신호 A, B 그리고 캐리 입력 C_i 를 하나의 입력 단자를 통해 입력 받고 입력 신호에 대한 연산 결과를 SUM 과 CARRY 의 두 출력 단자를 통해 출력한다. 입력 전류가 0에서 15 μ A까지 일 때 출력 SUM은 입력 전류값과 같은 값을 출력한다. 그러나 입력 전류가 20 μ A 이상이 되면 4치 논리의 자리 올림수인 CARRY가 발생하게 된다. 입력 단자에 입력 될 수 있는 최대 전류는 4치 입력 신호 A와 B가 가질 수 있는 각각의 최대 전류 15 μ A와 전단의 자리 올림수인 캐리 신호 C_i 가 존재할 때의 전류 값 5 μ A를 합하여 최대 35 μ A가 된다. 이 때의 출력은 20 μ A에서 발생하는 CARRY 신호 5 μ A와 SUM 신호 15 μ A가 출력된다.

그림 3 은 기존의 전류 모드 4치 논리 전가산기[3]이다.

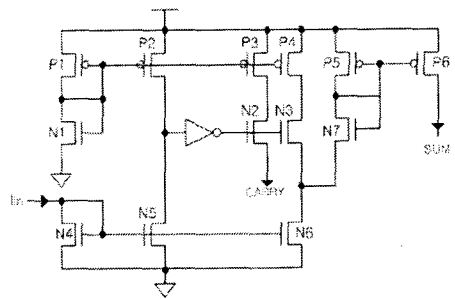


그림 3. 전류 모드 4치 논리 전가산기
 Fig. 3. Current-mode quaternary logic full-adder

NMOS인 N4과 N5, 그리고 N6은 전류 미러 회로로써 입력 전류 I_{in} 을 복제하고 P1과 N1는 전류원으로 단위 전류 $I(5\mu A)$ 를 생성한다. P2와 P4는 전류원을 통해 단위 전류의 4배인 4I 의 전류를 복제하고 P3은 I를 복제한다. P2와 N5는 전류 비교기로 동작하여 입력 전류 I_{in} 과 P2의 임계 전류 4I 를 서로 비교하여 N2과 N3의 스위칭 동작을 제어한다. P6은 P5에 흐르는 전류를 복제하여 연산 결과인 SUM을 출력한다. 전가산기의 동작을 보면 입력 전류 I_{in} 이 4I 보다 작은

값일 때 출력 CARRY는 0A가 되고, 입력 전류 I_{in} 이 SUM으로 출력된다. 입력 전류가 4I 보다 큰 경우 CARRY에 출력되고, 입력 전류에서 4I 를 제외한 나머지 전류가 SUM이 된다. 즉 출력 전류 $SUM = I_{in} - 4I$ 가 된다. N7은 다이오드로써 역전류 방지와 P4과 P5 사이의 상호 전기적인 영향을 없애기 위한 완충 역할을 하게 된다.

기존의 전류 모드 4치 논리 전가산기는 기본 전류 미러 구조로 설계를 하였기 때문에 잡음 여유도가 감소하여 출력의 정확도가 떨어지는 단점을 가지고 있다. 출력의 정확도가 떨어지면 여러 단의 전가산기 회로, 또는 다른 회로와의 결합 사용시 출력 값이 오동작을 발생시킬 수 있어서 이를 보완하기 위한 추가적인 회로를 필요로 하게 된다. 이의 개선을 위해 Modified Wilson 전류원을 이용하였고, 그림 4 는 본 논문에서 제안한 전류 모드 4치 논리 전가산기 회로이다.

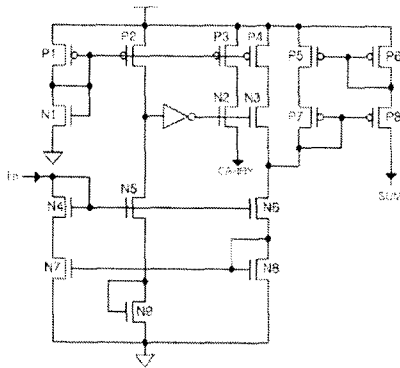


그림 4. 제안한 전류 모드 4치 논리 전가산기
Fig. 4. proposed Current-Mode Quaternary Logic Full-Adder

동작을 보면 기존의 전가산기와 마찬가지로 입력 전류 I_{in} 이 4I 보다 작은 값일 때 출력 CARRY는 0A가 되고, 입력 전류 I_{in} 이 4I보다 큰 경우 CARRY가 5uA가 출력되고, 입력 전류에서 4I를 제외한 나머지 전류가 SUM이 되도록 동작함을 알 수 있다. NMOS 트랜지스터 N4-N9 는 입력 전류를 복제하고, PMOS 트랜지스터 P5-P8 는 입력 전류가 4I 보다 큰 경우 I_{in} 을, 입력 전류가 4I 보다 작은 경우 $I_{in} - 4I$ 의 전류를 복제하여 SUM값을 출력하는 역할을 수행한다. 본 논문에서는 Modified Wilson 전류원을 사용하여 출력단의 소신호 출력저항 값을 크게 함으로써 잡음 여유도 향상 효과를 얻었다.

III. 시뮬레이션 결과 및 비교

1. 시뮬레이션 및 결과

본 논문은 0.35um CMOS 기술을 사용하여 HSPICE

로 시뮬레이션 하였다. 시뮬레이션에 사용한 모델 파라미터는 Level 28 공정 파라미터를 사용하였고 공급 전원은 3.3V로 하였다. 4치 논리에 적용한 단위 전류는 0, 5uA, 10uA, 15uA이고, 정확한 시뮬레이션 결과를 얻기 위해 전류 출력에는 10KΩ의 저항을 연결하였다. 그림 5는 기존의 전류 모드 CMOS 4치 논리 전가산기 회로[3]를 시뮬레이션 한 결과이다.

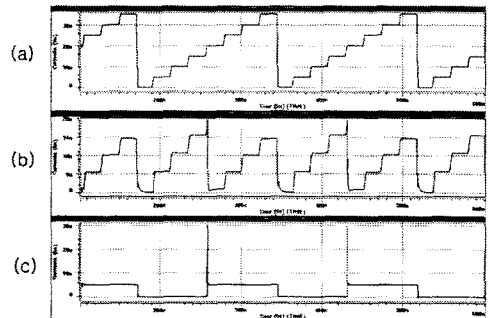


그림 5. 전가산기 회로의 시뮬레이션 결과
(a) 입력 신호 (b) 합(SUM) 신호
(c) 캐리(CARRY) 신호

Fig. 5. simulation result of Full-Adder
(a) input signal (b) SUM signal
(c) CARRY signal

그림 6은 본 논문에서 제안된 전류 모드 4치 논리 전가산기의 시뮬레이션 결과이다.

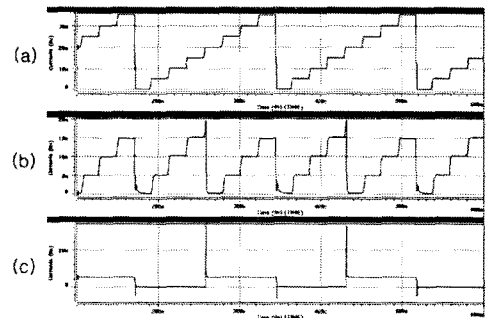


그림 6. 제안된 전가산기 회로의 시뮬레이션 결과
(a) 입력 신호 (b) 합(SUM) 신호
(c) 캐리(CARRY) 신호

Fig. 6. simulation result of proposed Full-Adder
(a) input signal (b) SUM signal
(c) CARRY signal

그림 5, 6의 (a)는 전가산기의 입력 신호로 가산을 수행하기 위한 두 개의 입력 신호와 전단의 자리 올림

수인 캐리 신호가 합하여 0에서 최대 35 μ A까지의 전류가 입력된다. 전가산기의 합(SUM)의 출력은 입력 신호에 따라 0에서 15 μ A까지의 출력 레벨을 갖게 되며 입력 전류가 20 μ A를 초과하게 되면 5 μ A의 캐리 신호가 발생하게 된다. (b)와 (c)는 합 출력과 캐리 출력 신호를 나타낸다. 시뮬레이션 결과를 보면 잡음 여유도가 향상되었음을 볼 수 있다. 제안된 전가산기 회로의 최대 전달 지연은 2.25 ns 이고, 소비 전력은 0.21 mW 이다.

2. 비교 및 분석

기존의 전류 모드 4치 논리 전가산기 회로와 본 논문에서 설계한 회로를 표 1 에서 비교하였다. 전력 소모와 최대 전달 지연시간, 전력 소모와 최대 전달 지연의 곱인 PDP(Power-Delay Product)를 비교하였다.

본 논문에서 설계한 회로는 기존의 전가산기 회로에 비해 트랜지스터 개수가 증가하고, 전력소모도 0.02mW(10%) 증가하였다. 하지만, 기존의 회로와 동일한 동작을 하면서도 최대 전달 지연 시간의 감소(14%), 작은 단위 전류(5 μ A)의 사용, 잡음 여유도 증가로 정확도 향상, PDP의 감소(5%)를 실현하여 전체적인 성능이 개선되었음을 알 수 있다.

표 1. 전가산기 비교

Table 1. comparison of full-adder

	기존의 전가산기	제안된 전가산기
TR. 수	15	19
전력 소모 (mW)	0.19	0.21
최대 전달 지연 (ns)	2.61	2.25
PDP(Power-Delay Product) (pJ)	0.496	0.473

IV. 결 론

본 논문은 다치 논리와 전류 모드 CMOS 회로를 사용하여 전류 모드 CMOS 4치 논리 전가산기를 설계하였다. 각각의 회로는 HSPICE 를 사용하여 시뮬레이션하였고, 시뮬레이션 결과에서 각각의 회로들은 정확하게 동작하였으며, 제안된 전가산기는 2.25ns 의 최대 전달 지연과 0.21 mW 의 소비 전력을 보였다.

본 논문에서 설계된 전류 모드 4치 논리 전가산기는 기존의 전가산기 회로의 전류 미러 형태의 전류원 대신 Modified Wilson 전류원 회로를 적용함으로써, 최대 전달 지연 시간의 감소(14%), 잡음 여유도 증가로 정확도 향상, PDP의 감소(5%)를 실현하여 전체적인 성능을 개선하였다.

ACKNOWLEDGMENT

본 논문은 BK21의 지원에 의해 이루어졌으며, 연구에 사용한 CAD S/W는 반도체설계교육센터(IDEC)의 지원에 의해 이루어졌음.

참 고 문 헌

- [1] K. Wayne Current, "Current-mode CMOS multiple-valued logic circuits", *IEEE J. Solid-State Circuits*, Vol.29, No.2, pp.95-107, Feb.1994
- [2] 성현경, 윤광섭, "전류 모드 CMOS에 의한 다치 연산기 구현에 관한 연구" *전자공학회지*, 제 36권, 제 8호, pp.36-45, 1999년 8월.
- [3] 이용섭, 광철호, 김정범, "전류 모드 CMOS 다치 논리 회로를 이용한 전가산기 설계", *대한전자공학회는 논문지*, 제 39 권, 제 1 호, pp.75-82 , 2002년 1월.
- [4] 박홍준, 한국과학 기술원 반도체 교육센터(IDEC), CMOS 아날로그 집적회로 설계, 1999, *시그마 프레스*
- [5] Neil Weste and Kamran Eshraghian, Principles of CMOS VLSI Design, Reading, MA: Addison-Wesley, 1993.
- [6] Shoji Kawhito, Michitaka Kameyama, Tastsuo Higuchi, and Haruyasu Yamada, "A 32 \times 32-bit Multiplier Using Multiple-Valued CMOS Current-Mode Circuits" *IEEE J. Solid-State Circuits*, Vol.23, No.1, Feb.1988.
- [7] Jae-Yoon Sim, Yong-Soo Sohn, Seung-Chan Heo, Hong-June Park, and Soo-In Cho, "A 1Gb/s Bidirectional I/O Buffer Using the Current-Mode Scheme" *IEEE J. Solid-State Circuits*, Vol.34, No.4, April. 1999.
- [8] R.Jacob Baker, Harry W. Li David E. Boyce, CMOS Circuit Design, Layout, and Simulation, *IEEE Press*, 1998.