

CMOS 집적회로의 테스트를 위한 새로운 내장형 전류감지 회로의 설계

Design of a Built-In Current Sensor for CMOS IC Testing

홍 승 호*, 김 정 범**
(Seung Ho Hong and Jeong Beom Kim)

* 강원대학교 전자공학과(전화:(033)250-6208-23, 팩스:(033)256-6327, E-mail : passion@vlsi.kangwon.ac.kr)

** 강원대학교 전자공학과(전화:(033)250-6329, 팩스:(033)256-6327, E-mail : kimjb@cc.kangwon.ac.kr)

Abstract : This paper presents a Built-In Current Sensor that detect defects in CMOS integrated circuits using the current testing technique. This scheme employs a cross-coupled connected PMOS transistors, it is used as a current comparator. Our proposed scheme is a negligible impact on the performance of the circuit under test (CUT). In addition, in the normal mode of the CUT not dissipation extra power, high speed detection time and applicable deep submicron process. The validity and effectiveness are verified through the HSPICE simulation on circuits with defects. The entire area of the test chip is $116 \times 65 \mu\text{m}^2$. The BICS occupies only $41 \times 17 \mu\text{m}^2$ of area in the test chip. The area overhead of a BICS versus the entire chip is about 9.2%. The chip was fabricated with Hynix $0.35 \mu\text{m}$ 2-poly 4-metal N-well CMOS technology.

Keywords : VLSI, BICS, I_{DDQ} , current testing, system reliability

1. 서 론

오늘날 대부분의 VLSI 칩에는 적은 전력소모와 높은 집적률 등의 장점을 지닌 CMOS(Complementary Metal Oxide Semiconductor)가 중요한 회로 구성 소자로써 집적 회로 구현에 널리 사용되며, 다층 금속도선(multi-metal layer)과 미세공정 설계 규칙(deep submicron design rule)이 적용되어 집적도가 크게 증가하고 있으나 설계와 제조과정에서 많은 물리적 결함(physical defect)들이 발생하고 있다.[1]-[3][6] 반도체 공정에서 발생할 수 있는 결함은 그 양상이 다양하고 복잡하다. 특히, CMOS 공정기술에서 발생하는 결함 중 종래의 고착 결함으로 모델링이 불가능한 결함이 많이 존재한다. 따라서 고착결함 모델을 대체하거나 보완할 수 있는 결함 모델이 필요하다.[4] CMOS 공정에서 흔히 발생할 수 있는 결함은 들은 트랜지스터 합선(stuck-at) 고착과 같은 고전적인 고착 이외도 설계규칙(design rule)의 감소 등으로 주변에 있는 노드(node) 사이의 단락(short)에 의한 브리징 고착(bridging fault). 그리고 게이트 옥사이드(gate oxide)두께의 감소로 인한 게이트(gate)와 소스(source), 게이트와 드레인(drain), 게이트와 채널(channel) 사이의 단락에 의한 게이트 옥사이드 단락 고착 등이 있다.[4]

CMOS 소자는 그 구조적 특성으로 인하여 결함이 없으면 정지 상태(steady state)에서 P-N 접합 누설 전류(P-N junction leakage current) 이외에는 전류가 흐르지 않는다. 그러나 입력전압이 논리 임계전압 (logic threshold voltage) 근처에서 변화하는 과도상태(transient state)에서는 과도전류(transient current)가 흐르며, 게이트 수가 증가 할 수록 전원에서 공급되는 과도 전류는 증가하게

된다. CMOS 회로 내에 브리징 또는 게이트 옥사이드 합선 고착 등이 발생하면 정지 상태에서 전원(VDD)과 접지(GND)단 사이에 전류경로(current path)가 형성되어 P-N 접합 누설전류보다 큰 결함전류(defect current)가 흐르게 된다. 따라서 합선결함 모델은 트랜지스터 합선 결함이나 게이트 옥사이드 합선 결함과 같은 CMOS 공정기술에서 발생하기 쉬운 결함을 고착결함 모델보다 정확하게 표현할 수 있다.[9]

이러한 결함들은 대부분 논리 결함은 발생하지 않으면서 신호지연(signal delay)이 발생하고 시간이 경과함에 따라 그 상태가 더욱 악화되어 현장에서 사용하는 도중에 시스템 내에서 고장을 일으키므로 시스템 신뢰도(system reliability)를 현저하게 감소시킨다. 이러한 결함들은 시험대상회로(CUT: Circuit Under Test)의 입력에 테스트 패턴들을 인가한 후 출력 단에서 논리 값만을 확인하여 시험대상회로의 정상동작 여부를 판단하는 방법으로는 효과적으로 검출하지 못한다. 전압 테스트에서 검출 해낼 수 없는 이러한 결함을 효과적으로 검출하기 위한 방법이 전류 테스트, 혹은 I_{DDQ} (quiescent power supply current monitoring)테스팅 이다. [5][6]

II. 전류 테스트

전류 테스트는 결함 전류를 칩의 외부에서 측정하는 외부 전류테스팅(external I_{DDQ} tesing)과 결함 전류를 칩의 내부에서 측정하는 내장형 전류 테스트(built-in current testing) 방법이 있다.[4] 칩의 외부에서 전류를 테스트 하는 방법은 외부 테스트 장비가 테스트 대상회로에

비해서 상당히 큰 부하를 가지므로 출력단자가 외부부하를 구동하기 위해서는 큰 전류를 공급해야 하므로 결합 전류와 구동 전류를 구별하기가 쉽지 않다. 특히 작은 양의 결합 전류를 감지 할 수 없으며, 또한 외부 테스트 장비에 있는 임피던스가 지연을 유발하여 고속 테스트가 불가능한 단점을 가지고 있다. 또 기존의 테스트 장비들이 주로 전압을 측정하도록 되어 있기 때문에 별도의 전류 테스트 장비를 사용해야 하는 문제점을 가지고 있다. 외부 전류 테스트가 갖는 문제를 해결하기 위한 방법으로 별도의 전류 감지 회로(current sensor)를 설계하여 CMOS 집적회로 내에 내장하는 전류 테스트 기법이 제안되었다.[7][8] 이 방식은 테스트할 회로 내의 전류만을 기준전류와 비교함으로써 고장전류의 판별이 쉽고, 외부의 부하가 존재하지 않으므로 지연이 적어 고속으로 테스트 할 수 있다. 또한 측정이 어려운 전류값의 변화를 대응하는 논리값의 변화로 관찰할 수 있도록 한 것으로 기존의 테스트 장비를 이용할 수 있는 장점을 가지고 있다. 그러나 이 방법은 내부에 전류감지 회로가 내장되기 때문에 칩 면적이 증가하고 칩 성능이 저하되는 단점이 있다.[9] 따라서 큰 입출력 전류에 영향을 받지 않고 정상 동작 상태에서 성능저하를 최소화 할 수 있는 내장형 전류 감지 회로가 필요하다.

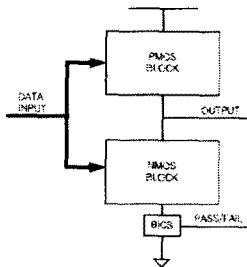


그림 1. 내장형 전류 감지 회로의 블록도
Fig. 1. Diagram of Built-In Current Testing

III. 제안한 전류 감지 회로

본 논문에서 제안한 내장형 전류 감지 회로는 CMOS 회로 내에서 그림 2 과 같이 구성되어 시험 대상 회로에 흐르는 결합 전류를 검사한다. 내장형 전류 감지 회로는 테스트 모드와 정상모드를 구분하는 부분(MN5, INV1, node N3)과 기준 전류원 생성 블록 (reference current generator block), 전류를 전압으로 변환하는 변환 트랜지스터(MN1, MN4) 그리고 PASS/FAIL 신호 출력단의 인버터(INV2) 그리고 기준전류와 결합전류를 비교하는 비교기 블록(MP2, MP3, MN2, MN3)로 구성되어 있다. 제안한 내장형 전류 감지 회로는 정상 모드와 테스트 모드로 동작한다. 정상 동작 모드에서는 TEST 신호가 '0'이 되고, N3단이 접지단자에 연결된다. 이 때 기준 전류 생성 블록은 기준 전류를 생성하지 않고, 트랜지스터 MN5는 차단 상태가 되어 시험 대상 회로와 내장형 전류 감지 회로는 시험 대상 회로에 대하여 완전히 격리된다. 트랜지스터

MN2, MN3 또한 차단 상태가 되어 Pass/Fail 단의 출력은 '0'이 된다. 그러나 제안한 회로는 테스트 모드에서만 결합의 유무를 확인하게 때문에 정상동작 모드에서의 출력 값은 의미가 없다. 정상 동작 모드에서 N3단자는 전류 감지 회로를 바이패스(bypass) 시키도록 접지단자에 연결되어 있기 때문에 전류 감지 회로로 인한 접지전위 상승과 같은 현상은 발생하지 않는다. 테스트 모드에서 TEST 신호는 '1'이 되고, N3 단자는 floating 된다. 이 때 내장형 전류 감지 회로와 시험대상 회로를 격시키는 역할을 하는 트랜지스터 MN5는 on 되고, 결합전류를 전압으로 변환시켜주는 트랜지스터 MN4를 통하여 결합전류가 전압으로 변환되어 트랜지스터 MN3의 게이트 단에 인가된다. 기준 전류 생성 블록에서 생성된 기준전류(Iref)를 전압으로 변환시켜주는 트랜지스터 MN1을 통하여 기준전류를 전압 값으로 변환하여 트랜지스터 MN2의 게이트 단에 인가된다. 기준전류는 시험대상 회로가 결합이 있는지 없는지를 판단하는 상수 전류 값이다. 기준 전류와 결합 전류를 비교해서 결합의 유무를 검출하는 역할을 하는 비교기 블록은 트랜지스터 MN2, MN3의 게이트 단에 인가된 전압의 크기를 상호 연결된 PMOS 트랜지스터(MP2, MP3) 단에서 비교하여 결합 여부를 판단하게 된다.

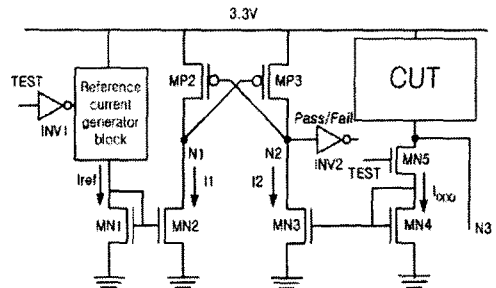


그림 2. 제안한 내장형 전류 감지 회로
Fig. 2. Circuit of proposed Built-In Current Sensor

1. 기준전류 생성 블록

기준 전류 생성 블록을 그림 3 과 같이 구성 되어 있다. M1 트랜지스터에서 생성된 기준전류는 전류미러 (M2, MP4)에 의해 M4단에 복제되고, 결합 전류와 비교 하는 기준 전류는 전류-전압 변환 트랜지스터 (MN1)의 드레인단에 인가된다.

내장형 전류 감지 회로 중 내장 전류원을 사용한 회로의 가장 큰 문제점은 정상 모드로 동작 할 때에도 다이오드 형태로 연결된 트랜지스터 M1 으로 인해 정상 모드로 동작 할 때도 전력의 소모가 있는 것이다. 이러한 문제점을 해결하기 위하여 테스트 모드와 정상 모드를 구분할 때 사용되는 인버터(INV1)의 출력을 M3 트랜지스터의 게이트 단에 연결하였다. 이로 인해 정상상태 TEST 신호가 '0'이면 M3 트랜지스터는 차단 상태가 되어 기준 전류 생성 블록을 공급 전원과 완전히 고립시켜 정상 모드 상태에서도 전류원 내장으로

인한 추가적인 전력소모문제를 해결하였다.

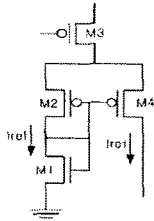


그림 3. 기준전류 생성 회로

Fig. 3. Circuit of reference current generator block

2. 비교기

회로의 결함이 없고 초기 상태에서 N1 단과 N2 단은 충전되어 있는 상태로 가정하면, 테스트 초기 단계에서 MN2 트랜지스터는 전류-전압 변환 트랜지스터 MN1 으로부터 기준전류를 전압으로 바꾼 값을 게이트 단으로 입력 받게 된다. 이렇게 되면 N1 단이 방전되고 이로 인해 MP3 트랜지스터의 게이트 전압이 낮아져 MP3 트랜지스터가 on되고, N1단의 방전으로 인해 MP3은 더 세게 on 되어 N2 단의 전압을 증가시킨다. 이렇게 MP3 트랜지스터에 의해 N2 단은 충전이 되고 MP2 트랜지스터는 차단 상태가 된다.

회로에 결함이 있는 경우 MN4 트랜지스터를 통해서 MN3 트랜지스터의 게이트 단으로 결함 전류를 전압으로 변환한 전압이 인가된다. 결함 전류가 기준 전류보다 크면, MN2 트랜지스터 게이트 단의 전압보다 MN3 트랜지스터 게이트 단의 전압이 더 크게 된다. 이렇게 되면 N2단이 방전되는 시간이 N1단이 방전되는 시간보다 빠르게 되므로 MP2 트랜지스터는 MP3 트랜지스터 보다 빠르게 on되고, N1단의 전압에 비해 N2의 전압이 더 낮아져 MP2 트랜지스터는 더 세게 on 되어 N1의 전압을 증가시킨다. N1단의 전압이 증가함에 따라 MP3 트랜지스터는 더 빠르게 차단 상태가 된다. 이 때 Pass/Fail신호 출력 단자에서는 신호가 '1'이 발생하여 회로의 결함이 있음을 출력한다.

본 논문에서 제안한 전류 감지 회로의 비교기는 는 전류를 전압으로 변환한 전압을 비교해 어느 한쪽이 더 크게 되면 상호 연결로 구성된 PMOS pull-up latch의 정귀환 동작에 의해 빠른 동작 속도를 갖는다.

IV. 물리적 구현과 시뮬레이션 결과

1. 물리적 구현

본 논문에서 사용한 공정기술은 Hynix 반도체의 0.35 μ m 2-poly 4-metal CMOS공정으로 구현하였다. 테스트 대상 회로는 4x4 병렬 승산기이다. 이 승산기는 8개의 전가산기, 4개의 반가산기와 16개의 AND 게이트로 구성되어 있다. 테스트 칩의 마스크 배치설계는 그림 4 와 같다. 전류 감지 회로는 칩의 좌측 하단부에 위치하고 있으며 이는 그림 5 와 같다.

전류-전압 변환 트랜지스터 MN1과 MN4의 W/L은 같은 크기로 설계 하였으며, 내장형 전류 감지 회로를 격리 시키거나 연결시키는 스위치 트랜지스터 MN5 트랜지스터는 W/L 크기를 크게 하여 기능을 안정적으로 수행하도록 하였다.

병렬 승산기 구성 블록 중 전가산기 블록에 합선 결함을 삽입하였다. 합선결함을 삽입한 실험 대상 회로는 그림 6 과 같다. 삽입한 결함은 입력패턴에 따라 결함이 발생하는 결함이다. 특정 입력패턴이 입력되면 공급전원과 접지 단자 사이에 전류경로가 형성되어 결함전류가 흐르게 된다. 합선결함을 구현하기 위하여 NMOS 트랜지스터를 삽입하여 임의의 합선결함을 구현하였다. 전체 칩의 크기는 116x65 μ m²이며 내장형 전류 감지 회로가 차지하는 면적은 41x17 μ m²로 9.2%의 작은 면적을 차지한다.

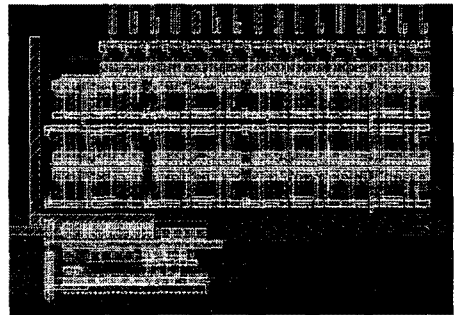


그림 4. 테스트용 칩의 마스크 배치설계

Fig. 4. Mask layout of the test chip

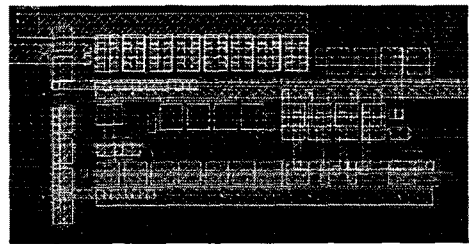


그림 5. 내장형 전류 감지 회로의 마스크 배치설계

Fig. 5. Mask layout of the Built-In Current Sensor

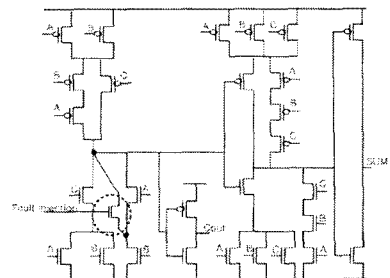


그림 6. 테스트 칩에 삽입된 합선고장 회로도

Fig. 6. Circuit of the test chip with a bridge defect

2. 시뮬레이션 결과

제한한 내장형 전류 감지 회로는 Hspice BSIM3 모델을 사용하여 SUN SPARC(Ultra 60)에서 시뮬레이션을 하였다. 전류 감지 회로를 내장하고 결함을 활성화 시키지 않은 회로의 시뮬레이션 결과는 그림 7 과 같다. 첫 번째 신호와 두 번째 신호는 입력 신호, 세 번째 신호는 시험대상 회로의 전류 변화이고 네 번째 신호가 Pass/Fail신호이다. 그림 8 에 합선고장을 활성화 시킨 회로에서의 시뮬레이션 결과를 나타낸다.

제한한 내장형 전류 감지 회로는 미세공정에 적용 가능함을 보이기 위하여 0.25 μ m 공정으로 시뮬레이션을 수행한 결과를 그림 9 에 보였다.

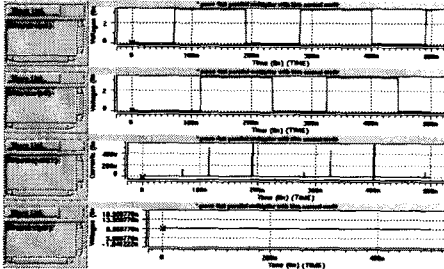


그림 7. 전류 감지회로가 내장되고 결함이 없는 회로의 시뮬레이션 결과

Fig. 7. Simulation result of the defect free test chip with built-in current sensor

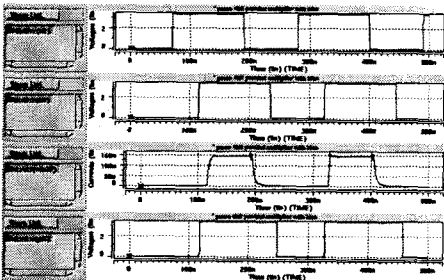


그림 8. 전류 감지회로가 내장되고 결함이 있는 회로의 시뮬레이션 결과

Fig. 8. Simulation result of the defective test chip with built-in current sensor

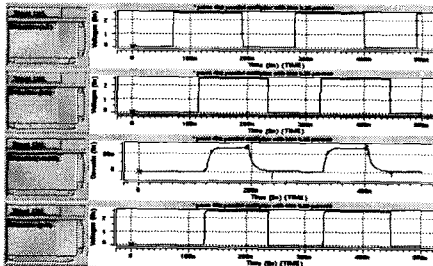


그림 9. 미세공정에 적용한 시뮬레이션 결과

Fig. 9. Simulation result of the deep submicron process

시뮬레이션 결과를 종합해 보면 제한한 내장형 전류 감지회로는 결함으로 발생된 과대 전류를 모두 검출하는 것을 알 수 있으며 미세공정에 적용한 결과 역시 결함 전류를 모두 검출해 내는 것을 알 수 있다.

V. 결 론

본 논문에서는 새로운 내장형 전류 감지 회로를 제시하였다. 이 회로는 일반적인 CMOS공정으로 구현할 수 있으며 결함 전류와 기준전류를 전압으로 변환시켜 시험대상회로의 결함을 빠르게 검출해낸다. 제안한 내장형 전류 감지 회로는 전류 감지기의 내장으로 인한 시스템의 성능저하를 개선하였고, 전류원 내장으로 인한 추가적인 전력소모를 문제를 해결하였다. 그리고 미세 공정도 적용이 가능한 회로이다. 하지만 비교기 블록의 W/L 크기 조정이 까다로운 단점을 가지고 있다.

VI. Acknowledgment

본 논문은 BK21의 지원에 의해 이루어졌으며, 연구에 사용한 CAD S/W는 반도체설계교육센터(IDEC)의 지원에 의해 이루어졌음.

참 고 문 헌

- [1] W. Maly, "Realistic fault modeling for VLSI testing," in *Proc. Design Automation conf.*, pp. 173-180, 1987
- [2] F. J. Ferguson and J. P. Shen, "A CMOS fault extractor for inductive fault analysis," *IEEE Trans. Computer-Aided Design*, vol. 7, pp. 1181-1194, Nov. 1988
- [3] J. M. Sorden, R. K. Treece, M. R. Taylor, and C. F. Hawkins, "CMOS IC stuck-open fault electrical effects and design consideration," in *Proc. Int. Test Conf.*, 1989, pp. 423-430
- [4] J. B. Kim, S. J. Hong, and J. Kim, "Design of a built-in current sensor for I_{DDQ} testing," *IEEE J. Solid-State Circuit*, vol. 33, no. 8, pp. 1266-1272, Aug. 1998.
- [5] P. Nigh and W. Maly, "A self-testing ALU using built-in current sensing," in *Proc. IEEE Custom Integrated Circuit Conf.*, 1989, pp.
- [6] T. M. Storey and W. Maly, "CMOS bridging faults detection," in *Proc. Int. Test Conf.*, Sept. 1990, pp. 842-851.
- [7] S. D. Millman, E. J. McCluskey, and J. M. Acken, "Diagnosing CMOS bridging faults with stuck-at fault dictionaries," in *Proc. Int. Test Conf.*, 1990, pp. 860-870.
- [8] M. Keating and D. Meyer "A new approach to dynamic I_{DDQ} testing," in *Proc. Int. Test Conf.*, 1987, pp. 316-321
- [9] 홍성계 외, "테스팅 및 테스팅을 고려한 설계," 홍릉과학출판사, 1998