

# 전류 모드 4치 논리 기술을 이용한 고성능 8x8 승산기 설계

## Design of a High Performance 8x8 Multiplier Using Current-Mode Quaternary Logic Technique

김 중 수\*, 김 정 범\*\*

( Jong Soo Kim and Jeong Beom Kim )

\* 강원대학교 전자공학과(전화:(033)250-6208-23, 팩스:(033)256-6327, E-mail : knujoss@vlsi.kangwon.ac.kr)

\*\* 강원대학교 전자공학과(전화:(033)250-6329, 팩스:(033)256-6327, E-mail : kimjb@cc.kangwon.ac.kr)

**Abstract** : This paper proposes high performance 8x8 multiplier using current-mode quaternary logic technique. The multiplier is functionally partitioned into the following major sections: partial product generator block(binary-quaternary logic conversion), current-mode quaternary logic full-adder block, quaternary-binary logic conversion block. The proposed multiplier has 4.5ns of propagation delay and 6.1mW of power consumption. Also, this multiplier can easily adapted to binary system by the encoder, the decoder. This circuit is simulated under 0.35um standard CMOS technology, 5uA unit current, and 3.3V supply voltage using Hspice.

**Keywords** : Multiple-Valued Logic, Current-Mode Circuit, full-adder, Super Wilson 전류 미러(current mirror)

### 1. 서 론

오늘날 컴퓨터나 전자 제품의 핵심은 마이크로프로세서라 할 수 있다. 마이크로프로세서의 여러 기능 중에서 가장 기본이 되는 기능은 연산 기능이며 가산, 감산, 승산, 제산을 그 기초로 두고 있다. 따라서 연산 블록의 성능에 따라서 그 성능이 좌우된다고 해도 과언이 아니다[1]. 여러 연산 기능 중에서 승산은 마이크로프로세서가 수행하는 산술 연산 중에서 가산, 감산 다음으로 자주 사용되는 연산이며 가감산에 비해 소요되는 연산 시간이 길고 필요로 하는 트랜지스터의 개수가 많기 때문에 마이크로프로세서 성능에 많은 영향을 미치게 된다[2]. 또한 승산은 마이크로프로세서뿐 아니라 디지털 연산 기능을 필요로 하는 다른 응용분야에 기본이 되기 때문에 고성능 승산기 설계가 중요하다고 할 수 있다.

최근 승산기 설계에 있어 일반적으로 사용되는 방법이 Modified Booth 알고리즘을 적용한 승산기이다. Modified Booth 알고리즘 적용에 있어서 부분 곱의 수를 절반으로 감소시키는 radix-4 방식이 주류가 이루고 있으며 radix-8 방식의 경우 부분 곱의 수를 1/3으로 줄일 수 있으나 세배수의 부분 곱 생성 문제로 인해 radix-4 방식에 비해 큰 장점이 없는 것으로 알려져 있다.[3] 그러나 VLSI 공정기술이 미세 공정(deep sub-micron)으로 가면서 트랜지스터의 지연 시간이 감소하고 집적도가 높아지고 있지만 상대적으로 연결선의 길이가 길어져 이로 인한 지연 시간이 전체 지연시간에서 차지하는 부분이 점점 증가하게 되고 따라서 Modified Booth 알고리즘을 적용한 승산기의 복잡한 Wallace 트리의 연결 구조가 문제가 될 수 있다. 또한 칩이 고성능화 되어감으로 인해 시스템의 크기가 커지

고 트랜지스터의 수와 내부 신호 선 수가 급격히 증가하게 됨으로써 단자간 상호 연결 문제, Pinout 문제, 그리고 많은 정보량 처리 문제 등의 제한성을 갖게 되었다. 이러한 문제의 해결 방법 중의 하나가 다치 논리(multiple-valued logic)이다[4,5]. 다치 논리는 2진 논리와 아날로그 신호의 특성이 혼합된 형태이다. 즉 잡음에 강한 2진 논리의 이점을 유지하면서 많은 정보를 포함 할 수 있는 아날로그의 장점을 가지고 있다. 하지만 다치 논리와 전류를 이용함으로써 발생하는 잡음 여유도(noise margin)의 감소, 2진 논리에 비해 최소 구동 전류가 작기 때문에 발생하는 스위칭 속도 감소라는 문제를 가지고 있다. 회로의 구동 능력은 공급 전압의 제곱에 비례하기 때문에 낮은 공급 전압에서 높은 구동 능력을 가지는 다치 논리 회로를 개발하면 스위칭 속도 향상, 전력 소모 감소 효과를 얻을 수 있다[6]. 여러 가지 문제점에도 불구하고 다치 논리를 사용하는 것은 전체적인 시스템 측면에서 볼 때 손실에 비해 성능 개선 효과가 크기 때문이다.

다치 논리의 장점을 이용하여 본 논문에서는 4치 논리 회로(quaternary circuit)를 적용하여 트랜지스터의 수를 감소시키고 이에 따른 상호 연결 복잡도를 감소시켜 승산기 성능을 향상시켰다. 4치 논리를 사용한 이유는 2진 논리와 변환 및 복원이 간편하여 기존의 시스템과 호환성이 가능하기 때문이다. 본 논문의 승산기는 Modified Baugh-Wooley 승산 알고리즘을 적용하였고 그림 1과 같이 세단계로 구성이 된다. 첫 번째 단계는 부분 곱을 생성하는 동시에 2진 입력 신호를 전류 모드 4치 논리로 부호화(encoding)한다. 두 번째는 생성된 부분 곱을 전류 모드 4치 논리 가산기를 통해 가산을 수행한다. 마지막으로 가산을 통한 전류모드 4치 논리 값을 2진 출력

신호로 복호화(decoding)한다. 이와 같이 승산기의 내부는 4치 논리로 구성되어 시스템 성능을 높이고 외부는 2진 입,출력을 그대로 사용함으로써 기존의 시스템과 호환성이 있도록 설계하였다.



그림 1. 승산기의 블록 다이어그램  
Fig. 1. Block diagram of multiplier

## II. 승산기의 구조

### 1. 전류 모드 CMOS 2진-4치 논리 변환을 내장한 부분 곱 생성기

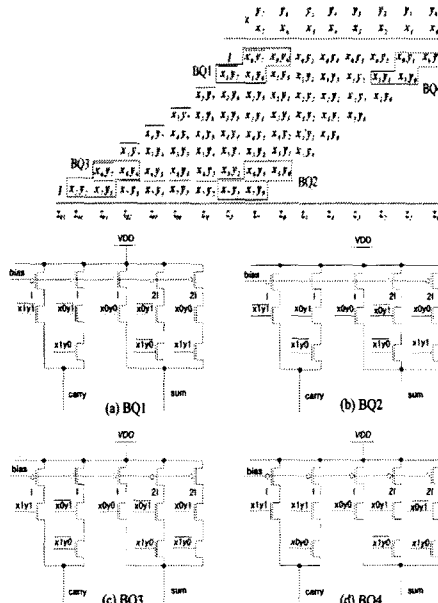
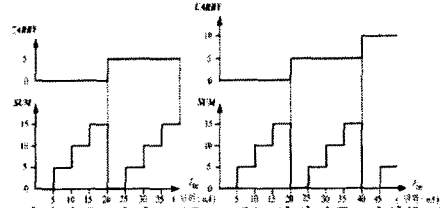


그림 2. 부분 곱 생성기 구조 및 회로도  
Fig. 2. Partial product generator structure and circuit

본 논문에서 제안한 부분 곱 생성기는 두개의 2bit 입력을 가진다. 부분 곱 생성기는 첫 번째 전압 모드 2진 입력을 전류 모드 4치 논리로 확장하는 인코더(encoder) 기능을 하고 두 번째 이를 다중 비트의 부분 곱 생성기로 사용할 수 있도록 2bit 승산의 결과를 나타낸다. 그림2와 같이 Modified Baugh-Wooley 승산 알고리즘을 적용하여 부분 곱을 생성하고 BQ1, BQ2, BQ3, BQ4 네 개의 다른 기능 블록으로 구성된다. 네 개의 부분 곱 생성기 회로는 기본 단위 전류의 정수배 만큼의 전류를 복제하고 이를 NMOS 트랜지스터 스위칭에 따라 각각 carry와 sum의 전류 값을 결정하는 구조이다.

### 2. 전류 모드 4치 논리 전가산기

본 논문에서 설계한 전류 모드 4치 논리 전가산기는 두 개로 구성된다. 하나는 입력 전류 범위가 (0~35 $\mu$ A)로 기존의 전가산기[7]의 사양과 동일하고 다른 하나는 입력 전류 범위가 (0~45 $\mu$ A)로 구성된다. 후자의 경우를 사용한 이유는 가산 트리의 개수를 줄여 승산기 성능 향상을 얻기 위한 것이다. 그림 3은 전류 모드 4치 논리 전가산기의 입력에 대한 출력의 전달 특성이다.



(a) 입력전류 범위(0~35 $\mu$ A) (b) 입력전류 범위(0~45 $\mu$ A)

그림 3. 전류모드 4치 논리 전가산기의 입력 특성  
Fig. 3. Input-output quality of current-mode quaternary logic full-adder

(a)와 같이 입력 전류가 0에서 15 $\mu$ A이면 출력 sum은 입력 전류의 합이다. 입력 전류가 20 $\mu$ A 이상이 되면 자리 올림수(carry)가 발생하고 그 나머지 입력 전류의 값이 합(sum)이 된다. 전가산기의 최대 입력 전류는 두 개의 4치 논리 입력의 최대 전류 15 $\mu$ A와 carry 신호 Ci가 존재할 때의 전류 값 5 $\mu$ A를 합하여 최대 35 $\mu$ A가 된다. 이 때의 출력은 5 $\mu$ A의 carry와 15 $\mu$ A의 sum이 출력된다. 그림 4는 본 연구에서 설계한 전류 모드 4치 논리 전가산기[1]이다. 기존의 전류 모드 4치 논리 전가산기[7]는 기본 전류 미러 구조로 설계를 하였기 때문에 잡음 여유도가 감소하여 출력의 정확도가 떨어지는 단점을 가지고 있다. 출력의 정확도가 떨어지면 전가산기 몇 단을 통과한 후의 값이 원래의 값이 아닌 잘못된 값을 생성시켜 이를 보완하기 위한 추가적인 회로가 필요로 하게 된다.

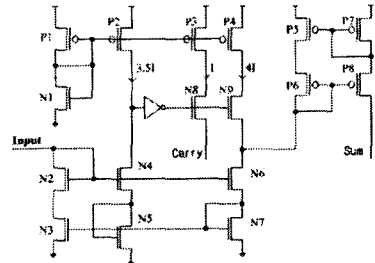


그림 4. 전류 모드 4치 논리 전가산기1  
Fig. 4. Current-mode quaternary logic full-adder1

본 논문에서는 Super Wilson 전류 미러를 사용하여 출력단의 소신호 출력저항 값을 크게 함으로써 잡음 여유도 향상 효과를 얻었다. N2~N7 트랜지스터는 입력 전류를 복제하는 역할을 수행하며 P2, P3, P4는 단

위 전류 3.5I, I, 4I를 생성한다. P2와 N4는 비교기로 동작하여 P2의 단위 전류 3.5I와 N4의 복제 전류인 입력 전류와 비교하여 인버터의 입력 전압을 결정한다. 입력 전류가 3.5I(17.5 $\mu$ A)보다 작은 경우 인버터의 출력은 "Low"가 되어 NMOS N8과 N9는 차단되고 N6, N7에 의해 복제된 입력 전류가 P5~P8을 통해 복제되어 sum으로 출력된다. 입력 전류가 3.5I보다 큰 경우 인버터의 출력은 "High"가 되고 N8과 N9는 도통된다. 따라서 N8을 통해 P3에서 생성된 단위 전류 I는 carry로 출력되고 N9를 통해 P4의 4I의 전류는 N6에 유입되고 나머지 전류는 P5~P8을 통해 복제되어 sum으로 출력된다. 따라서 sum =  $I_{in} - 4I$ 가 된다.

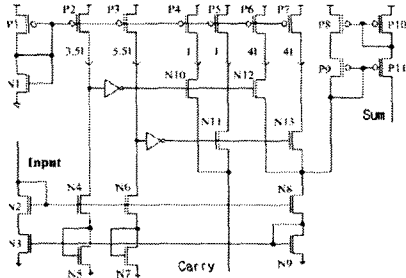


그림 5. 전류 모드 4치 논리 전가산기2  
Fig. 5. Current-mode quaternary logic full-adder2

그림3의 (b)에서는 전가산기의 입력 전류가 0~35 $\mu$ A 사이에서는 (a)와 같은 동작을 수행하고 35 $\mu$ A 이상에서는 carry 신호 Ci의 값이 10 $\mu$ A이며 출력 sum =  $I_{in} - 8I$ 가 된다.

그림 5는 본 연구에서 설계한 전류 모드 CMOS 4치 논리 전가산기2이다. 입력 전류가 5.5I보다 큰가를 판별하는 P3, N4, N5의 트랜지스터와 이에 따른 carry와 출력 제어에 위한 P5, N11, P7, N13 트랜지스터가 추가된 것 이외 기능상 그림4의 가산기1과 동일하다.

3. 전류 모드 4치-2진 논리 변환 디코더(decoder)

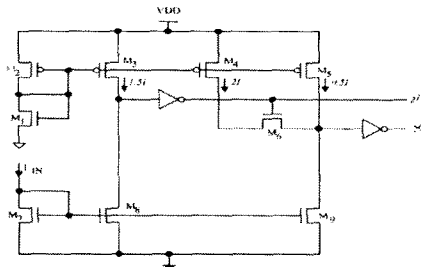


그림 6. 전류 모드 4치-2진 논리 변환 디코더  
Fig. 6. Current-mode quaternary-binary logic conversion decoder

전류 모드 4치 논리 신호를 2치 논리로 변화하여 주는 회로가 전류 모드 4치-2진 논리 디코더이다. 디코더

는 전류 모드 4치 논리 시스템의 출력에 사용된다. 그림6은 디코더를 나타낸다. 디코더의 동작은 아래의 표 1과 같고 입력에 따른 출력의 상태를 확인할 수 있다.

표 1. 디코더의 상태표  
Table. 1. State table of decoder

입력 전류( $I_{in}$ )	출력 신호	
	$2^1$	$2^0$
$I_{in} < 0.5I$	0	0
$0.5I \leq I_{in} < 1.5I$	0	1
$1.5I \leq I_{in} < 2.5I$	1	0
$2.5I \leq I_{in}$	1	1

4. 시뮬레이션 결과 및 레이아웃

본 논문에서는 0.35 $\mu$ m CMOS 기술을 이용하여 Hspice로 시뮬레이션 하였다. Hspice 시뮬레이션에 사용한 모델 파라미터는 Level 28을 사용하였고 공급 전원은 3.3V로 하였다. 4치 논리 신호의 단위 전류는 0 $\mu$ A, 5 $\mu$ A, 10 $\mu$ A, 15 $\mu$ A를 사용하였다. 전압 출력 노드에는 200fF의 콘덴서를 연결하여 측정하였다. 그림7은 승산기의 시뮬레이션 결과이고 그림 8은 내부 승산기 회로의 레이아웃을 보여준 것이다.

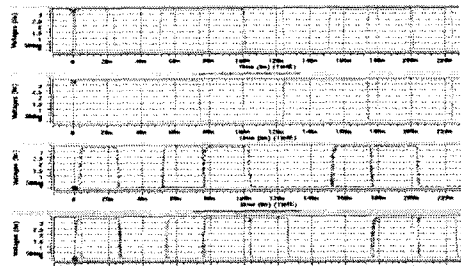


그림 7. 승산기의 시뮬레이션 결과  
Fig. 7. Simulation result of multiplier

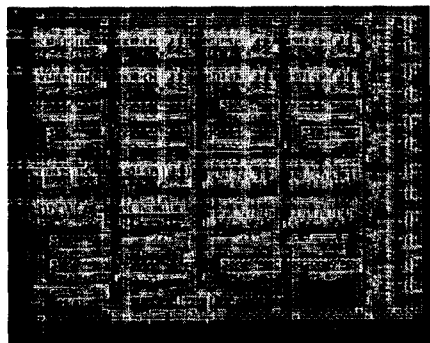


그림 8. 승산기의 레이아웃  
Fig. 8. Layout of multiplier

### III. 성능 평가

표 2는 동일한 0.35 $\mu$ m 공정 기술에서 본 논문의 승산기와 Modified Booth 승산기, Baugh-Wooley 승산기를 비교한 것이다. 본 논문의 승산기의 트랜지스터 개수는 1111개이고 평균 전력 소모는 6.1mW이며 최대 전달 지연이 4.5ns로 측정되었다. 트랜지스터와 노드수는 본 논문의 승산기가 가장 작고 속도는 Modified Booth 알고리즘을 적용한 승산기가 가장 빠르고 평균 전력 소모는 Baugh-Wooley 승산기가 가장 작다. 전력 소모와 최대 전달 지연의 곱인 PDP(power delay product)의 결과 Modified Booth 알고리즘을 적용한 승산기가 가장 작은 것을 알 수 있다.

표 2. 비교

Table. 2. The comparison result

	Modified Booth (2진논리)	Baugh- Wooley (2진논리)	본 논문의 승산기
트랜지스터 수	2682	1938	1111
평균 전력 소모(mW)	5.4	4.7	6.1
노드수	1189	988	647
최대 전달 지연(ns)	3.1	4.0	4.5
Power Delay (pJ)	16.7	18.8	27.4

본 논문의 승산기가 비교 회로에 비해 상대적으로 큰 소비 전력과 전달 지연이 나타난 이유는 낮은 단위 전류를 사용함으로써 트랜지스터의 크기가 늘어나고 이에 따른 기생 커패시턴스의 증가에 따른 스위칭 속도 감소, 전력 소모 증가의 요인이 발생되었다. 해결책으로는 식(1)과 같이 낮은 전압에서 높은 구동 능력을 가지는 전류 모드 4치 논리 회로를 통하여 임계 감지를 고속으로 하고[6] 클럭에 의한 동기회로 구성을 통한 DC 전력 소모 제거 방법이 있다.

$$t_{delay} \propto C \frac{V_{DD}}{|I_t - I_l|} \quad \text{식 (1)}$$

(C=부하 커패시턴스,  $I_t$ =입력전류,  $I_l$ =임계전류)

### IV. 결론

본 논문에서는 Modified Baugh-Wooley 승산 알고리즘과 전류 모드 CMOS 4치 논리의 특성을 이용하여 Signed, Unsigned 승산이 가능한 승산기를 구현하였다.

부분 곱 생성과 4치 논리 확장을 동시에 하는 회로를 제안함으로써 승산기 성능 향상을 보였다. 그리고 가산기에 Super Wilson 전류 미러를 사용함으로써 연산 속도와 정확도를 증가시켰다. 각각의 회로는 Hspice를 이용하여 시뮬레이션 하였고 정확한 동작유무를 판별하고 수정 보완

하였다. 0.35 $\mu$ m 공정 기술 디자인 규칙에 따라 Mentor s/w를 이용하여 배치 설계와 검증을 하였다.

실제된 승산기는 6.1 mW의 소비 전력과 4.5ns의 전달 지연을 보였다. 2개의 비교 대상 승산기에 비해 소비 전력은 각각 11%, 23% 증가하였고 전달지연은 31%, 11% 증가하였다. 그러나 트랜지스터의 개수는 60%, 43% 노드수는 46%, 35% 감소하였다.

전체적 성능에서 소비 전력, 속도가 상대적으로 취약하지만 트랜지스터 수와 노드 수 감소를 통한 칩 면적 감소의 관점에서 본다면 대등한 위치에 있다고 할 수 있다. 향후 낮은 전압에서 높은 구동 능력을 가지는 전류 모드 4치 논리 회로를 설계하여 임계 감지를 고속으로 하거나 클럭에 의한 동기회로 구성을 통한 DC 전력 소모 제거를 통해서 전체적인 성능 향상을 할 수 있다.

### V. Acknowledgment

본 논문은 BK21의 지원에 의해 이루어졌으며, 연구에 사용한 CAD S/W는 반도체설계교육센터(IDEC)의 지원에 의해 이루어졌음.

### 참고 문헌

- [1] 이용석, "고성능 마이크로프로세서 곱셈기 구조", 정보통신학술지원국 비디오 강좌 시리즈, 1998
- [2] Norio Ohkubo, Makoto Suzuki, Toshinobu Shinbo, Toshiaki Yamanaka, Akihiro Shimizu, Katsuro Sasaki, and Uoshinobu Nakagome, "A 4.4 ns CMOS 54x54 Multiplier Using Pass-Transistor Multiplexer" *IEEE J. Solid-State Circuits*, Vol. 30, No. 3, pp. 251-257, Mar. 1995.
- [3] Hesham Al-Twairy and Michael J. Flynn, "Performance/Area Tradeoffs in Booth Multipliers", *Technical Report* No. CSL-TR-95-684, Stanford University.
- [4] K. Wayne Current, "Current-mode CMOS Multiple-Valued Logic circuits", *IEEE J. Solid-State Circuits*, Vol. 29, No. 2, pp.95-107, Feb.1994
- [5] K. Wayne Current, "Application for quaternary logic to the design of a proposed discrete cosine transform chip" *INT. J. ELECTRONICS*, Vol. 67, No. 5, PP. 678-701, 1989.
- [6] Takahiro Hanyu and Michitaka Kameyama, "A 200 MHz Pipelined Multiplier Using 1.5V-Supply Multiple-Valued MOS Current-Mode Circuits with Dual-Rail Source-Coupled Logic", *IEEE J. Solid-State Circuits*, Vol. 30, No.11, pp.1239-1245, Nov. 1995.
- [7] 이용섭, 박철호, 김정범, "전류 모드 CMOS 다치 논리 회로를 이용한 전가산기 설계", *대한전자공학회의 논문지*, 제 39 권, 제 1 호, pp.75-82, 2002년 1월.