Low-Swing 기술을 이용한 저 전력 병렬 곱셈기 설계

Design of a Low-Power Parallel Multiplier Using Low-Swing Technique

강 장 희*, 김 정 범**
(Jang Hee Kang and Jeong Beom Kim)

* 강원대학교 전자공학과(전화:(033)250-6208, 팩스:(033)256-6327, E-mail : alcatrazz@vlsi.kangwon.ac.kr)
** 강원대학교 전자공학과(전화:(033)250-6329, 팩스:(033)256-6327, E-mail : kimjb@cc.kangwon.ac.kr)

Abstract : This paper describes a new low-swing inverter for low power consumption. To reduce a power consumption, an output voltage swing is in the range from 0 to V_{ref}-V_{TH}, where V_{ref} = V_{DD}-nV_{TH}. This can be done by the inverter structure that allow a full swing or a swing on its input terminal without leakage current. Using this low-swing voltage technology, we propose a low-power 4×4 bit parallel multiplier. The proposed circuits are simulated with HSPICE under 0.35㎛ CMOS standard technology. Compare to the previous works, this circuit can reduce the power consumption rate of 11.2% and the power-delay product of 10.3%.

Keywords : low power, low swing, CVSL, parallel multiplier

Ⅰ. 서 론

오늘날 디지털 회로의 설계에서 중요시되는 문제는 높은 성능과 칩 면적의 최소화, 전력 소모 감소 등을 들 수 있다. 이동 장치와 휴대 장치의 대중화에 의해 보급이 늘어나면서, 저 전력 회로에 대한 욕구는 더욱 더 증대되고 있다. 저 전력 회로 기술은 칩 면적의 증가나 회로의 성능 감소에 영향을 미치지 않는 상태에서 전력 소비를 효과적으로 줄여야 하는 문제를 가지고 있다[1][2].

회로의 성능을 평가하는 주된 요소는 동작 속도와 전력 소모이다. 그동안 VLSI 설계연구자들에 의해 동작 속도는 만족할 만큼의 성능 개선을 이루었다. 그러나 저 전력 소모에 있어서는 동작속도 개선의 발전 속도를 따르지 못하고 있다. 이러한 문제를 해결하기 위해서 현재 많은 노력과 연구가 이루어지고 있다. 전력 소모를 줄이기 위한 요소에는 여러 가지가 있다. 예를 들면, 공급 전압을 낮추는 방법, 트랜지스터 수를 줄여 회로를 간소화하는 방법, 논리 회로 형태를 전환하는 방법 등 여러 가지 요소가 있다. 따라서, 논리 회로의 안정된 성능과 목적에 따라 적합한 형태의 방법을 찾는 것이 중요하다[3]-[7].

전력 소모를 줄이는 방법의 하나로 감소된 출력 전압을 이용하는데 이러한 기술을 Low-Swing 기술이라 한다. A. Rjoub는 도미노 논리회로(domino logic circuit)에 Low-Swing 기술을 적용하여 저 전력 회로를 구현하였다[3]. 그러나 도미노 논리회로는 논리회로를 구현하는 일반적인 회로형태가 아닌, 특수한 용도에 한정적으로 사용되는 논리회로 형태이므로 집적회로 설계에 일반적으로 사용될 수 없다는 문제점이 있다. 따라서 본 논문에서는 집적회로 설계에 일반적으로 사용되는 CVSL(Cascode Voltage Switch Logic)회로에 Low-Swing 기술을 적용하였으며, 이를 CVSL 4×4 병렬 곱셈기에 적용하여 저 전력 회로로 구현하였다. 제안한 회로는 0.35um CMOS 표준공정의 파라미터를 이용하여 HSPICE로 시뮬레이션 하였다.

Ⅱ. Low-Swing 기술

1. 전력 소모

전력 소모(에너지 손실) 요소는 공급 전압과 출력단의 노드 커패시터, 입력 주파수 등으로 다음과 같은 식으로 표현된다.

$$E = C_L \times V_{DD} \times V_{dd} \quad (1)$$

(C_L: 노드 커패시터, V_{DD}: 공급 전압, V_{dd}: 출력 Swing 전압)

위의 식 (1)에 의하면 에너지 손실은 출력 단의 노드 커패시터와 공급 전압, 출력 단의 Swing 전압의 곱으로 이루어진다. 따라서 출력 단의 Swing 전압을 감소시키면 에너지 손실을 감소시킬 수 있다.

2. Low-Swing 인버터

Low-Swing 기술은 회로에 공급되는 전압보다 낮은 전압 레벨에서 출력 동작을 하여 전력 소모를 감소시키는 기술이다[3].

그림 1의 일반적인 인버터는 0V(GND)에서 공급전압(V_{DD})까지 완전스윙(Full-Swing)을 한다. 만약 공급 전압이 3.3V인 경우, 출력 전압은 0V~3.3V 값을 가진다. 이러한 출력 동작 전압 범위는 전력 소모와 밀접한 관계를 가지고 있다. 식(1)에서 나타낸 바와 같이 출력 Swing 전압을 감소시키면 에너지 손실은 감소된다.

그림 2는 본 논문에서 제시한 Low-Swing 인버터이다. 일반적인 CMOS 인버터에 NMOS 트랜지스터가

추가되어 변형된 인버터 구조이다. V_{DD}에 연결된 PMOS 트랜지스터와 GND에 연결된 NMOS 트랜지스터 사이에 NMOS 트랜지스터가 추가되었다. 1번 트랜지스터의 게이트와 소오스는 V_{DD}에 연결되고, 1번 트랜지스터의 드레인은 변형된 인버터의 기준전압으로서 인버터의 동작전압이 된다. 2번 트랜지스터는 기준전압에 의해 동작하며, PMOS 트랜지스터와 연결되어 V_{DD} 전압을 출력 노드에 전달한다. 기준전압은 추가된 NMOS 트랜지스터의 수(n)와 문턱 전압(V_{TH})에 의해 결정된다. 따라서 기준 전압은 $V_{ref} = (V_{DD}-nV_{TH})$ 이다. 추가된 NMOS 트랜지스터는 다이오드 형태의 저항이 되어 출력전압을 감소시킨다. 공급전압이 3.3V일 경우, 일반적인 CMOS 인버터의 에너지 손실은 $E=C_L \times 3.3V \times 3.3V$ 이고, Low-Swing 인버터의 에너지 손실은 $E=C_L \times 3.3V \times (V_{DD}-nV_{TH})V$ 이다. 따라서 공급 전압에서 Low-Swing 전압 차만큼 에너지 손실을 감소시킨다. 즉, 에너지 손실 $E = C_L \times V_{DD} \times (V_{DD}-(V_{ref} - V_{TH}))$ 이며, Low-Swing 기술 적용으로 인한 전력 소모 감소는 $((V_{ref} - V_{TH})/V_{DD}) \times 100\%$ 이다.

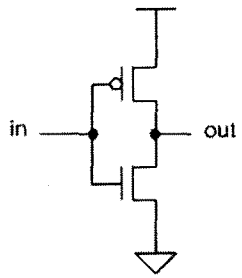

그림 1. 일반적인 CMOS 인버터
Fig. 1. typical CMOS inverter

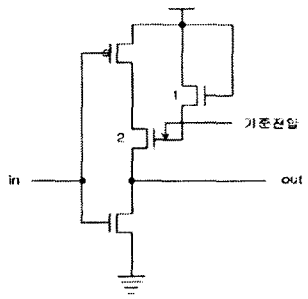

그림 2. Low-Swing 인버터
Fig. 2. Low-Swing inverter

III. Low-Swing 기술을 이용한 회로설계

1. Low-Swing을 이용한 CVSL 전가산기

차동회로의 일종인 CVSL회로는 Pull-Down NMOS 로직 블록에서 로직 연산 기능이 수행되고 상호 연결된 형태의 두개의 PMOS 트랜지스터로 이루어진 Pull-Up latch에 의해 Pull-Up 기능이 수행된다. 내부에 NMOS 트랜지스터를 추가해 Low-Swing을 적용하여 회로의 출력 전압 Swing을 감소시켰다. 그림 3은 Low-Swing을 적용시킨 CVSL 전가산기이다.

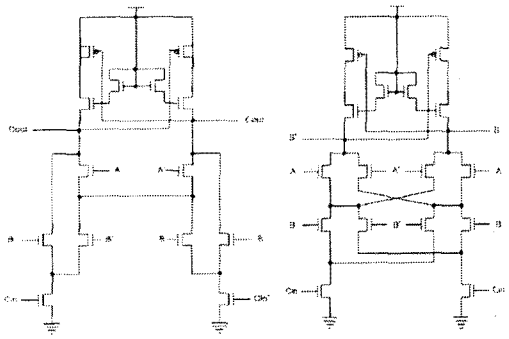

그림 3. Low-Swing CVSL 전가산기
Fig. 3. Low-Swing CVSL full adder

2. 4×4 병렬 곱셈기

병렬 곱셈기는 곱셈과정에서 발생되는 부분 곱들을 병렬로 연결되어 독립적인 계산을 수행한다. m비트의 승수 X와 n비트의 피승수 Y의 곱은 식 (2)와 같다. $P_k 2^k$는 부분 곱이다.

$$X = \sum_{i=0}^{m-1} X_i 2^i \qquad Y = \sum_{j=0}^{n-1} Y_j 2^j$$

$$P = X \cdot Y = \sum_{i=0}^{m-1} X_i 2^i \cdot \sum_{j=0}^{n-1} Y_j 2^j$$

$$= \sum_{i=0}^{m-1} \sum_{j=0}^{n-1} (X_i Y_j) 2^{i+j}$$

$$= \sum_{k=0}^{m+n-1} P_k 2^k \qquad (2)$$

4×4 병렬 곱셈기를 그림 4에 나타내었다.

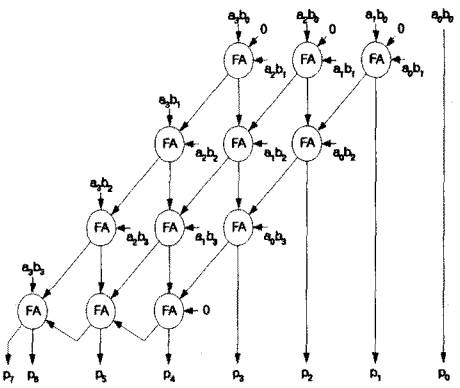

그림 4. 4×4 병렬 곱셈기
Fig. 4. 4×4 parallel multiplier

Ⅳ. 시뮬레이션 결과 및 비교

본 논문은 0.35um CMOS 기술을 이용하여 HSPICE로 시뮬레이션 하였다. HSPICE에 사용한 모델 파라미터는 Level 28 공정 파라미터를 사용하였고 공급 전원은 3.3V로 하였다. 전압 출력에 100fF의 부하 커패시터를 연결하여 측정하였다. 그림 5은 일반적인 인버터의 출력 파형이고, 그림 5은 Low-Swing 인버터의 출력 파형이다. 일반적인 인버터의 전력 소모는 0.0275mW, 전달 지연은 0.68ns 이다. 그림 6은 Low-Swing 인버터의 출력 전압은 2.8V이며, 전력 소모는 0.0254mW 이고 전달 지연은 0.67ns 이다.

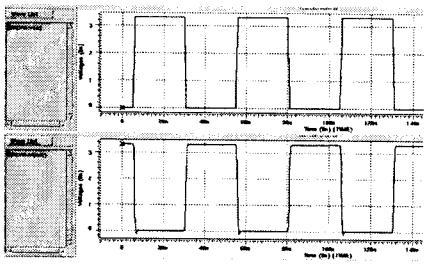

그림 5. 일반적인 인버터 출력 파형
Fig. 5. Waveform of typical inverter

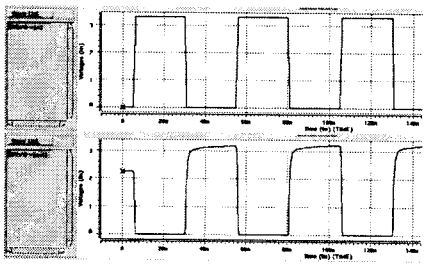

그림 6. Low-Swing 인버터 출력 파형
Fig. 6. Waveform of Low-Swing inverter

그림 7은 CVSL 전가산기의 출력 파형이다. 일반적인 CVSL 전가산기의 전력 소모는 0.227mW, 전달지연은 1.02ns 이다.

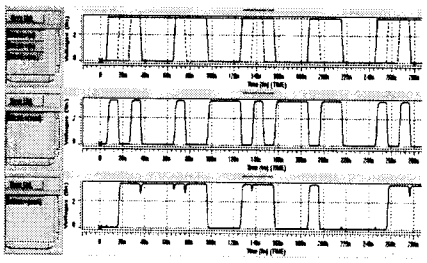

그림 7. CVSL 전가산기 출력 파형
Fig. 7. Waveform of CVSL full adder

그림 8은 Low-Swing CVSL 전가산기의 출력 파형이다. Low-Swing CVSL 전가산기의 출력 전압은 3V이며, 전력 소모는 0.206mW이고, 전달지연은 0.96ns이다.

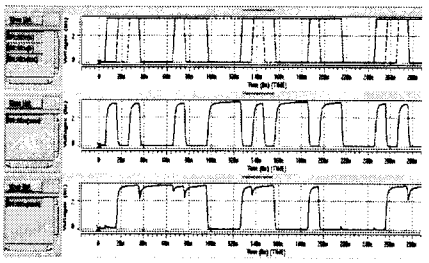

그림 8. Low-Swing CVSL 전가산기 출력 파형
Fig. 8. Waveform of Low-Swing CVSL full adder

그림 9는 일반적인 4×4 병렬 곱셈기의 출력 파형이다. 일반적인 4×4 병렬 곱셈기의 전력 소모는 0.525 mW, 전달지연은 2.78ns 이다.

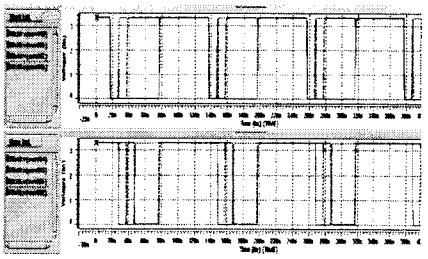

그림 9. 4×4 병렬 곱셈기 출력 파형
Fig. 9. Waveform of 4×4 parallel multiplier

그림 10은 Low-Swing 4×4 병렬 곱셈기의 출력 파형이다. Low-Swing 4×4 병렬 곱셈기의 출력 전압은 3V이며, 전력 소모는 0.466mW이고, 전달지연은 2.81ns 이다.

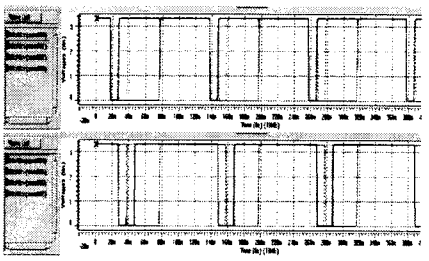

그림 9. Low-Swing 4×4 병렬 곱셈기 출력 파형
Fig. 9. Waveform of Low-Swing 4×4 parallel multiplier

표 1. 인버터에 대한 비교표
Table 1. Comparison table for inverter

	기존회로	본 논문의 회로
평균전력소모(mW)	0.0275	0.0254
전달지연시간(ns)	0.68	0.67
전력소모와 지연시간의 곱 [pJ]	0.0187	0.0170

표 2. CVSL 전가산기에 대한 비교표
Table 2. Comparison table for CVSL full adder

	기존회로	본 논문의 회로
평균전력소모(mW)	0.227	0.206
전달지연시간(ns)	1.02	0.96
전력소모와 지연시간의 곱 [pJ]	0.232	0.198

표 3. 일반적인 4×4 병렬 곱셈기에 대한 비교표
Table 3. Comparison table for 4×4 parallel multiplier

	기존회로	본 논문의 회로
평균전력소모(mW)	0.525	0.466
전달지연시간(ns)	2.78	2.81
전력소모와 지연시간의 곱 [pJ]	1.46	1.31

표 1, 2, 3 은 각각 인버터, CVSL 전가산기, 4×4 병렬 곱셈기에 대해 기존의 회로와 본 논문에서 제안한 Low-Swing 기술을 적용한 회로에 대해 특성을 비교한 표이다. 비교표에 나타낸 바와 같이, 인버터의 경우 Low-Swing 기술을 적용한 결과 6.9%의 전력 소모 감소효과와 전력소모와 지연시간의 곱(Power • Delay)에서는 9.1%의 성능향상을 이루었으며, CVSL 전가산기의 경우 9.2%의 전력 소모 감소효과와 전력소모와 지연시간의 곱(Power • Delay)에서는 14.7%의 성능향상을 이루었다. 4×4 병렬 곱셈기의 경우 본 논문에서 제안한 Low-Swing 기술을 적용한 11.2%의 전력 소모 감소효과와 전력소모와 지연시간의 곱에서는 10.3%의 성능향상을 이루었다.

V. 결 론

본 논문은 기존의 CVSL전가산기 회로를 변형하여 Low-Swing 특성을 갖는 논리 회로를 제안하였다. 일반적인 CVSL 전가산기 회로에 NMOS 트랜지스터를 추가하여 감소된 출력 전압으로 동작할 수 있게 하였고 이를 이용하여 4×4 병렬 곱셈기를 설계하였다. 공급 전압보다 낮은 전압으로 출력 동작을 함으로써 전력 소모를 감소시켰다. 본 논문에서 제안한 Low-Swing 기술을 4×4 병렬 곱셈기에 적용한 결과, 11.2%의 전력 소모 감소효과와 전력소모와 지연시간의 곱에서는 10.3%의 성능향상을 이루었다.

개선사항으로는 과도 전류 감소와 상승 전달 지연시간의 감소가 요구된다. 이러한 문제의 해결 방법으로서 Low-Swing에 적합한 새로운 논리 구조에 대한 연구가 필요하다.

VI. Acknowledgment

본 논문은 BK21의 지원에 의해 이루어졌으며, 연구에 사용한 CAD S/W는 반도체설계교육센터(IDEC)의 지원에 의해 이루어졌음.

참 고 문 헌

[1] Neil H. E. Weste, Kamran Eshraghian. *"Principles of CMOS VLSI Design"*. Addison-Wesley Publishing Company.

[2] 공진흥, 김남영, 김동욱, 이재철. "VLSI 설계, 이론과 실습". 홍릉과학출판사.

[3] A. Rjoub and O. Koufopavlou, "Low-Power Domino Logic Multiplier Using Low-Swing Technique", in *Proceeding of IEEE International Conference on Electronics, Circuits and Systems*, vol. 2, pp. 45-48, 1998.

[4] Nan Zhuang and Haomin Wu "A New Design of the CMOS Full Adder", *IEEE Journal of Solid-State Circuits*, VOL. 27, NO. 5, May 1992.

[5] Jyh-Ming Wang, Sung-Chuan Fang, and Wu-Shiung Feng, "New Efficient Design for XOR and XNOR Functions on the Transistor Level", *IEEE Journal of Solid-State Circuits*, VOL. 29, NO. 7, July 1994.

[6] Reto Zimmermann and Wolfgang Fichtner, Fellow, IEEE, "Low-Power Logic Styles: CMOS Versus Pass-Transistor Logic", *IEEE Journal of Solid-State Circuits*, VOL. 32, NO. 7, July 1997.

[7] Issam S. Abu-Khater, Abdellatif Bellaouar, and M. I. Elmasry, "Circuit Techniques for CMOS Low-Power High-Performance Multipliers", *IEEE Journal of Solid-State Circuits*, VOL. 31, NO. 10, October 1996.