

DWA알고리즘을 적용한 Zero-IF 수신기용 2차 3비트 델타-시그마 변조기

2nd-Order 3-Bit Delta-Sigma Modulator For Zero-IF Receivers using DWA algorithm

김희준*, 이승진**, 최치영***, 최평****

- * 경북대학교 전자공학과(전화:(053)940-8656, 팩스:(053)950-5505, E-mail : goldstar@palgong.knu.ac.kr)
- ** 경북대학교 전자공학과(전화:(053)450-8656, 팩스:(053)950-5505, E-mail : sj_lee2002@hanmail.net)
- *** 경북대학교 전자공학과(전화:(053)940-8656, 팩스:(053)950-5505, E-mail : ccy220@palgong.knu.ac.kr)
- **** 경북대학교 전자전기컴퓨터공학부(전화:(053)940-8656, 팩스:(053)950-5505, E-mail : p0choi@ee.knu.ac.kr)

Abstract : In this paper, a second-order 3-bit DSM using DWA(Data Weighted Averaging) algorithm is designed for bluetooth Zero-IF Receiver. The designed circuit has two integrators using a designed OTA, nonoverlapping two-phase clock generator, 3-bit A/D converter, DWA algorithm and 3-bit D/A converter. An ideal model of second-order lowpass DSM with a 3-bit quantizer was configured by using MATLAB, and each coefficients and design specification of each blocks were determined to have 10-bit resolution in 1MHz channel bandwidth. The designed second-order 3-bit lowpass DSM has maximum SNR of 74dB and power consumption is 50mW at 3.3V.

Keywords : DSM, OSR, DWA , logarithmic, A/D, D/A, SNR

I. 서 론

휴대 전화와 무선 LAN등의 디지털 무선 수신기 시장은 오프-칩 아날로그 필터 사용의 최소화와 저전력 소모라는 두 가지 과제에 직면해 왔다. 이런 시장 요구에 대해서 오프-칩 필터의 사용을 최소화할 수 있고 디지털 주파수 영역에서 효과적으로 신호를 처리할 수 있는 다이렉트 컨버전(Direct Conversion) 수신기가 그 해결책의 하나가 될 수 있다. 다이렉트 컨버전 수신기 구조는 수신된 입력 신호를 직접 기저 대역으로 변환함으로써 채널 필터링이 저역 통과 필터로 대부분 구성되며, 전체 시스템을 하나의 칩으로 구현이 가능하게 된다. 하지만 높은 해상도와 선형성을 가진 아날로그 저역 통과 필터에 상응하는 디지털 필터보다 전력 소모가 크기 때문에 주요한 주파수 중복 아날로그 필터(Anti-aliasing analog filter)의 사용을 제외하고 나머지 임의의 채널에서는 디지털 필터를 사용하는 것이 효과적인 방안이었다. 그러나 이러한 방법은 저정보율 수신기에서는 효과적이지만 블루투스, HomeRF와 같은 고정보율 수신기에서는 아날로그-디지털(Analog-to-Digital, A/D) 변환기가 사양에 만족해야한다. 즉, 신호의 주파수 영역이 저주파수 대역에 있으며, 복잡한 디지털 신호처리를 요구하나, 아날로그 소자의 정확도에 민감하고 특히 낮은 주파수 대역에서 신호 대 잡음비가 우수하여 높은 분해능을 구현할 수 있는 델타-시그마 A/D변환기가 적절할 것이다.[1] 델타-시그마 A/D 변환기는 델타-시그마 변조기(Delta-Sigma Modulator,

DSM)와 디지털 신호를 고분해능의 디지털 코드로 변환하는 디지털 필터로 구성되어 있고, ADC의 전체 성능은 델타-시그마 변조기에 의해 결정된다.

다중비트 DSM은 기존의 1비트 DSM보다 낮은 OSR(Over Sampling Ratio)과 낮은 차수로서 높은 해상도를 얻을 수 있다. 하지만 다중비트 DSM의 주요 단점은 내부 DAC의 선형성의 영향이 DSM의 전체 성능에 영향을 미치게 된다.[3] 이에 DAC에서 발생하는 비선형성을 보완하기 위한 기술로서 다양한 DWA (Data Weighted Averaging)알고리즘이 현재 연구 중에 있다. 본 논문에서는 DWA알고리즘을 이용하여 충분한 대역폭과 다이내믹 레인지(Dynamic Range)를 가지는 A/D변환기를 위한 저역 통과 DSM(Lowpass DSM, LPDSM)을 설계하였다.

II. 2차 3비트 DSM의 구조와 설계 사양

2.1. DSM의 기본구조

DSM은 적분기와 양자화기로 이루어져 있다. 그림 1은 DSM의 기본구조로서 내부 A/D와 D/A의 비선형성을 포함한 신호 전달 구조이다. A/D의 에러 E_a 와 D/A의 에러 E_d 가 포함되었을 경우, 잡음과 신호에 대한 출력의 전달 함수를 표현하면 식 (1)과 같다.

$$Y(s) = \frac{1}{s^2 + s + 1} X(s) + \frac{s^2}{s^2 + s + 1} E(s) + \frac{s^2}{s^2 + s + 1} E_a(s) - \frac{s+1}{s^2 + s + 1} E_d(s) \quad (1)$$

즉, 내부 A/D의 에러에 의한 잡음 (E_d)과 양자화 에러 (E)는 고역 통과 특성을 나타냄으로써, 신호 대역에서 내부 A/D 에러의 영향이 줄어들게 된다. 하지만 내부 D/A에러 (E_d)는 저역 통과 특성을 보이며, 이것은 신호 대역에서 내부 D/A 에러가 출력에 심각한 영향을 줄 수 있음을 보여주고 있다. 대부분 D/A에서 발생하는 에러는 공정상의 오차에서 발생하는 것이다.

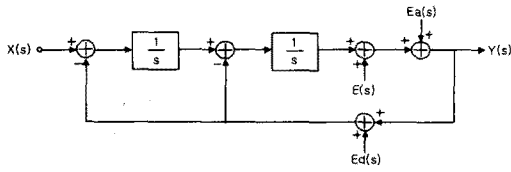


그림 1. 내부 A/D 및 D/A 에러를 포함한 2차 DSM의 기본구조.

Fig. 1. Basic structure of 2nd DSM with internal A/D error and D/A error.

2.2. DWA 알고리즘

다중비트 양자화를 사용하였을 때 DSM의 성능 저하를 방지하기 위한 다양한 방법의 연구가 활발히 진행되어 왔다.[3][5][6][7]

D/A에서 발생하는 부정합 에러는 비트에 따른 고정된 잡음을 가지게 된다. 하지만 변환 동작마다 구성 소자들을 다르게 사용하는 DWA 알고리즘 방법을 사용하면 소자들 사이의 부정합에 의한 오차를 변화시켜 평균값으로 향하게 하여 DSM의 성능저하를 방지하게 된다.

그림 2는 3-비트의 DAC를 구동하기 위하여 제어하는 스위치를 나타내고 있다. 그림 2(a)는 일반적으로 A/D에서 나온 출력 값이 써모미터 코드를 생성하여 D/A의 출력 값을 제어하는 스위치로 가계 된다. 즉, 디지털 입력 값에 따라서 D/A의 에러가 발생한다. 하지만 그림 2(b)는 디지털 입력 값이 D/A의 제어 스위치의 디지털 값에 따라 순환하는 형태이다. 이로부터 D/A에 해당하는 모든 소자들은 가능한 빠르게 평균값으로 향하게 되고, 소자 부정합 에러는 1차 잡음변형의 형태가 될 것이다.[3]

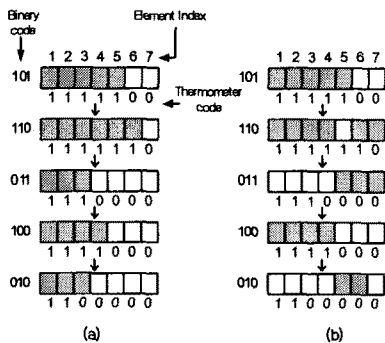


그림 2. DAC 제어 신호의 동작원리

(a) 일반적인 DAC (b) DWA 알고리즘

Fig 2. Operation principle of the DAC control signal

(a) normal DAC (b) DWA algorithm

2.3. 설계 사항

본 논문에서 설계하고자 하는 회로는 전력소모, 회로의 크기 및 연산 증폭기의 주파수 특성을 고려하여 500KHz의 넓은 대역폭을 가지고 동작 주파수 32배의 OSR에 해당하는 클럭(32MHz)을 사용하여 10비트 이상의 분해능을 갖는 2차 3비트 LPDSM이다. [2][4]

DSM의 동작을 검증하기 위해서는 일반적으로 SPI-ICE 계열의 검증 도구가 이용된다. 하지만 설계된 회로의 동작을 제대로 관찰하기 위해서는 최소한 2¹⁴개 이상의 표본화된 데이터가 필요로 하게 되어 상당한 시간이 소요된다. 이에 본 논문에서는 MATLAB의 신호 흐름선도로 모델링하여 동작을 검증하고 설계 시간을 줄였다.

그림 3은 2차 3비트 LPDSM의 비이상적인 영향을 고려하여 측정한 SNR이다. 이상적인 경우의 SNR은 입력신호가 200KHz인 경우 약 81dB이 측정되었고, 다이내믹 영역은 76dB의 결과를 나타내었다. 그림 3(a)는 D/A의 부정합이 0.1%의 오차에도 영향을 받게 되고, 입력 신호대역에 하모닉 왜곡성분과 백색 잡음성분이 포함되었음을 알 수 있다. 그림 3(b)는 연산증폭기의 개방이득을 20~80dB까지 변화시켜 검증한 결과 개방이득이 증가할수록 이상적인 경우에 근접하며, 1차 적분기가 2차 적분기보다 전체 성능에 영향을 미친다. 이로부터 2차 3비트 LPDSM의 성능을 유지하기 위해서는 40dB이상의 연산증폭기 개방이득이 요구됨을 알 수 있으나 연산증폭기를 구현할 때에 발생하는 신호선의 기생용량, 스위치의 기생저항, 축전기의 기생용량을 고려하여 60dB정도의 개방 이득을 가지도록 설계를 하여야 한다.

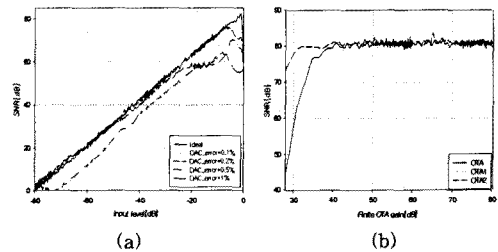


그림 3. DSM의 비선형성에 따른 SNR
(a) 내부 DAC 에러에 따른 다이내믹 영역. (b) 연산증폭기의 개방이득에 따른 SNR.

Fig. 3. SNR from nonlinearity of DSM.
(a) Dynamic Range of the internal DAC error (b) SNR vs. open loop gain of op-amp

III. 2차 3비트 LPDSM의 회로 설계

설계된 2차 3비트 LPDSM는 적분기, 내부 3비트 플래시 타입의 A/D, 3비트 전하 공유형 D/A 변환기, D/A 구동 드라이브, D/A 스위치 제어기(DWA), 비중첩 2위상 클럭발생기로 이루어졌다. 그림 4와 같이 각 블록들은 모델링을 통하여 검증된 변조기의 사양을 만족할 수 있도록 HSPICE를 이용하여 Hynix 0.35um CMOS공정을 이용해 트랜지스터 레벨에서 설계하였다.

본 논문에서는 DSM의 가장 중요한 부분인 D/A 스위치드라이브와 연산증폭기에 대해서만 다루었다.

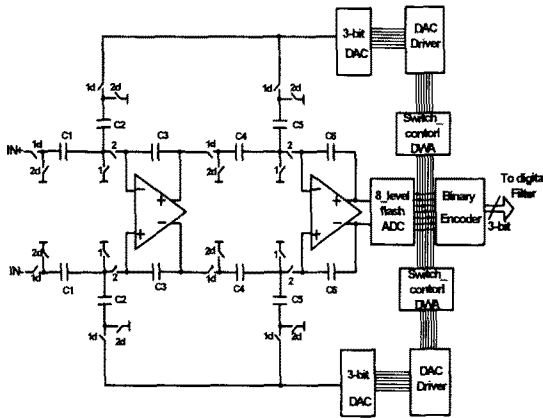


그림 4. 2차 3비트 LPDSM의 회로도

Fig. 4. Schematic of second order 3-bit LPDSM

3.1. DWA알고리즘 구현

DWA는 Logarithmic 쉬프트 회로, 모듈로 논리 회로(modulo logic)와 써모미터-이진 변환기로 구성되어 있다. [3][7]

Logarithmic회로는 써모미터 값을 순환되도록 구성된 신호 전달 경로를 나타낸 것이다. 모듈로는 고속 동작이 가능한 조건부 덧셈기로 구성하였다.

DWA를 구현한 회로는 그림 5와 같다. DWA의 구현은 DSM의 피드백 루프에 추가적인 지연 시간을 요구하므로 고속의 동작이 가능해야 한다. DSM의 동작은 ck1동안은 모든 적분기가 샘플 동작에 들어가고, ck2동안은 적분기 동작을 한다. 즉, 클럭의 반주기내에 모든 써모미터 값은 순환이 가능해야 한다.

DWA의 동작은 ck1 동안에는 A/D에서 나온 써모미터값이 써모미터-이진 변환기를 통하여 이진 코드로 변환하고 포인트 값과 함께 모듈로 회로에 입력되어 Logarithmic회로에 지정될 포인트를 출력하게 된다. ck2 동안은 레지스터에 포인트가 업데이트 되고 업데이트된 포인트가 Logarithmic회로가 순환되도록 지정을 하게 된다. 다시 ck1동안은 업데이트된 포인트가 A/D에서 나온 써모미터 코드를 이동시키도록 되어있고, 동시에 모듈로에 의해서 새로운 포인트를 업데이트

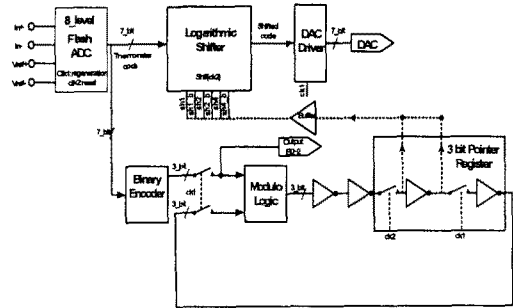


그림 5. DWA 알고리즘의 구성

Fig. 5. Structure of DWA algorithm

트 시킨다.

3.2. 연산 증폭기

2차 3비트 LPDSM에 적분기로 구성되는 연산증폭기는 모델링에 의해 60dB이상의 개방이득과 130V/us이상의 slew율을 갖고 최대 출력범위는 공급전압이 3.3V인 경우 0.6V에서 2.7V가 되어야한다. 이에 본 논문은 고속 동작을 위해 스루율이 큰 전류 거울 형태의 연산증폭기를 선택하고 외부 잡음에 둔감한 완전 차동형으로 설계하였다. 그림 6은 본 논문에서 사용된 연산증폭기의 회로도이다.

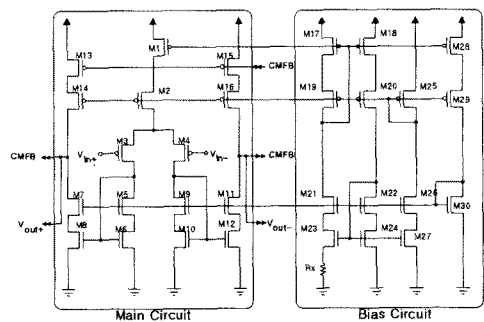


그림 6. 연산증폭기

Fig. 6. Operational amplifier

IV. 결론

본 논문은 Zero-IF 수신기에 쓰이는 LPDSM을 설계하고, 공정상의 부정확에 의한 내부 DAC의 오프셋 에러를 제거하기 위해 DWA알고리즘을 이용하였으며, MATAB을 이용하여 검증하였다.

설계된 변조기의 검증 결과는 그림 7에서 관찰한 바와 같이 SNR이 약 74dB을 가졌다. 이는 변조기를 트랜지스터 레벨에서 설계 시 스위치의 비이상적 특성과 같은 피할 수 없는 오차에 의해 약 7dB의 성능 감소가 발생한 것이다. 또한 DWA알고리즘을 검증하기 위하여 D/A를 구성하는 커패시터의 부정확이 20% 발생

하였을 경우, DWA를 적용한 DSM과 적용하지 않은 DSM을 그림 8에서 비교 하였다. 그림 8(a)에서 DWA를 적용하지 않은 일반적인 DSM인 경우 SNR은 약 37dB정도의 성능이 나빠짐을 확인 할 수 있고, 하모닉 왜곡 성분과 백색 잡음도 관찰 할 수 있다. 하지만 그림 8(b)는 DWA를 적용하였을 경우의 SNR은 약 70 dB로 측정되었다. 이상적인 경우보다 약 4dB정도 감소하였다. 그래서 커패시터간의 부정합의 오차가 공정상에서 발생 하였을 경우에, DWA를 사용함으로써 2차 3비트 LPDSM의 성능저하가 거의 없음을 볼 수 있다.

설계된 변조기의 검증 결과는 표 1과 같고, 3.3V 단일 전원을 사용할 경우의 전력소모는 50mW를 나타내었다.

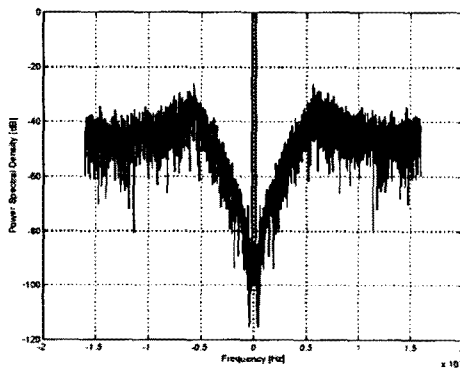


그림 7. 변조기의 출력 FFT

Fig. 7. FFT of modulator's output

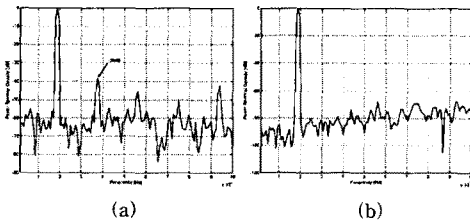


그림 8. DAC 에러를 포함한 FFT : 20% 부정합
(a) 일반적인 DSM (b) DWA를 적용한 DSM

Fig. 8 FFT of DAC error : 20% mismatch
(a) normal DSM (b) DSM using DWA

표 1. 설계된 변조기의 검증 결과

Fig. 1. Simulation result of designed Modulator

	Specification	Matlab	Circuit
Frequency	32MHz	32MHz	32MHz
Channel Band	500kHz	500kHz	500kHz
SNR	70dB	81dB	74dB
Dynamic Range	74dB	76dB	-

참 고 문 헌

- [1] Kevin M. Daugherty, *Analog-to-digital conversion*, McGraw-Hill, Inc., 1995.
- [2] Jorge Grilo, et al., "A 12mW ADC delta-sigma modulator with 80dB of dynamic range integrated in a single-chip bluetooth transceiver," *IEEE Journal of Solid-State Circuits*, vol. 37, 2002.
- [3] Yves Geerts, Michiel Steyaert and Willy Sansen, *Design of multi-bit delta-sigma A/D converters*, Kluwer Academic Publishers, 2002.
- [4] Durdodt C., et al., "A low-IF RX two-point sigma-delta modulation TX CMOS single-chip bluetooth solution," *Microwave Theory and Techniques, IEEE Transactions on*, vol. 49, Issue 9, 2001.
- [5] L. R. Carley and J. Kenney, "A 16-bit 4th order noise-shaping D/A converter," in *Proceedings Custom Integrated Circuits Conference*, pp. 21.7.1-21.7.4, June 1988.
- [6] B. H. Leung and S. Sutarja, "Multibit $\Sigma\Delta$ A/D converter incorporating a novel class of dynamic element matching techniques," *IEEE International Symposium on Circuits and systems, Atlanta*, pp. 72-75, May 1996.
- [7] R. T. Baird and T. S. Fiez, "Linearity Enhancement of Multibit $\Delta\Sigma$ A/D and D/A Converters Using Data Weighted Averaging," *IEEE Transactions on Circuits and systems II*, vol. 42, no. 12, pp. 753-762, Dec. 1995.