

미세공정상에서 전가산기의 해석 및 비교

Analysis and Comparison on Full Adder Block in Deep-Submicron Technology

이 우 기*, 김 정 범**

Woo Gi Lee, Jeong Beom Kim

* 강원대학교 전자공학과(전화:(033)250-6208, 팩스:(033)256-6327, E-mail : woogilee@vlsi.kangwon.ac.kr)

** 강원대학교 전자공학과(전화:(033)250-6329, 팩스:(033)256-6327, E-mail : kimjb@cc.kangwon.ac.kr)

Abstract : In this paper the main topologies of one-bit full adders, including the most interesting of those recently proposed, are analyzed and compared for speed, power consumption, and power-delay product. The comparison has been performed on circuits, optimized transistor dimension to minimize power-delay product. The investigation has been carried out with properly defined simulation runs on a Cadence environment using a 0.25- μm process, also including the parasitics derived from layout. Performance has been also compared for different supply voltage values. Thus design guidelines have been derived to select the most suitable topology for the design features required. This paper also proposes a novel figure of merit to realistically compare n-bit adders implemented as a chain of one-bit full adders. The results differ from those previously published both for the more realistic simulations carried out and the more appropriate figure of merit used. They show that, except for short chains of blocks or for cases where minimum power consumption is desired, topologies with only pass transistors or transmission gates are not attractive.

Keywords : full adder, arithmetic circuit, CMOS digital integrated circuits, performance analysis, VLSI.

I. 서 론

컴퓨터의 핵심 부품인 마이크로프로세서가 가지는 기본적인 연산기능은 가감산, 승산 그리고 계산이며 이러한 연산을 수행하는 연산기들의 성능은 마이크로프로세서의 전체 성능을 결정짓는 중요한 요소 중의 하나이다. 따라서 이러한 연산기들을 보다 빠르고 적은 면적으로 구현하는 것은 반도체 설계 분야의 중요한 주제 중의 하나이다. 그중에서도 가산은 마이크로프로세서가 수행하는 전체 산술연산 중에서 자주 수행되는 연산이다. 또한 이러한 가산은 마이크로프로세서 뿐만 아니라 디지털 연산기능을 필요로 하는 다른 모든 응용분야의 기본 산술 연산이기 때문에 보다 적은 면적의, 보다 빠른 가산기의 설계는 그가 미치는 영향과 넓은 응용범위 때문에 매우 중요하다고 할 수 있다.[1,2,3] 반도체 설계 기술의 급속도의 발전으로 보다 많은 기능을 보다 빠르게, 보다 적은 면적으로 구현 가능해지면서 현재의 반도체 설계 추세는 시스템 전체를 단일칩으로 구현하고자 하는 방향으로 나아가고 있다. 그 중 대표적인 기능 중의 하나는 DSP(Digital Signal Processor)기능이라 할 수 있는데 현재 컴퓨팅 환경변화로 멀티미디어 자료 처리 수용이 증가하고, 무선 통신에의 적용 등으로, 프로세서에 있어서 DSP 기능의 중요성이 크게 부각되고 있고 대부분의 DSP

시스템들은 convolution과 filtering과 같은 알고리즘 연산을 수행하기 위해서 가산기를 내장하고 있다.[2] 전가산기의 임계 지연 경로(critical delay path)는 연산 알고리즘을 평가하는데 있어서 결정적인 요인이 되므로 빠른 연산 속도를 요구하게 된다. 또한 멀티미디어 기능을 포함한 고성능 휴대용 시스템의 요구는 시스템 설계에 있어서 안정적인 동작과 장시간 동작을 할 수 있는 저전력 시스템과 고성능 수학적 연산을 수행하기 위한 설계 추세로 거듭 발전되어 오고 있다. 본 논문에서는 1비트 전가산기(1-bit full adder)를 8가지 구현하여, 동작 속도, 전력 소모, PDP(Power-Delay Product)를 비교, 분석을 하였다. 회로의 비교 분석 조건으로 최적화된 사이즈 트랜지스터에서의 각기 다른 전압에 따른 동작을 선택 하였다.

II. 전가산기의 구조

전가산기는 2자리 2진수와 캐리(Carry)를 함께 가산하는 회로이다. 전가산기는 X,Y의 입력변수와 아랫자리에서 올라온 자리올림 C가 8가지 조합을 이루는데, 일반적인 계산에서는 여러 자리인 2 진수를 덧셈하게 된다. 두 자리 이상을 덧셈할 때는 아랫자리에서 올라온 자리올림(C)를 덧셈하여 두 자리의 합(Sum) S를 계산하고, 자리올림은 다음 자리에서 함께 계산하도록

한다. 식 (1)은 CMOS 전가산기의 합(SUM)을, 식 (2)는 캐리를 표기한 논리 함수식이다.[1]

$$SUM = C \oplus (X \oplus Y) \quad (1)$$

$$CARRY = C(X\bar{Y} + \bar{X}Y) + XY \quad (2)$$

III. 전가산기의 구현

CMOS 구조 전가산기는 전력 소모가 적고 구동 능력이 좋은 장점을 가지고 있다. 단점으로는 전달 지연이 다른 구조에 비해 크다. CMOS 전가산기는 PMOS 트랜지스터를 부하소자로, NMOS 트랜지스터를 구동소자로 연결하여 논리 값을 생성한다. 그림 1은 일반적인 CMOS 전가산기이다.[1][4][5]

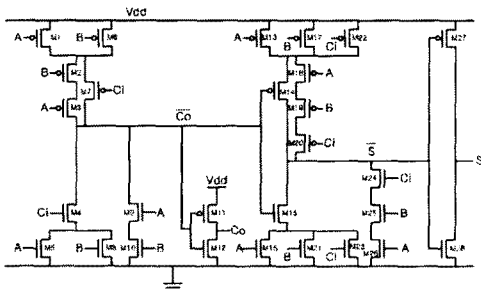


그림 1. CMOS 전가산기
Fig. 1. CMOS full adder

Mirror 전가산기는 PMOS 트랜지스터와 NMOS 트랜지스터의 대칭적인 구조로 합과 캐리를 생성한다. 그림 2는 일반적인 Mirror 전가산기 회로이다.[1][4][5]

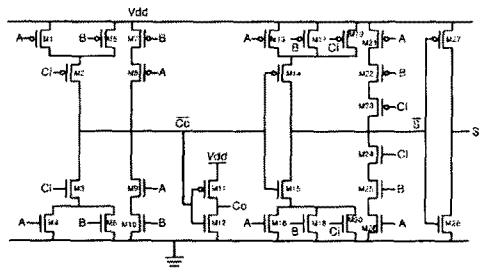


그림 2. Mirror 전가산기
Fig. 2. Mirror full adder

CPL(Complementary Pass-Transistor Logic) 전가산기 회로는 NMOS 패스트랜지스터로 논리 값을 만들고 출력 단에 인버터를 사용한다. NMOS 트랜지스터 구성에 의한 논리 '1'값의 불안정한 신호 보상을 위해 PMOS 트랜지스터를 출력 부분에서 사용하여 손상된 신호를 보완해 준다. 그림 2는 일반적인 CPL 전가산기 회로이다.[1][6]

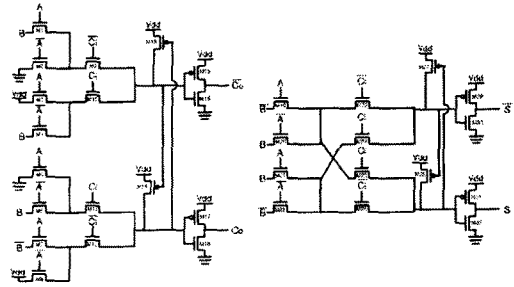


그림 3. CPL 전가산기
Fig. 3. CPL full adder

LEAP(Lean Integration with Pass-transistors) 전가산기는 CPL 전가산기 보다 적은 수의 NMOS 트랜지스터를 사용하여 동일한 논리 값을 생성한다. 그림 4는 LEAP 전가산기 회로이다.[1][7]

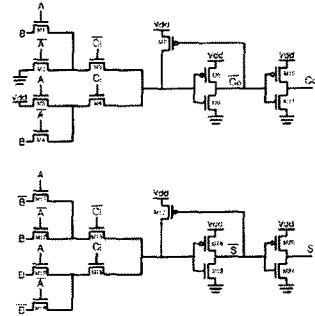


그림 4. LEAP 전가산기
Fig. 4. LEAP full adder

LP(Low power) 전가산기는 4개의 트랜지스터를 패스 트랜지스터(Pass Transistors)와 트랜스미션 게이트(Transmission gates) 구조를 이용하여 XOR와 XNOR의 논리 값을 만든다. 그림 5는 LP 전가산기 회로이다.[1][8]

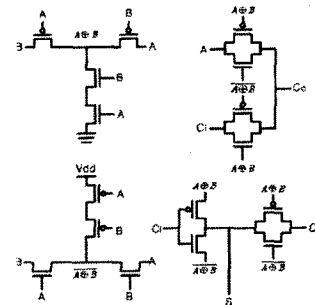


그림 5. LP 전가산기
Fig. 5. LP full adder

TG(Transmission gates) 전가산기는 트랜스미션 게이트 구조를 이용하여 논리 값을 만든다. 그림 6은 TG 전가산기 회로이다.[1][4]

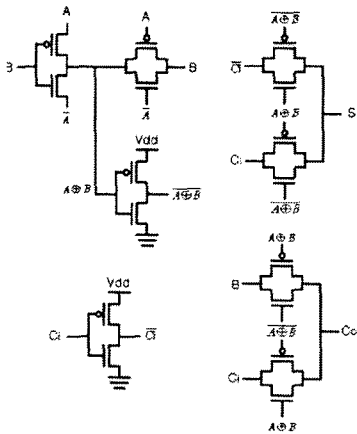


그림 6. TG 전가산기
Fig. 6. TG full adder

TGD(TGdrivcap) 전가산기는 TG 전가산기를 인버터(Inv-ertor)를 포함하여 구동능력(driving capability)을 향상시킨 전가산기이다. 그림 7은 TGD 전가산기 회로이다.[1][4]

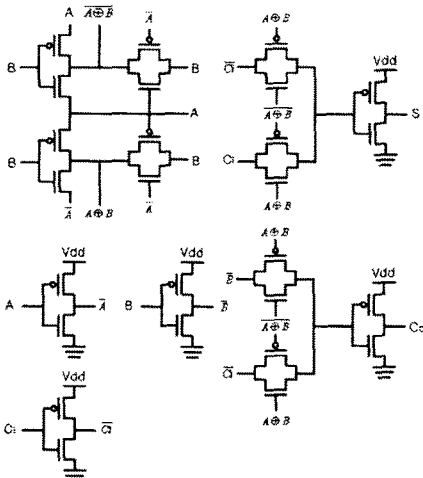


그림 7. TGD 전가산기
Fig. 7. TGD full adder

DCVSPG(Differential Cascode Voltage Switch logic with Pass Gate) 전가산기는 논리 연산 기능은 두개의 풀다운(Pull-down) NMOS 트랜지스터 논리 블록에서 수행되고 풀업(Pull-up) 기능은 상호연결(Cross couple d) 형태의 두개의 PMOS 트랜지스터로 이루어진 풀업 래치(Latch)에 의해 수행된다. 그림 8은 DCVSPG 전가산기 회로이다.[9]

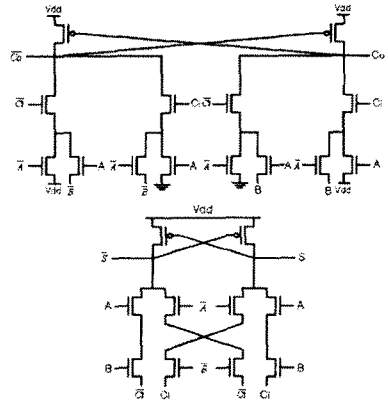


그림 8. DCVSPG 전가산기
Fig. 8. DCVSPG full adder

IV. 시뮬레이션 결과 및 비교

본 논문에서는 $0.25\mu m$ CMOS 기술을 이용하여 Hspice로 시뮬레이션 하였다. Hspice 시뮬레이션에 사용한 모델 파라미터는 Level 49를 사용하였고 공급 전압은 2.5V/1.8V로 하였다. 전압 출력 노드에는 100fF의 콘덴서를 연결하여 측정하였다. 회로에는 입력 신호에 대해서 1ns의 전달 지연을 갖도록 하였다.

표 1. 전가산기의 트랜지스터 및 입력 비교표

Table 1. Comparison table for Full adder

회로	CMOS	Mirror	CPL	LEAP	LP	TG	TGD	DCVSPG
트랜지스터	28	28	38	28	16	18	26	30
상보 입력	없음	없음	있음	있음	없음	있음	있음	있음

표 2. 전가산기의 전달지연시간

Table 2. Delay for Full adder

(ns)

회로	CMOS	Mirror	CPL	LEAP	LP	TG	TGD	DCVSPG
2.5V	0.8	0.8	0.8	0.8	1.0	0.7	0.8	1.2
1.8V	1.0	1.0	1.0	1.2	1.3	1.0	1.0	1.9

표 3. 전가산기의 전력소모

Table 2. Power for Full adder

(mW)

회로	CMOS	Mirror	CPL	LEAP	LP	TG	TGD	DCVSPG
2.5V	0.053	0.054	0.125	0.074	0.041	0.046	0.066	0.139
1.8V	0.025	0.025	0.057	0.031	0.019	0.021	0.028	0.064

표 4. 전가산기의 PDP(Power-Delay Product)

Table 4. PDP for Full adder

(pJ)

회로	CMOS	Mirror	CPL	LEAP	LP	TG	TGD	DCVSPG
2.5V	0.042	0.037	0.1	0.059	0.041	0.032	0.053	0.167
1.8V	0.025	0.023	0.057	0.037	0.024	0.021	0.028	0.122

표 1은 전가산기의 트랜지스터 및 상보입력을 비교 하였다. 비교표에 나타난 바와 같이 LP 전가산기가 트랜지스터 개수가 가장 적으면서 상보 입력이 필요 없다.

표 2, 3은 전가산기를 2.5V/1.8V에서 동작시 전달지연 시간 및 전력소모를 비교 하였다. 비교표에 나타난 바와 같이 TG 전가산기와 LP 전가산기가 가장 우수하였다. 표 4는 전가산기의 PDP를 비교 하였다. PDP는 전력소모와 전달지연시간의 곱으로 TG 전가산기가 가장 우수 하였다. 그림 9는 8가지의 전가산기의 출력 파형으로 올바른 동작 상태를 보여주고 있다.

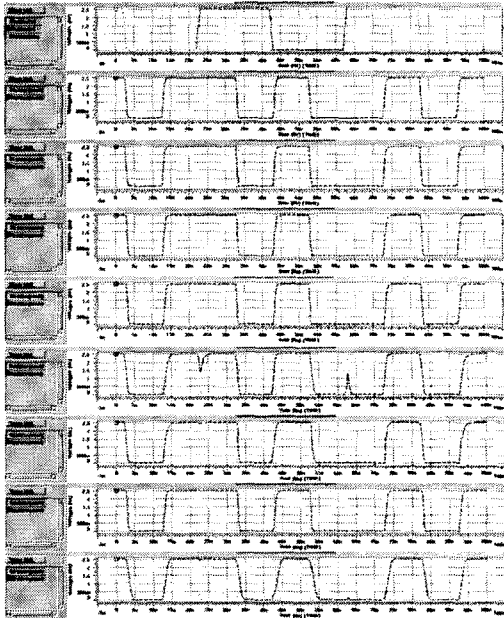


그림 9. 전가산기의 시뮬레이션 결과

V. 결 론

본 논문은 8가지의 전가산기를 구현하여 미세공정상에서 적합한 전가산기를 해석 및 비교 하였다. 공급전압 2.5V/1.8V상에서 트랜지스터 개수 및 입력신호, 전달지연, 전력소모, PDP를 비교 분석하였다. 모든 전가산기가 낮은 공급전압에서도 정확한 동작을 보였다. TG 전가산기가 DCVSPG 전가산기에 비하여 80% 향상된 PDP를 보여 주었다.

시스템 설계에 있어서 TG 전가산기를 사용하므로 안정적인 동작과 장시간 동작을 할 수 있는 저전력 시스템과 고성능 수학적 연산을 수행할 수 있다.

VI. Acknowledgment

본 논문은 BK21의 지원에 의해 이루어졌으며, 연구에 사용한 CAD S/W는 반도체설계교육센터(IDECE)의 지원에 의해 이루어졌음.

참 고 문 헌

[1] Massimo Alioto, Gaetano Palumbo, "Analysis and Comparison on Full Adder Block in Submicron Technology," IEEE TRANSACTIONS ON VERY

LARGE SCALE INTEGRATION (VLSI) SYSTEMS, VOL. 10, pp. 805-823, Dec. 2002.

[2] I. S. Abu-Khater, A. Bellaouar, and M. I. Elmasry, "Circuit techniques for CMOS low-power high-performance multipliers," IEEE J. Solid-state Circuits, vol.31, pp. 1535-1546. Oct. 1996.

[3] C.F.Law, S. S. Rofail, and K. S. Yee "A Low-Power 16×16-b Parallel Multiplier utilizing Pass-Transistor Logic." IEEE J. Solid-State Circuits. Vol. 34. No. 10, Oct. 1999.

[4] N. Weste and K. Eshraghian, Principles of CMOS VLSI Design (A Systems Perspective), 2nd ed. Reading, MA: Addison Wesley, 1993.

[5] J. Rabaey, Digital Integrated Circuits (A Design Perspective). Englewood Cliffs, NJ: Prentice-Hall, 1996.

[6] K. Yano, T. Yamanaka, T. Nishida, M. Saito, K. Shimohigashi, and A. Shimizu, "A 3.8-ns CMOS 16 X16-b multiplier using complementary pass-transistor logic," IEEE J. Solid-State Circuits, vol. 25, pp. 388.395, Apr. 1990.

[7] K. Yano, Y. Sasaki, K. Rikino, and K. Seki, "Top-down pass-transistor logic design," IEEE J. Solid-State Circuits, vol. 31, pp. 792.803, June 1996.

[8] A. Shams and M. Bayoumi, "A novel high-performance CMOS 1-Bit full-adder cell," IEEE Trans. Circuits Syst. Part II, vol. 47, pp. 478.481, May 2000.

[9] Fang-shi Lai, Wei Hwang, "Design and Implementation of Differential Cascode Voltage Switch with Pass-Gate (DCVSPG) Logic for High-Performance Digital Systems," IEEE J. Solid-State Circuits Vol. 32, No. 4, pp. 563-573, APRIL 1997.