

ADSL 모뎀용 시그마-델타 아날로그/디지털 변환기

Sigma-Delta A/D Converter for ADSL Modems

한 승 엽*, 유 상 대**, 이 주 상***
(Seung Yub Han, Sang Dae Yu and Ju Sang Lee)

* 경북대학교 대학원 전자공학과(전화:(053)940-8837, 팩스:(053)950-5505, E-mail : syhan@palgong.knu.ac.kr)

** 경북대학교 전자전기컴퓨터 학부(전화:(053)950-5537, 팩스:(053)950-5505, E-mail : sdyu@bh.knu.ac.kr)

*** 경북대학교 대학원 전자공학과(전화:(053)940-8837, 팩스:(053)950-5505, E-mail : jslee@palgong.knu.ac.kr)

Abstract : In this paper, sigma-delta A/D converter for ADSL modems using oversampling technique is designed. Conventionally, the oversampling A/D converter is consist of opamps, switched capacitors, quantizers, internal D/A converters, and decimation filters. 3-bit flash A/D converter, 3-bit thermometer-based D/A converters, and sub-blocks are used for high speed operation. HSPICE simulator and CADENCE tool are used for verification and layout of the designed modulator. The internal A/D converter and D/A converters are operated at 130 MHz. In design of decimation filter Matlab is used for calculating coefficients and ModelSim and VHDL are used for design.

Keywords : A/D converter, D/A converter, filter, integrator, comparator

1. 서론

자연계의 신호는 대부분 아날로그이지만 신호 처리를 쉽게하기 위해서 디지털 신호로 바꾸어야 하는 경우가 많다. 이렇게 아날로그 신호를 디지털 신호로 변환할 때는 아날로그/디지털 변환기가 사용된다. 더욱이 시스템이 점점 고속화되고 있기 때문에 아날로그 신호를 효과적으로 디지털 신호로 바꾸어 주는 아날로그/디지털 변환기의 중요성은 더욱 높아져 가고 있다. 이러한 아날로그/디지털 변환기로는 플래쉬 (flash) ADC, 서브래인지 (subranging) ADC, 파이프라인 (pipelined) ADC, 축차근사형 (successive-approximation type) ADC, 시그마-델타 (sigma-delta) ADC 등이 있다. 이 중 앞의 3가지는 나이퀴스트 율 (Nyquist rate) ADC이고 마지막의 시그마-델타 ADC는 과표본화 (oversampling) ADC이다.

나이퀴스트 율 변환기는 각 입력에 해당하는 일련의 출력을 가지며 나이퀴스트 율 이내의 속도로 입력 신호를 표본화하기 때문에 고속의 신호 처리에는 유리하지만 면적을 많이 차지하고 회로가 복잡해지며, 공정의 의존도가 높아 설계가 힘든 단점이 있다. 이에 비하여 과표본화 변환기는 입력 신호의 나이퀴스트 율보다 대개 20에서 512배 빨리 동작하고 신호대역 밖의 양자화 잡음을 제거함으로써 출력의 SNR (signal to noise ratio)을 증가시키고 소자의 부정합 (mismatching)에 둔감하므로 설계가 편리하다.

복잡한 디지털 회로를 사용함으로써 아날로그 회로

의 부담을 덜어주는데 이는 최근 VLSI 기술의 발전으로 인한 현대의 서브마이크론 (submicron) 기술에 훨씬 바람직하다. 그 이유는 고해상도의 아날로그 회로는 short channel effect로 인한 낮은 공급 전압과 나쁜 트랜지스터 출력 저항 때문에 복잡해지지만 고속의 디지털 회로는 적은 면적에 훨씬 쉽게 구현되기 때문이다. 또한 적절한 신호처리를 위한 고속의 밀집된 디지털 회로에 초점이 맞추어지고 있으며 디지털과 아날로그 회로가 혼용됨으로 인해서 CMOS 공정을 이용한 아날로그 및 혼성모드 설계기술이 시스템을 설계하는데 중요하게 부각되고 있기 때문에 많이 사용된다.

시그마-델타 A/D 변환기의 분해능을 증가시키려면 표본화 주파수를 증가시키거나, 루프 필터의 차수를 높이거나, 양자화의 비트수를 증가시켜야 한다. 그러나 표본화 주파수는 무한대로 크게 할 수 있는 것이 아니라 일정한 수준으로 제한되어 있고, 2차 이상의 루프 필터를 사용하면 변조기의 안정도가 떨어져 발생할 가능성이 많으므로 설계가 힘들다. 2차의 적분기는 항상 안정성을 확보할 수 있고, 분해능을 높이기 위해 본 논문에서는 2차의 시그마-델타 멀티비트 A/D 변환기를 설계하였다.[1]

II. 시그마-델타 A/D 변환기의 원리와 구조

1. 시그마-델타 A/D 변환기의 구조

그림 1은 과표본화 A/D 변환기의 구조를 나타낸다. 첫번째 단은 연속 시간 겹침 방지 필터로 입력 신호는

과표본화 주파수 f_s 보다 작도록 제한되어야 한다. OSR이 클 때는 RC 저역-통과 필터처럼 간단해진다. 그 다음 단에서 연속시간 $X_c(t)$ 는 표본화 된 후 아날로그 신호를 잡음 성형된 저 해상도의 디지털 신호로 변환하는 시그마-델타 변조기로 들어간다. 그 뒤 decimator에서 입력 신호 대역폭의 두배 정도로 낮은 표본화율을 가진 고 해상도의 디지털 신호로 만든다.

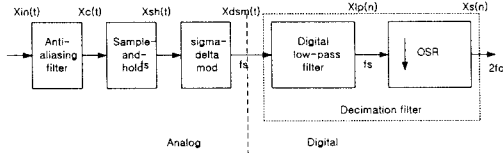


그림 1. 과표본화 A/D 변환기의 구조.
Fig. 1. Architecture of the oversampling A/D converter.

2. 과표본화의 장점

$f_s > 2f_0$ (나이퀴스트 주파수)이고 입력 신호의 주파수가 f_0 에 제한되어 있을 때 과표본화율 (OSR)은 식 (1)과 같이 정의한다.

$$OSR = \frac{f_s}{2f_0} \quad (1)$$

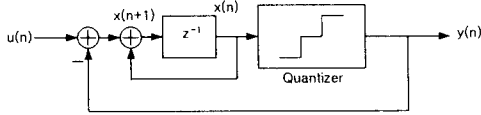


그림 2. 1차 시그마-델타 변조기.
Fig. 2. 1st-order sigma-delta modulator.

그림 2에서 신호 전달함수와 잡음 전달함수를 구해 보면 식 (2)와 식 (3)이 된다.

$$S_{TF}(z) = \frac{Y(z)}{U(z)} = \frac{H(z)}{1+H(z)} = z^{-1} \quad (2)$$

$$N_{TF}(z) = \frac{Y(z)}{E(z)} = \frac{1}{1+H(z)} = 1 - z^{-1} \quad (3)$$

입력 신호에 대한 잡음 전력은 식 (4)와 같다. 그러므로 OSR을 두 배로 하면 양자화 잡음 전력은 1/2이 되고 3dB의 성능 향상을 얻을 수 있다. 이것은 0.5비트의 해상도 증가에 해당한다. 최대 신호 전압이 식 (5)와 같다면 최대 SNR은 식 (6)과 같이 나타난다. 여기서 OSR이 포함된 부분이 과표본화로 얻어진 SNR의 향상이다.

$$P_E = \frac{\Delta^2}{12} \left(\frac{1}{OSR} \right) \quad (4)$$

$$P_S = \frac{\Delta^2 2^{2N}}{8} \quad (5)$$

$$SNR_{\max} = 6.02N + 1.76 + 10 \log(OSR) \quad (6)$$

3. 잡음 성형 기법

시그마-델타 A/D 변환기는 SNR 향상을 위해 잡음 성형 기법을 이용한다. 그림 2에서 일차 잡음 성형을 하기 위해서 잡음 전달함수 $N_{TF}(z)$ 는 DC에 영점을 가져야 한다. $N_{TF}(z)$ 의 영점이 $H(z)$ 의 극점과 같기 때문에 양자화 잡음은 고역-통과 필터링 된다. 1차의 저역-통과 필터 $H(z)$ 를 구현하면 식 (7)과 같다.

$$H(z) = \frac{Y(z)}{U(z)} = \frac{z^{-1}}{1 - z^{-1}} = \frac{1}{z - 1} \quad (7)$$

신호 전달함수 $S_{TF}(z)$ 는 식 (2)와 같이 한번의 지연으로 나타나고 잡음 전달함수 $N_{TF}(z)$ 는 식 (3)과 같이 고역-통과 필터인 이산 시간 미분으로 나타난다. 입력 신호에 대한 양자화 잡음 전력 P_E 는 식 (8)과 같고 최대 신호 전압이 식 (5)와 같다면 최대 SNR은 식 (9)와 같이 구해진다. 식 (9)를 통해 OSR을 두 배로 하면 9 dB의 잡음 감소를 가져올 수 있고, 이것은 1.5비트의 해상도 증가에 해당한다. 이 결과는 식 (6)처럼 잡음 성형을 하지 않았을 때 0.5비트의 해상도 증가보다 더 높은 증가를 나타낸다.

$$P_E = \frac{\Delta^2 \pi^2}{36} \left(\frac{1}{OSR} \right)^3 \quad (8)$$

$$SNR_{\max} = 6.02N + 1.76 - 5.17 + 30 \log(OSR) \quad (9)$$

일반적으로 L차 잡음 성형 변조기의 잡음 전달함수 $N_{TF}(z)$ 가 $N_{TF}(z) = (1 - z^{-1})^L$ 이라면 양자화 잡음 전력은 식 (10)과 같이 나타나고 최대 SNR은 식 (11)과 같이 나타난다. 즉 L차 시그마-델타 변조기는 $3(2L+1)$ dB의 잡음 감소를 가져올 수 있고 이것은 $(L+0.5)$ 비트의 해상도 증가에 해당한다.

$$P_E = \frac{\Delta^2 \pi^{2L}}{12(2L+1)} \left(\frac{1}{OSR} \right)^{2L+1} \quad (10)$$

$$SNR_{\max} = \quad (11)$$

$$6.02N + 1.76 - 10 \log \left(\frac{\pi^{2L}}{2L+1} \right) + 10 \log(OSR)^{2L+1}$$

III. 시그마-델타 변환기의 설계

1. 전체 변조기의 구성

본 논문에서 설계한 전체 변조기의 회로는 그림 3과 같다. 크게 2개의 스위치드 커패시터 적분기와 내부의 3비트 A/D 변환기 그리고 D/A 변환기로 구성되어 있다.[6]

2. 연산 증폭기

적분기 설계에서 연산 증폭기가 전력 소모의 주된 요소가 된다. 그림 4는 적분기 설계시 사용한 연산 증폭기의 회로도이다. 정밀한 신호 처리를 위한 연산 증폭기는 높은 직류 이득과 넓은 단위 이득 주파수를 가져야 한다. 또한 고속의 스위칭 동작을 하는 스위치드 커패시터 회로를 포함하기 때문에 안정 시간이 짧아야

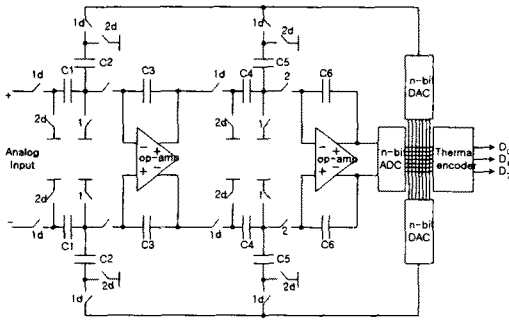


그림 3. 전체 시그마-델타 A/D 변조기.
Fig. 3. Total sigma-delta A/D modulator.

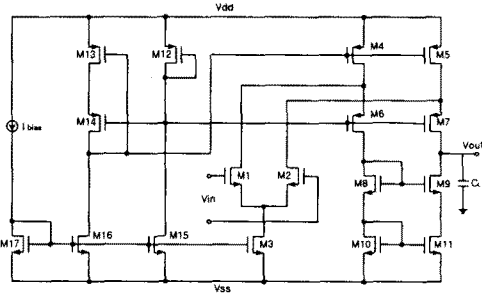


그림 4. 폴디드-캐스코드 연산 증폭기.
Fig. 4. Folded cascode OP amp.

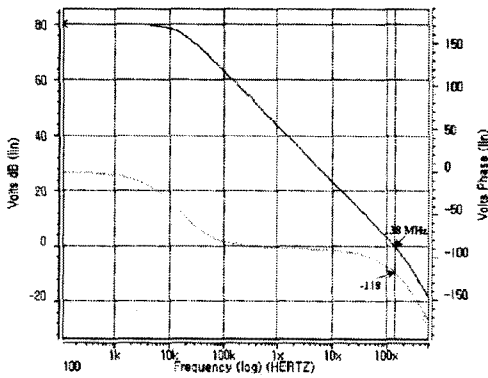


그림 5. 설계된 연산 증폭기의 특성.
Fig. 5. Characteristic of the designed opamp.

한다. 폴디드-캐스코드 구조는 Vdd와 Vss 사이에 4개의 트랜지스터만 들어가게 하여 저전압에서의 사용이 유리하고, 증폭단이 한 단 밖에 없어서 부하 커패시터 C_L 로만 주파수 보상이 가능하므로 별도의 주파수 보상용 커패시터를 필요로 하지 않는 장점을 가지고 있

다. [4] 그림 4는 설계한 연산 증폭기의 회로도이고 그림 5는 Hspice로 모의 실험한 결과이다. [2]

3. A/D 변환기

변조기를 구성하는데 필요한 비교기를 비트를 사용하여 고속, 높은 분해능을 가지는 변조기를 설계하였다. 변조기의 분해능을 높이면 그만큼 SNR이 증가한다. 그림 6의 플래시 변환기는 고속의 변환기 구현에 사용되며 그림 7은 Hspice로 모의 실험한 결과이다. [3]

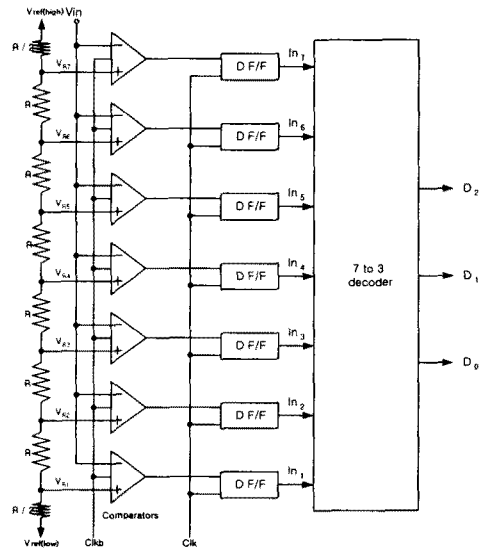


그림 6. 플래시 A/D 변환기.
Fig. 6. Flash A/D converter.

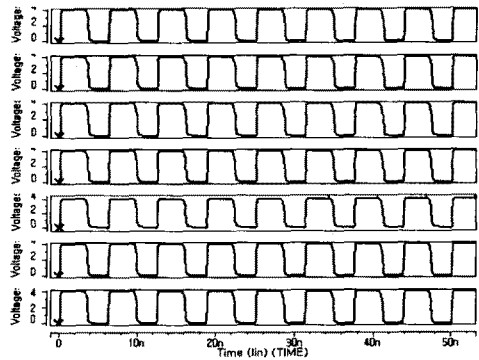


그림 7. 설계된 A/D 변환기의 특성.
Fig. 7. Characteristic of the designed ADC.

4. D/A 변환기

그림 8의 온도계 (thermometer) D/A 변환기를 구현하기 위해서는 $2^N - 1$ 개의 동일한 값을 가지는 저항과 연산 증폭기의 접지에 연결된 스위치가 필요하다. 온도

계 코드는 다음 수로 바뀔때 단지 하나의 비트만 변하므로 단조성이 보장되고 글리치 잡음이 적고 작은 비트의 해상도에서는 칩 면적의 손해 없이 고성능의 DAC를 설계할 수 있다. 그림 9는 Hspice로 모의 실험한 결과로 단지 하나의 비트만 변환을 볼 수 있다.

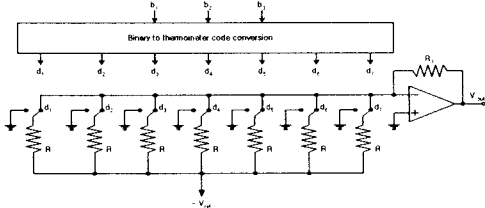


그림 8. 3비트 온도계 D/A 변환기.
Fig. 8. 3-bit thermometer-based DAC.

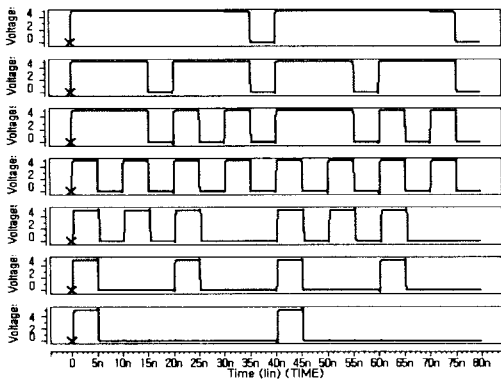


그림 9. 설계된 D/A 변환기의 특성.
Fig. 9. Characteristic of the designed DAC.

5. 디지털 필터

그림 10은 시그마-델타 ADC의 전형적인 다단계 데시메이션 필터이다. 첫 번째 단은 콤 필터이고 두, 세 번째 단은 half-band 필터이며 사양에 따라 치짐 보정 필터 (droop correction filter)가 사용되기도 한다. 그림 11은 설계된 저역-통과 필터의 진폭 특성이다.[5]

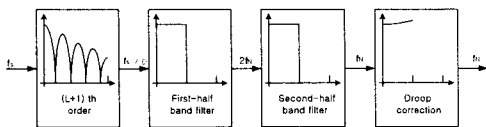


그림 10. 다단계 데시메이션 필터.
Fig. 10. A multistage decimation filter.

IV. 결론

본 논문에서는 ADSL 모델용 시그마-델타 아날로그/디지털 변환기를 설계하였다. 전체회로는 아날로그 회로 부분인 시그마-델타 변조기와 디지털 회로 부분인

디지털 필터로 구성되어 있다. 각 부분의 설계는 아날로그 회로 부분과 디지털 회로 부분으로 나누어 설계

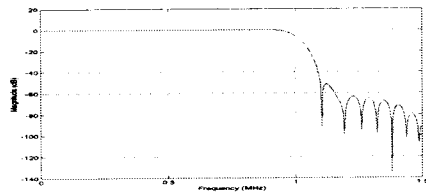


그림 11. 필터의 진폭 특성.
Fig. 11. Magnitude characteristic of filter.

하였다. 아날로그 변조기 부분은 0.35 μm 공정을 이용하여 HSPICE로 모의 실험을 수행하였으며 96 dB의 SNR을 만족시키기 위하여 입력 신호 주파수의 64배로 과표본화하였다. 변조기 회로의 구성은 스위치드 커패시터 적분기, 3비트 A/D 변환기, 3비트 D/A 변환기로 구성되어 있다. 시그마-델타 A/D 변환기 설계에서 안정성 문제와 동작 속도, 고해상도의 구현을 위하여 2차 밀티비트 구조를 선택하였다. 설계된 변환기는 130 MHz 이상에서 동작하고 전력소모는 4.95 mW이다.

참고문헌

- [1] Eric Fogleman, Ian Galton, "A dynamic element matching technique for reduced-distortion multibit quantization in delta-sigma ADCs", *IEEE Trans. Circuits Syst. II* vol. 48, NO. 2, pp. 158-170, Feb. 2001.
- [2] Eric Fogleman, Jared Welz, "An audio ADC delta-sigma modulator with 100-dB peak SINAD and 102-dB DR using a second-order mismatch-shaping DAC", *IEEE J. Solid-State Circuits* vol. 36, NO. 3, pp. 339-348, Mar. 2001.
- [3] Koen Uyttenhove, Michel S. J. Steyaert, "Speed-power-accuracy tradeoff in high-speed CMOS ADCs", *IEEE Trans. Circuits Syst. II* vol. 49, NO. 4, pp. 280-287, Apr. 2002.
- [4] Yves Geerts, Augusto Manuel Marques, "A 3.3-V, 15-bit, delta-sigma ADC with a signal bandwidth of 1.1 MHz for ADSL applications", *IEEE J. Solid-State Circuits* vol. 34, NO. 7, pp. 927-936, July. 1999.
- [5] Steven R, *Delta-Sigma Data Converters*, IEEE PRESS, 1997.
- [6] Pasquale Arpaia, Felice Cennamo, "Modeling and characterization of sigma-delta analog-to-digital converters", *IEEE Trans. Instrumentation Meas.* vol. 52, NO. 3, pp 978-983, June 2003.