

Memory Tester 알고리즘의 VHDL Chip Set 설계 및 검증

VHDL Chip Set Design and implementation for Memory Tester Algorithm

*정지원, **강창헌, ***최창, ****박종식

*경북대학교 전자공학과(전화:(053)940-8839, E-mail : jjw@vlsilab.knu.ac.kr)

** (주) elecs(전화:(053)984-7063, E-mail : dreamkan@vlsilab.knu.ac.kr)

***경북대학교 전자공학과(전화:(053)940-8839, E-mail : cchang@testech.co.kr)

****경북대학교 전자공학과(전화:(053)940-8839, E-mail : jspark@elecscom.com)

Abstract - In this paper, we design the memory tester chip set playing an important role in the memory tester as central parts. Memory tester has the sixteen inner instructions to control the test sequence and the address and data signals to DUT. These instructions are saved in memory with each chip such as sequence chip and address/data generator chip. Sequence chip controls the test sequence according to instructions saved in the memory. And Generator chip generates the address and data signals according to instructions saved in the memory, too.

1. 서 론

최근 설계 기법의 발달과 자동화 그리고 공정 기술의 급격한 발달로 IC의 집적도가 크게 향상되는 추세에 있다. 이에 반비례하여 반도체의 테스트는 더욱 복잡해지고 어려워지며 전체 반도체 생산비 중 테스트 비용의 점유율은 크게 상승하고 있다. 따라서 제조된 IC를 테스트 하는 장비의 중요성도 매우 크다 하겠다.

전체 반도체 생산량 중 가장 많은 비율을 차지하고 있는 메모리 반도체의 경우 기존의 단순 고장 모델링을 적용한 테스트 방법은 만족할 만한 신뢰성을 보장할 수 없게 되었고, 메모리 반도체의 크기 또한 계속 커지고 있기 때문에 테스트에 소요되는 시간과 비용이 아주 커지는 실정이다. 디지털 시스템에서 전체 칩 중에 메모리 칩이 차지하는 비율이 큰 경우는 메모리가 디지털 시스템의 장애율(failure rate)에 큰 영향을 미친다. 따라서, 메모리 테스트는 디지털 시스템의 신뢰도(reliability) 및 가용도(availability)를 높이는데 중요한 역할을 하게 된다.

메모리 테스트는 조립되기 전 웨이퍼 상태에서 이루어지는 웨이퍼 테스트와 조립 공정 이후에 패키지 상태로 이루어지는 패키지 테스트로 구분할 수 있다. 패키지 테스트는 제품의 불량여부를 판별하는 가부(go/nogo) 테스트와 메모리의 성능을 정확하게 판별하는데 목적이 있는 특성(Characterization) 테스트가 있다. 특

성 테스트는 보다 광범위하고 정밀하게 메모리의 각 특성을 확인하는데 목적이 있고, 또한 대부분의 경우 소량의 메모리에 대하여 테스트를 하기 때문에 테스트에 소요되는 시간이 다소 길다 하여도 무방하다. 반면 가부 테스트의 경우 많은 수의 메모리에 대하여 제품의 불량여부를 판별하여야 하기 때문에 무엇보다도 테스트 소요시간이 중요한 요소가 되며 따라서, 짧은 시간에 많은 고장을 검출하도록 하는 것이 중요하다.

기능 테스트(Functional test)의 목적은 메모리가 논리적으로 정확하게 동작하는지를 검증하는 것이다. 대부분의 기능 테스트 방법은 레이아웃에 독립적인 기능 고장 모델만을 다룬다. 이러한 고장 모델은 고착 고장, 결함 고장 등과 같이 포괄적인 고장 형태의 수학적인 축약 형태로써 메모리의 물리적인 레이아웃 결함과 논리 고장간의 관계를 표현하지는 않는다. 이러한 고장의 형태와 물리적인 결함의 형태간 관계가 명확히 규정되지 않는다면 이러한 고장 모델은 높은 고장 검출율을 얻을 수 있으므로 매우 효과적이다.

본 논문에서는 메모리 테스터의 핵심 부품인 메모리 테스터용 Chip set을 설계하고 그 기능을 검증하였다. 설계된 메모리 테스터용 Chip set은 논리 고장 모델의 기능 테스트(Functional test) 알고리즘을 생성하여 주어진 Timing Rate에 맞춰 DUT(Device Under Test : memory)에 인가할 Write, Read를 수행할 신호를 생성한다. 이 신호들은 driver IC를 통해 DUT에 인가

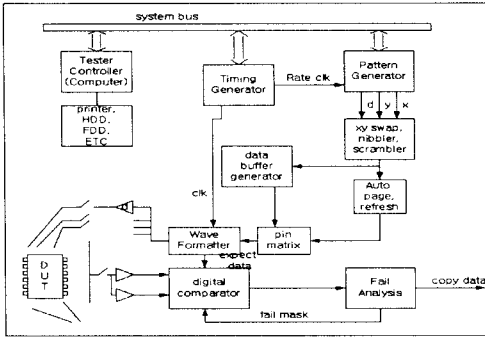
되어 메모리를 테스트 하게 된다.

II. 본 론

2.1 Memory Tester의 전체 개요

본 논문에서 제시한 memory tester용 control chip set의 구성 및 동작에 대한 이해를 돕기 위해서 control chip set이 포함될 Memory tester의 전반적인 구조와 특징들을 설명하고 Memory tester chip set의 구성 및 역할에 대해 설명한다.

2.1.1 Memory tester의 특징 및 구성



<그림 2-1. 메모리 테스터의 개요>

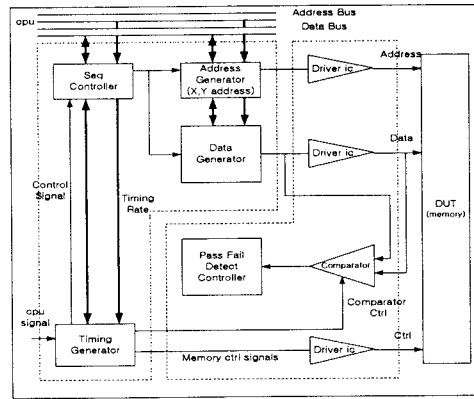
메모리 테스터는 기본적으로 테스터를 제어할 control system과 테스터 그리고 DUT(device under test)로 구성된다. control system은 pc 환경에서 작동 될 수 있으며 메모리 테스터의 감시 및 제어와 동시에 test vector를 Memory tester를 통하여 DUT(Device Under Test)에 인가하고 Memory tester의 Pass/Fail detector의 결과로부터 메모리 가부 판정 여부를 분석하는 기능을 수행한다. Memory Tester는 SD-Ram test를 목적으로 설계 하였고, 100MHz의 시스템 클럭을 사용하고 60ns의 시간 분해능을 가진다. 최대 16.6Mhz의 속도로 기능테스트를 수행할 수 있다. 메모리의 최대 address size는 4Gbit(X addr: 16 bit, Y addr: 16bit)×16 bit data 이다. 사용자가 미리 프로그램 해 놓은 알고리즘을 시작 신호에 따라 내부적으로 instruction을 수행하

여 자동으로 테스트를 수행한다. N , N^2 , $N^{\frac{3}{2}}$ 의 알고리즘 패턴을 생성한다.

메모리 테스트 알고리즘은 assembler language나 기타 컴파일러에 적당한 언어로 text editor를 사용하여 작성되어 질수 있으며 측정 결과의 분석은 text mode 또는 graph 모드에서 수행할 수 있도록 한다.

하나의 메모리를 테스트하기 위한 Memory tester Chip set은 sequence control chip과 X,Y address generator chip, 그리고 data generator chip으로 구성되고 테스터 보드의 구성은 그림 2-2와 같다. 본 논문

에서 구현한 Memory tester chip set은 그림 2-2에서 좌측 점선 내부이다.



<그림 2-2. 메모리 테스터 칩셋의 블록도>

2.1.2 Memory tester의 동작

테스트 전에 필요한 명령어와 데이터를 PC로부터 입력받아 sequece chip과 각 generator chip의 내부 메모리에 저장한다. 테스트가 시작되면 먼저 Memory Write 과정을 수행하게 되는데, test sequence control chip은 내부 메모리에 저장된 instruction과 data를 읽어서 PC(Program Counter)를 생성하여 각 generator chip으로 보낸다. 각 generator chip에서는 PC를 입력받아 이에 해당되는 메모리 주소의 데이터를 읽어서 instruction fetch를 수행하고 여기에 따른 address와 data를 생성해서 DUT로 출력하게 된다. Memory write를 수행한 다음에는 Memory Read를 수행하며 Write 했던 data와 비교해서 pass/fail을 결정짓게 된다.

테스트 시작과 동시에 test sequence control chip은 PC를 생성하게 되는데 이를 위해 테스트 전에 CPU로부터 sequence관련 instruction과 data를 입력받아 저장하기 위한 depth 256×32bits의 내부 메모리를 가지고 있다. 그리고 매 Timing Rate 마다 내부에서 opcode fetch와 execution을 수행하여 PC를 생성해낸다.

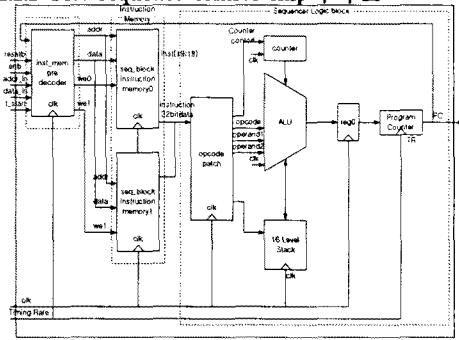
마찬가지로 각 generator chip 내부에도 각 sequece에 맞게 address와 data를 생성해 내기 위해 테스트 전에 CPU로부터 address, data 관련 instruction과 data를 입력받아 저장하기 위한 256 depth×32bits 내부 메모리를 가진다. Timing Rate 마다 바뀌는 PC에 맞춰 instruction fetch와 execution을 수행하여 address와 data를 출력한다.

Timing Generator chip은 설정된 Timing Rate 신호를 각 chip에 보내어 전체 Test Rate를 제어하게 된다.

2.2 Tester chip set의 설계

Test Control Chip Set은 메모리 테스트 수행의 전반적인 기능을 담당하며 Sequece chip, X,Y-Address/data generator chip, 그리고 Timing generator chip으로 구성된다. 설계된 메모리 테스트는 테스트 수행 전에는 sequece chip과 generator chip들 내부 메모리에 테스트 수행에 필요한 명령어와 데이터를 미리 저장한 뒤, 테스트 수행 시에 내부 메모리를 읽어서 instruction fetch와 execution을 수행하는 구조로 되어있다. 따라서 sequence chip과 generator chip들의 구성은 크게 내부에 명령어와 데이터를 저장하기 위한 메모리와 이를 읽어서 연산을 수행하는 ALU 부분으로 구성되어 있다. sequence chip은 테스트 순서를 전반적으로 제어하며, generator chip들은 메모리에 필요한 address와 data 신호를 생성한다. Timing generator chip은 테스트 전에 미리 지정된 Test Cycle로 테스트를 수행하도록 Timing Rate 신호를 생성하게 된다.

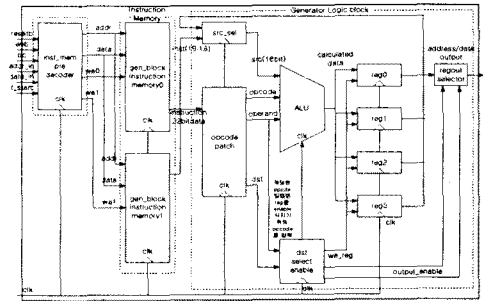
2.2.1 Test sequence control chip의 구조



<그림 2-3. Sequence control chip의 블록도>

CPU와 연결된 address/data 버스와 interface하는 입력 단은 테스트 수행 전에는 내부 메모리에 instruction과 data를 저장하고, 테스트 수행 시에는 메모리에서 instruction과 data를 읽도록 메모리 컨트롤러로 구성된다. 내부 메모리는 Xilinx ise에서 제공하는 core generator의 distributed Ram(256 depth×16 bit)으로 2개의 뱅크로 이루어져 있다. 내부 메모리를 읽어서 PC를 생성하는 연산부는 opcode fetch와 execution의 2단 pipe line 구조로 설계하였다. opcode fetch를 수행하면서 분기 명령어를 수행할 때 클럭 손실이 없도록 opcode prefetch를 수행하며 execution과 동시에 적절한 카운터나 스택 메모리를 제어하도록 제어 신호를 생성한다. 서브루틴 호출이나 루프를 수행할 때 현재 PC를 저장하기 위한 스택 메모리는 16 레벨로 설계하였다. 또한 Repeat 명령어를 수행하기 위해 16bit counter를 설계 하였다. ALU 부분에서는 PC를 생성하기 위한 6개의 명령어를 제공한다.(그림 2-3 참조) 연산된 counter는 레지스터에 저장되었다가 Timing Rate에 맞춰 각 Generator chip으로 출력된다.

2.2.2 X,Y-Address/Data Generator chip의 구조



<그림 2-4. Address/Data Generator chip의 블록도>

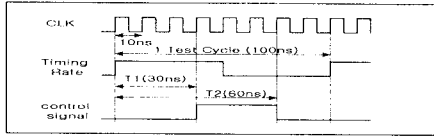
Sequecer chip과 마찬가지로 입력단은 테스트 수행 전에 내부 메모리에 명령어와 데이터를 저장하도록 테스트 컨트롤러 시스템의 bus와 연결되어 내부 메모리를 컨트롤 하도록 메모리 컨트롤러로 설계되었다. sequence chip과 다른 점은 테스트 수행 시에는 sequence chip의 출력 PC를 입력으로 받아 내부 메모리의 address로 사용한다는 점이다. 마찬가지로 내부 메모리는 distributed Ram(256 depth×16 bit)으로 2개의 뱅크로 이루어져 있다. 내부 메모리를 읽어서 address와 data를 생성하는 연산부는 opcode fetch와 execution의 2단 pipe line 구조로 설계하였다. ALU 부분에서는 address와 data를 생성하기 위해 산술 연산과 논리 연산을 수행하도록 10개의 명령어를 제공한다. 각 연산에 필요한 src는 내부 메모리나 내부 레지스터의 데이터가 될 수 있으며 src가 내부 레지스터의 데이터인 경우 opcode fetch를 수행할 때 내부 레지스터에 저장된 src data를 가져오면서 발생하는 클럭 손실을 없애기 위해 opcode prefetch를 수행하여 opcode fetch와 동시에 src data를 선택하도록 설계하였다. generator chip에서의 연산은 메모리에 인가할 address와 data에 대한 연산이 추가 되며 이 연산을 위해 내부에 네 개의 레지스터를 제공한다. ALU에서 연산을 수행할 때 ALU에서 연산된 데이터 값이 저장될 dst 레지스터 선택하기 위한 dst register selector block이 있으며 연산되어 레지스터에 저장된 data와 address 값을 Timing Rate에 맞춰 출력하도록 register selector block을 출력단에 설계 하였다. (그림 2-4참조)

2.2.3 Timing Generator chip의 구조

Timing Generator chip에서는 메모리 테스트의 Test Cycle을 제어하기 위한 Timing Rate 신호와 DUT를 제어하기 위한 각종 control 신호들을 생성한다. 각 신호들을 생성하기 위해 16개의 16bit 카운터를 설계하여 1개의 Timing Rate 신호와 15개의 DUT control 신호를 생성하도록 한다. Timing Rate 신호는 테스트 중에 Timing Rate를 바꿀 수 있도록 4개의 내부 레지스터를 제공한다. Timing Rate 신호는 선택된 내부 레지스터 값과 카운터 값을 비교하여 생성해 내며 최저

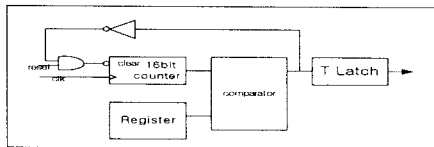
1.5Khz의 Test Cycle을 가진다.

III. 결 론



<그림 2-5. Control signal 생성 개요>

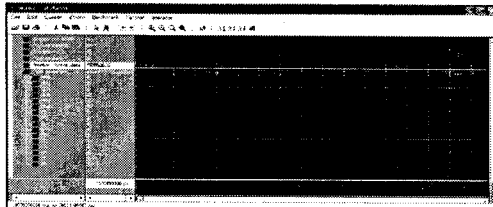
control 신호는 메모리를 read 또는 write를 제어할 것인지의 정보를 가지는 레지스터와 그리고 T1, T2 값을 저장하는 레지스터를 가진다. 신호 생성은 그림 2-5와 같이 카운터 값과 T1, T2 레지스터 값을 비교해 생성해 낸다. 이상의 구조로 이루어진 Timing Generator chip의 기본 블록은 그림 2.6과 같이 이루어져 있다.



<그림 2-6. Timing generator chip의 submodule>

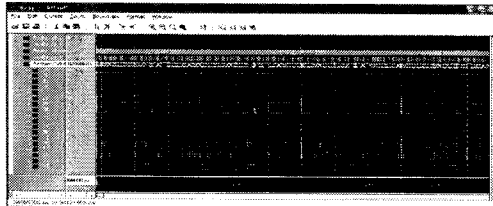
2.3 설계한 chip set의 검증

본 논문의 chip set은 Xilinx ise 5.1를 이용하여 설계하였고, Model_sim XE 사용하여 검증 하였다. 그림2-7은 테스트 준비를 위해 chip set 중 하나의 chip의 내부 메모리에 명령어를 쓰는 과정이다. 각 인스트럭션에 따라 내부 메모리에 저장된 데이터 값이 출력되는 것을 확인할 수 있다.



<그림 2.7. chip 내부 메모리에 data 저장>

그리고 테스트가 시작된 후 명령어에 따른 address와 data 출력 신호를 검증한 결과를 그림2-8에 나타내었다. 시면 관계상 32bit address와 16bit data 채널의 출력 파형을 모두 나타낼 수 없어서 일부만 표시하였다. 각 인스트럭션으로 연산된 address 혹은 data의 파형이 출력되는 것을 확인할 수 있다.



<그림 2.8. 테스트 수행 과정중 output wave form>

본 논문은 메모리 테스트를 수행하기 위해 sequencer의 내부 명령어에 따른 테스트 흐름을 제어하고 generator의 내부 명령어에 따라 address와 data를 계산하여 DUT에 인가하도록 chip set을 설계하고 검증하였다. 설계한 칩은 메모리의 기능 테스트 수행 시 여러 가지 복잡한 알고리즘을 사용자가 임의로 구현할 수 있도록 함으로서, 메모리 테스트 방법에 유연성을 주며, 좀더 효율적인 테스트를 가능하게 하였다. 그리고 각 기능 블록을 Chip set으로 구현함으로써 address/data generator chip을 추가하여 여러 개의 메모리를 동시에 테스트 할 수 있도록 하였다. 또한 향후 ALPG(algorithmic Pattern Generator)를 추가하여 사용자 정의 알고리즘 이외에 메모리 테스터에서 제공하는 알고리즘으로 간단한 고장 테스트 할 수 있도록 수정이 용이하게 하였다.

본 논문에서 설계한 Chip은 VHDL로 코딩하였으며 Model sim XE로 delay를 고려한 timing simulation까지 수행 하였다. 향후 설계된 chip set은 Xilinx社의 Spartan-II FPGA를 사용하여 구현할 것이다. Memory tester chip set을 FPGA로 구현할 경우 입출력 pin수의 제한 또는 내부 Gate 수의 제한을 고려하여 One chip으로 구현하기 위한 연구가 계속 수행되어야 한다.

[참 고 문 헌]

- [1] A. J. van de Goor, "Testing Semiconductor Memories," Theory and practice, John Wiley & Sons, 1991.
- [2] M. S. Abadir, and J. K. Raghbati, "Functional Testing of Semiconductor Random Access Memories," ACM Computing Surveys, 15,pp. 175-198. 1983
- [3] P. K. Veenstra, "Random Access Memory Testing: Theory and Practice," IEE Proceedings G, 1988.
- [4] M. Marinescu, "Simple and Efficient Algorithms for Functional RAM Testing," proc. of IEEE International Test Conference, 1982.
- [5] G. Perry, "The Fundamentals of Digital Semiconductor Testing," Soft Test Inc. 1996.
- [6] 강성호, 김규철, 소병세, 홍성제 공저, "메모리 테스트", 대영사, 2001
- [7] Y.W. Yoon, J.S. Moon, B.M. Moon, S.K. Ahn, and D.K. Jeong, "A study on the Architecture and Logic Block Design of FPGA," 전자공학회 논문지, pp.140-151, 1996. 11