

대화면 구동에 따른 데이터 기입 문제 해결을 위한 PDP 구동파형 설계

Design of PDP driving waveform for the addressing problem with wide screen driving

오 순 택*, 김 준 형**, 이 동 호***

- * 경북대학교 전자공학과 고집적회로전공(전화:(053)940-8857, 팩스:(053)950-5505, E-mail : ost97@hanmail.net)
- ** 경북대학교 전자공학과 고집적회로전공 (전화:(053)940-8857, 팩스:(053)950-5505, E-mail : jjup@hanmail.net)
- *** 경북대학교 전자공학과 고집적회로전공(전화:(053)950-6557, 팩스:(053)950-5505, E-mail : dhlee@ee.knu.ac.kr)

Abstract : Display devices are becoming increasingly important as an interface between humans and machines in the growing information society. In display device, PDP(Plasma Display Panel) has many advantages in that wide screen, light weight, thin, wide viewing angle and unaffected by magnetic field.

In this paper, modified ramp waveform is suggested by V_t Close Curve, and PDP driving circuit is designed by modified ramp waveform. this modified ramp waveform have more addressing wall voltage better then the old ramp waveform.

Keywords : PDP, modified ramp waveform, V_t Close Curve

1. 서론

최근 디지털 기술이 급격히 발달하면서 휴대폰 및 노트북 컴퓨터와 같은 각종 단말기의 디스플레이 장치는 부피면에서 점점 소형화 되고 있다. 그렇지만 가정용 텔레비전 및 집안의 극장이라고 할 수 있는 홈서버터 시스템등에 있어서는 사용자들이 보다 넓은 화면을 선호하는 추세에 맞추어 화면이 대형화되고 있다. 현재까지는 경제성 및 화질 면에서 가장 실용적인 CRT가 가장 많이 사용되고 있다. 이 CRT는 휘도, 콘트라스트 등 여러 가지 면에서 우수한 장점을 갖고 있지만, 구조적으로 부피가 크고 무거우며 대형화에 따라 비용과 무게 및 부피가 기하급수적으로 증가하는 단점을 가지고 있다. 이러한 단점 때문에 대형 화면의 경우 대형 화면이면서도 두께가 얇고 가벼운 표시장치인 평판표시소자(FPD)를 주로 사용하고 있다. 대표적인 평판형 표시소자로는 얇고 가볍고 저소비 전력과 저동작 전압을 갖추고 있는 액정 표시기(LCD)나 얇고 안전 고체 표시소자인 전계 발광소자(ELD), 전계방출소자(FED), 플라즈마 표시기(PDP) 등이 있다. 이들 중, 특히 플라즈마 표시기(PDP)는 그 구조의 간단함과 대형화의 용이함, 저가의 재료 등의 장점을 가지고 있어 CRT를 대체할만한 차세대 디스플레이 소자로 가장 유력하다.

그러나, 현재 상용화되어 있는 플라즈마 표시기(PDP)는 Reset구간, Address구간, Sustain구간이 구별된 ADS구동방식을 사용하기 때문에 화면이 커지고 해상도가 높아짐에 따라서 Address구간이 길어질 뿐만

아니라 Address구간에서 생겼던 벽전하가 구동라인이 길어짐에 따라 조금씩 소멸되는 현상이 발생하여 구동라인이 길어질수록 데이터 기입이 잘 안되는 문제가 발생하게 된다.

본 논문에서는 ADS (Address Display Separation) 구동방식에 주로 사용되는 기존의 RAMP reset파형을 개선하여 Address방전에 유리하도록 더 많은 벽전하를 쌓는 구동 파형을 V_t close curve를 사용하여 제안하고 이 방식의 verilog HDL기술과 VirtexE FPGA칩을 사용한 AC-PDP에서의 회로구현 및 검증결과에 대해 기술한다.

II. AC-PDP에서의 V_t Close Curve[3][6]

유전체 층에 벽전하가 균일하게 분포한다고 가정하면 3전극 면방전형 AC-PDP의 셀 구조와 대략적인 등가 회로 모델은 그림 1.1과 같다. 그림 1.1의 등가회로 모델은 6개의 전극으로 구성된다. X, Y, A의 외부 전극과 실제로 방전이 일어나는 X', Y', A'의 내부 전극으로 구성된다. 그리고 각각의 내부 전극 사이에는 Gap capacitors (C_{GX}, C_{GY}, C_{GA})가 존재하고 각각의 내부 전극과 외부 전극 사이에는 Wall capacitors(C_{wY}, C_{wX}, C_{wA})가 존재한다. 방전시 각각의 Wall capacitors(C_{wY}, C_{wX}, C_{wA})에는 Q_Y, Q_X, Q_A 의 벽전하가 쌓이게 된다. V_{YA} 는 Y전극과 A전극 사이에 가해지는 인가전압, V_{YX} 는 Y전극과 X전극 사이에 가해지는 인가전압, V_{XA} 는 X전극과 Y전극 사이에 가해지는 인가전압으로 정의한다. 그리고 V_{YA} 는 Y'전극과 A'전극에 가해지는 Gap

voltage, $V_{Y'X}$ 은 Y'전극과 X'전극에 가해지는 Gap voltage, $V_{X'A}$ 은 X'전극과 A'전극에 가해지는 Gap voltage 로 정의한다. 그러면 Gap voltage($V_{Y'A}$, $V_{Y'X}$, $V_{X'A}$)는 방전개시 전압 이상이 될 수 없으므로 인가전압(V_{YA} , V_{YX} , V_{XA})에 의해 Gap voltage가 방전개시 전압 이상이 되면 Gap voltage는 한계전압에 다다르게 되고 방전이 개시 되면서 Wall voltage가 쌓이게 된다.

그림 1.1에서 전하는 2개의 전극 사이에서만 이동하고 δQ 는 방전시에 벽전하의 변화량이라고 가정하면 다음과 같은 방정식을 얻을 수 있다.[6]

<XY 방전시>

$$\frac{V_{WAY}}{V_{WXY}} = \frac{\delta Q \frac{1}{C_{WY}}}{\delta Q \left(\frac{1}{C_{WY}} + \frac{1}{C_{WX}} \right)} = \frac{1}{\left(1 + \frac{C_{WY}}{C_{WX}} \right)} \dots \dots \dots \text{식 3.1(a)}$$

<AY 방전시>

$$\frac{V_{WAY}}{V_{WXY}} = \frac{\delta Q \left(\frac{1}{C_{WY}} + \frac{1}{C_{WA}} \right)}{\delta Q \frac{1}{C_{WY}}} = 1 + \frac{C_{WY}}{C_{WA}} \dots \dots \dots \text{식 3.1(b)}$$

<AX 방전시>

$$\frac{V_{WAY}}{V_{WXY}} = \frac{-\delta Q \frac{1}{C_{WA}}}{\delta Q \frac{1}{C_{WX}}} = -\frac{C_{WX}}{C_{WA}} \dots \dots \dots \text{식 3.1(c)}$$

(단, 여기서 V_{WAY} 및 V_{WXY} 는 방전시에 생성되는 AY 및 XY의 Wall voltage 이다.)

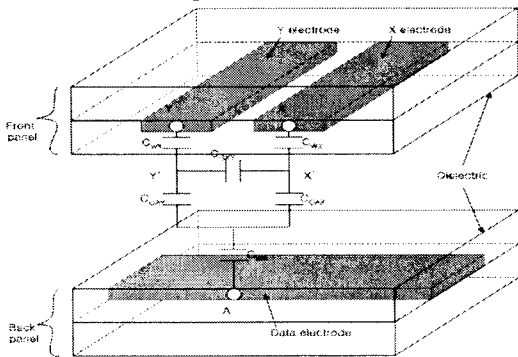


그림 1.1 3전극 면방전형 AC-PDP의 셀 구조와 대략적인 등가모델

Gap voltage를 벡터적으로 표현한 것을 Cell voltage 라고 정의 하면 앞에서 살펴본 것처럼 Gap voltage의 한계가 있으므로 그림과 같이 Cell voltage plane에서의 V_t close curve는 육각형의 모양이 된다. 직교 좌표에서 X좌표는 XY Cell voltage(V_{CXY})로 Y좌표는 AY Cell voltage(V_{CAY})로 그리고 나머지 좌표를 AX Cell voltage(V_{CAX})표시하면 그림 1.2와 같다.

V_t close curve는 그림 1.2와 같이 모든 Cell voltage의 방전개시 전압을 나타내는 6면을 가진 육각형으로 나타낼 수 있다. 그리고 각각의 육면의 방전개시 전압

은 V_{IAX} , V_{IAY} , V_{IOY} , V_{IXA} , V_{IYA} , V_{IYX} 로 나타내었다. 그리고 각각의 꼭지점은 2개의 방전개시 전압이 동시에 만족하는 점을 나타낸다.

PDP cell의 상태가 초기화 되어 있고 각각의 전극 사이의 Gap voltage의 방전개시 전압이 같다고 가정하면 인가전압에 따른 Cell voltage 및 Wall voltage의 변화는 그림 1.2와 같다. 그림 1.2에서 알 수 있듯이 인가전압의 크기에 따라서 Wall voltage의 크기가 결정되고 Cell voltage의 위치에 따라서 Wall voltage의 방향이 결정됨을 알 수 있다. 인가전압이 증가하면 Cell voltage(V_C)도 증가하지만 Cell voltage(V_C)가 한계전압에 도달하게 되면 인가전압이 증가할수록 Wall voltage(V_W)가 역으로 쌓이게 된다. 즉 벡터의 합인 $\vec{V}_C = \vec{V}_A + \vec{V}_W$ 로 나타낼 수 있다.

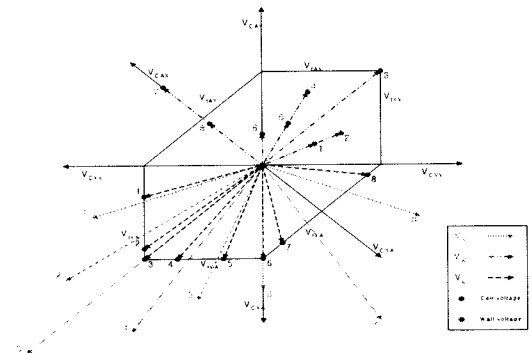


그림 1.2 인가전압에 따른 V_t close curve에서의 V_W , V_C 변화

III. Ramp Reset 파형에 따른 V_A , V_C , V_W 변화 분석
일반적으로 사용되는 Ramp reset 구동파형은 그림 2.1 (a)와 같다. 그리고 각 구간에 따른 V_A , V_C , V_W 의 변화를 분석하기 위해 reset 구간을 t_5 까지 나누었다. t_1 구간에서 t_5 구간까지의 V_A , V_C , V_W 의 변화는 그림 2.1 (b)와 같이 나타낼 수 있다.

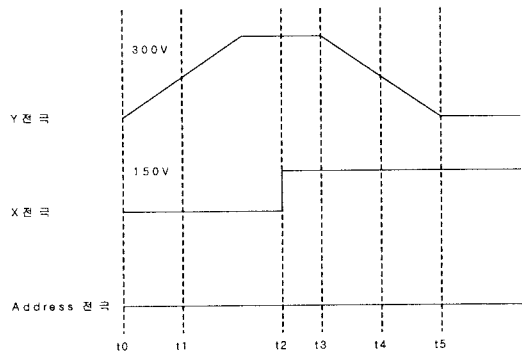


그림 2.1 (a) Ramp reset 구동 파형

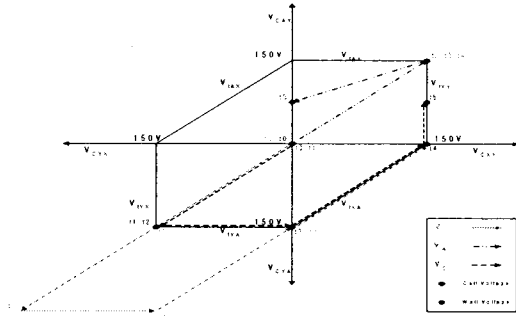


그림 2.1 (b) Ramp reset 구동 파형에 따른 V_A , V_C , V_W 변화

IV. 제안된 Ramp reset 파형에 따른 V_A , V_C , V_W 변화 분석
 본 논문에서 제안하는 Ramp reset 구동파형은 그림 2.2 (a)와 같다. 기존의 Ramp reset 구동파형과의 차이점은 t3에서 t4구간사이에서 X전극의 전압이 150V에서 300V까지 증가된다는 것이다. 제안된 Ramp reset 구동파형에 따른 t0에서 t6구간까지의 V_A , V_C , V_W 의 변화는 그림 2.2 (b)와 같이 나타낼 수 있다.

그림 2.1 (b)와 비교해서 알 수 있듯이 Wall voltage 및 Cell voltage가 V_{CAY} 방향으로 증가됨을 알 수 있다. 즉 addressing을 위한 벽전하가 더 많이 쌓일 수 있음을 이론적으로 증명하였다.

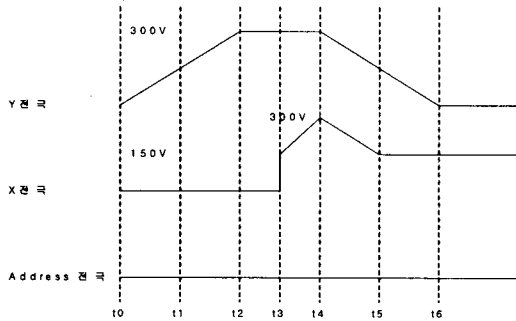


그림 2.2 (a) 제안된 reset 구동 파형

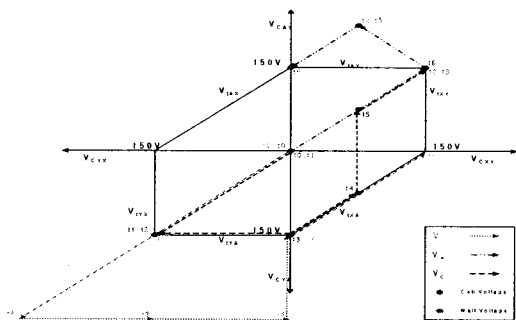


그림 2.2 (b) 제안된 reset 구동 파형에 따른 V_A , V_C , V_W 변화

V. 제안된 구동 회로 설계

본 논문에서의 이론을 실험하기 위해 아래 그림 3.1, 3.2와 같은 구동회로를 설계하였다. 디지털 로직 부분은 Xilinx사의 VIRTEXE XCV600HQ240 모델을 사용하였고 패널은 오리온 전자의 7인치 패널을 사용하였다.

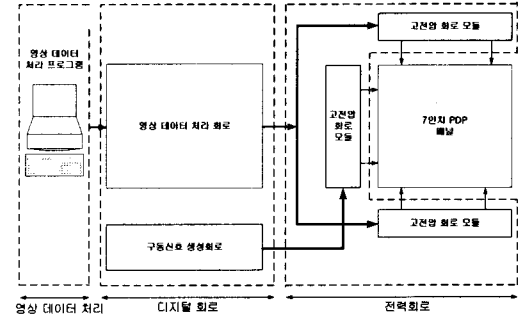


그림 3.1 교류형 플라즈마 표시기 시스템 구조

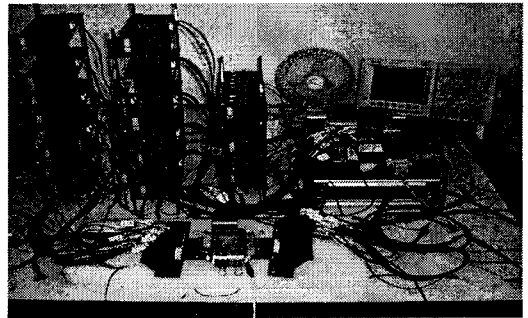


그림 3.2 설계한 전체 시스템

VI. 실험 결과 및 고찰

본 논문의 실험에서 오실로스코프를 사용해 측정된 Reset 구간 파형은 그림 4.1 (a), 4.1 (b)와 같다. 회로상의 문제로 깨끗한 파형은 나오지 않음을 알 수 있었다. 그리고 측정상의 편의를 위해 X_{reset} 전압을 그림 4.1 (a), 4.1 (b)와 같이 정의하였다.

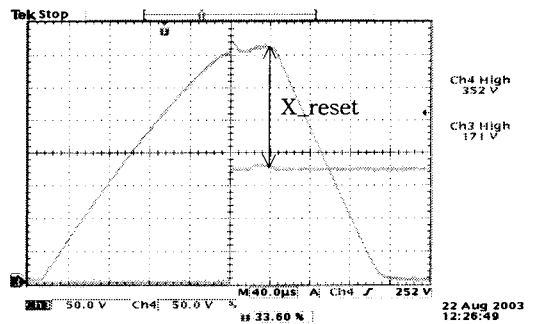


그림 4.1 (a) X_{reset} 0V일 때 Reset 구간 파형

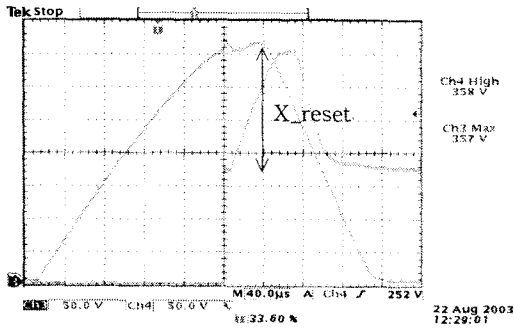


그림 4.1 (b) X_reset 180V일 때 Reset 구간 파형

X_reset 전압의 증가에 따른 Address 방전 전류의 피크치 변화는 그림 4.2와 같고 X_reset 전압에 따른 Sustain 방전 전류의 피크치 변화는 그림 4.3과 같다. 그림에서 알 수 있듯이 X_reset 전압이 180V까지 증가함에 따라 Address 방전 전류의 피크치는 약 50mA까지 증가하지만 Sustain 방전 전류의 변화는 X_reset 전압에 별 영향을 받지 않음을 확인하였다. 따라서 본 논문에서 제안된 구동 파형을 사용하면 Wall voltage 및 Cell voltage가 V_{CAV} 방향으로 증가하게 되므로 Address 구간에서의 데이터 기입이 용이하게 됨을 확인하였다. 즉 구동라인이 길어지더라도 Address 구간에서 쌓이는 벽전하의 양이 많아지므로 데이터 기입의 문제를 해결할 수 있을 것이다.

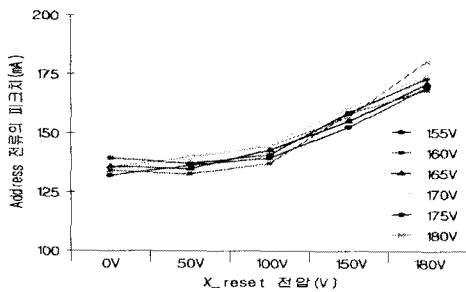


그림 4.2 X_reset 전압에 따른 address 방전 전류의 피크치 변화

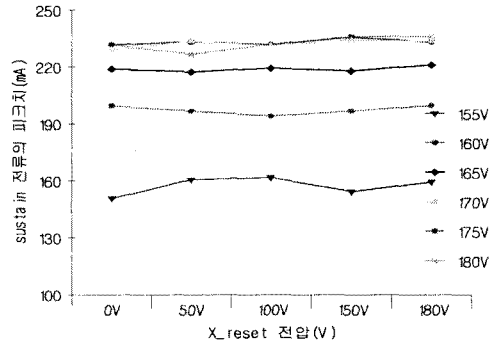


그림 4.3 X_reset 전압에 따른 Sustain 방전 전류의 피크치 변화

참고문헌

- [1] Joong Kyun Kim et al., "The Addressing Characteristics of an Alternating Current Plasma Display Panel Adopting a Ramping Reset pulse" *IEEE Trans. Electron devices*. VOL.48, NO. 8, AUGUST 2001 pp.1556-1562
- [2] Heejae Kim et al., "Voltage Domain Analysis and Wall Voltage Measurement for Surface-Discharge Type ac-PDP" *SID 01 DIGEST* pp.1026-1029, 2001
- [3] K. Sakita et al., "High-Speed Driving Waveform Analysis Using Wall Voltage Transfer Function for Three Terminals and V_t Close Curve in Three-electrode Surface-Discharge AC-PDPs" *SID 01 DIGEST* pp.1022-1025, 2001
- [4] Jae Sung Kim et al., "Modified Ramp Reset Waveform for High Contrast Ratio in AC PDPs" *IMID 02 DIGEST* pp.199-202, 2002
- [5] Sung-Hyun Lee et al., "A New Driving Waveform to Improve Dark Room Contrast Ratio in AC Plasma Display Panel" *IMID 02 DIGEST* pp.203-206, 2002
- [6] Koichi Sakita et al., "Ramp Setup Design Technique in Three-electrode Surface-discharge AC-PDPs" *SID 02 DIGEST* pp.948-951, 2002
- [7] Heejae Kim et al., "Voltage Domain Analysis and Wall Voltage Measurement for Surface-Discharge Type ac-PDP" *SID 01 DIGEST* pp.1026-1029, 2001