

Nano-level Device 제조를 위한 신 메탈 전극 세정에 관한 연구

변재호*, 송용화*, 천희곤*

*울산대학교 (청정기술·박막공정 연구실)

초 록

본 연구는 nano-level 디바이스 제조를 위한 새로운 금속 전극인 W 과 Ti metal 표면 세정에 관한 연구이다. 기존 SC-1($\text{NH}_4\text{OH}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$) 세정 용액에서 산화제 (H_2O_2)를 사용하지 않는 dilute NH_4OH 세정은 전극 사이 절연막 표면의 particle 제거가 가능하면서 노출된 metal 막의 세정 damage를 최소화시키는 것을 확인 했다. SC-1 용액 내에 산화제 미 첨가 효과는, metal 막의 식각 현상을 억제 시키고, 절연막 표면의 particle 제거 효과에 영향을 미치지 않는 것으로 판단된다. 이러한 방법은 short time 공정이 필요한 관계로, spin type wet 장비 채택으로 세정 효과의 극대화를 얻을 수 있을 것으로 판단된다.

1. 서 론

Giga scale integration 디바이스 제조는 빠른 실행속도와 cell capacitance 증대를 위한 새로운 금속 전극 및 high-k 물질 도입이 요구되어진다[1]. Gate oxide 전극으로써 텅스텐과 같은 metal 물질의 도입을 가정하면, 표면 파티클 제거를 위하여 지금까지 가장 일반적으로 사용했던 SC-1($\text{NH}_4\text{OH}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$) 습식 세정법의 사용이 어려워진다[2]. 이는 SC-1 세정액에 의한 metal film의 빠른 식각 속도가 원인이고, 따라서 극미세 전극의 손상을 최소화 하고 표면 particle를 제거 할 수 있는 새로운 세정 방법 개발이 요구되어 진다. 본 실험은 새로운 전극 재료로 연구되고 있는 W과 Ti 막이 노출된 표면의 particle 제거를 위한 SC-1 ($\text{NH}_4\text{OH}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$) 세정시의 문제점을 해결하기 위해서 chemical 조건에 따른 세정 효과를 비교하였다. 이를 통해서 향후 nano-level 디바이스 제조시 메탈 표면의 particle 제거 세정 방법을 제안하고자 한다.

2. 실험 방법

본 실험을 위해서 200mm 직경의 p-type (100) 실리콘 웨이퍼를 사용하였다. 먼저, 웨이퍼 표면의 pre-cleaning 으로서 SPM($\text{H}_2\text{SO}_4:\text{H}_2\text{O}_2=4:1 @120^\circ\text{C}$) 및 DHF(0.5% HF) 에 각각 10분과 30초 동안 dipping 하고, Ultrapure water(UPW) 린스 그리고 고순도 질소 gas를 사용 wafer 표면을 건조시켰다. 실험에 사용된 텅스텐 (W) 과 티탄니움(Ti) 막은 스퍼터링 방법을 사용 제조되었다. 용액내 film 식각 속도를 측정하기 위해서 여러 가지 조건의 SC-1 세정 처리 후 metal 막은 4-point probe 장비를 사용하였다.

Low Pressure Chemical Vapor deposition(LPCVD) 장치를 이용한 Tetra-ethyl Ortho-silicate(TEOS) 산화막은 SC-1 조건에 따른 파티클 제거 효과를 조사하기 위해서 사용되었다. 웨이퍼 표면 오염은 파티클 source silica를($>0.2\mu\text{m}$) 초순수에 첨가 후 세정 전처리가 끝난 웨이퍼를 10분간 dipping 시키는 방법을 사용하였다. 세정 전후 파티클 유의차는 Surfscan 장비로 측정하였다. 웨이퍼 표면 micro-roughness 는 Atomic Force Microscope (AFM)을 이용 측정하였고, 이때 pattern 면적은 $5\mu\text{m} \times 5\mu\text{m}$ 였다.

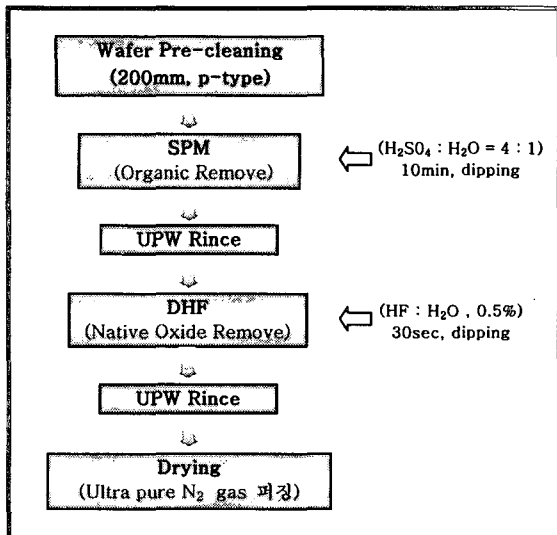


그림1. 실리콘 웨이퍼 pre-cleaning

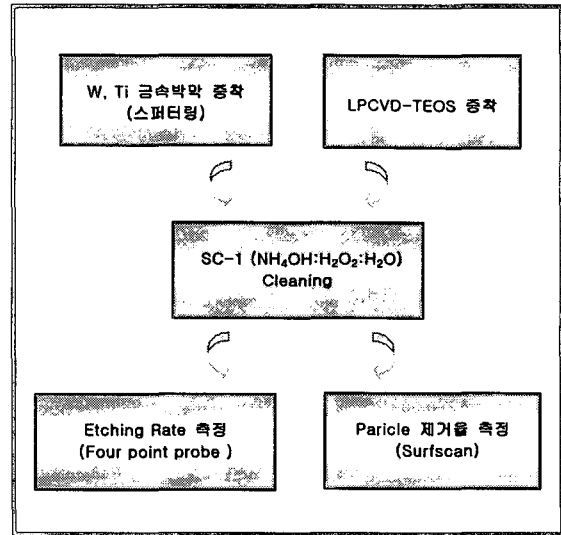


그림2. 공정순서

3. 실험결과 및 고찰

그림 3은 SC-1세정 조건에 따른 W 및 Ti 막 식각 속도를 나타낸다. 온도 증가에 따라서 식각 속도는 크게 증가함을 알 수 있다. 텅스텐 막 식각 속도가 티타늄 보다 높은 값을 나타내는데, 이는 동일 용액 내에서도 막의 안정성 차이에 기인하는 것으로 판단된다 [3]. 이러한 식각 속도는 현재 particle을 제거하기 위해서 가장 일반적으로 사용되는 SC-1 세정 조건 ($\text{NH}_4\text{OH}/\text{H}_2\text{O}_2/\text{H}_2\text{O} = 1:4:20$)이 메탈 표면의 막 attack 때문에 nano-level의 메탈 전극에는 사용이 불가능하다.

그림 4는 SC-1 용액 내 산화제 양에 따른 metal 막의 식각 속도를 나타낸다. 산화제 양을 감소시키면 막의 식각 속도는 감소하고 첨가하지 않는 경우 막의 식각이 일어나지 않는다. 본 결과로 부터, 산화제 첨가는 메탈 막 식각에 필수적이고, 그 양 증가에 의해서 식각 속도가 증가되는 것을 알 수 있다. 따라서 메탈 막 식각은 산화제에 의한 표면의 산화 그리고 용액 특성에 따른 메탈 산화막 식각의 2-step 반응에 의해서 설명되어질 수 있다 [4].

그림 5는 dilute NH_4OH 용액 내 농도에 따른 film 식각 속도 이다. 농도에 따라서 약간의 차이는 있지만 이는 4-point probe장비 측정 error range 내 값으로써, 산화제가 첨가되지 않는 경우 metal 막의 식각은 NH_4OH 농도에 관계 없음을 알 수 있다. 그림 4의 결과로 판단하면, 산화제가 존재하지 않는 경우 표면 산화가 일어나지 않기 때문으로 추측된다.

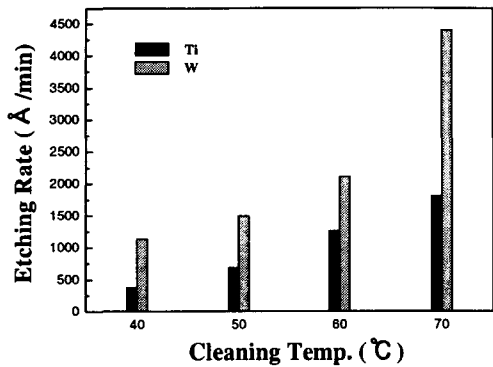


그림3. 온도에 따른 Etch Rate

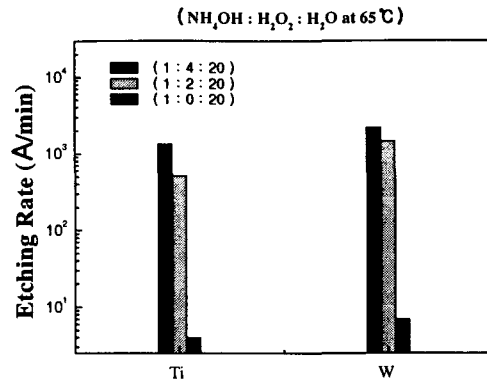


그림4. 세정액 혼합비에 따른 Etch Rate

그림 6은 SC-1 용액 내 산화제 양에 따른 세정 후 메탈 표면의 거칠기를 측정 한 결과이다. 표면 거칠기 값은 산화제 양 증가에 따라서 두 필름 모두 약간 증가한다. 그러나, 본 값은 micro-roughness의 결과인 관계로 큰 차이가 나타나지 않은 것 처럼 보이지만, 그림 4 및 5의 식각 속도 차이로 판단하면 산화제 첨가시 macro 한 표면 거칠기는 훨씬 더 큰 값 차이를 나타낼 것으로 추정된다.

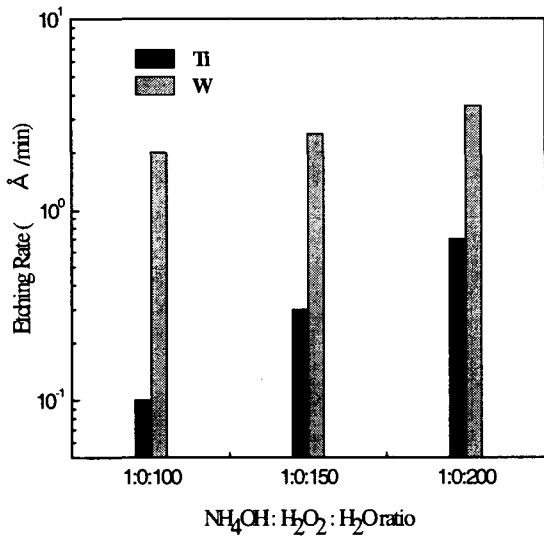


그림 5. NH₄OH의 농도 희석에 따른 etch rate

		NH ₄ OH / H ₂ O ₂ / H ₂ O (for 15sec)		
		(1 : 0 : 20)	(1 : 2 : 20)	(1 : 4 : 20)
Ti				
	RMS : 0.435nm	RMS : 0.444nm	RMS : 0.520nm	
W				
	RMS : 3.054nm	RMS : 4.403nm	RMS : 5.398nm	

그림 6. metal 표면의 roughness

그림 7은 SC-1 세정액의 산화제 양에 따른 silica particle의 제거 특성이다. 산화막 표면에 흡착된 silica particle은 용액 내 산화제 유무 및 양에 차이가 없음을 알 수 있다. 이는 particle 제거에 필요한 under-layer의 균일한 식각은 실리콘 표면과 달리 산화막 표면에서는 산화제가 존재하지 않아도 일어날 수 있기 때문이다. 그림 8은 dilute NH₄OH 만을 사용 wafer 표면 세정 후 존재하는 표면 damage 결과이다. 본 결과로 부터 silicon이 노출된 표면에 NH₄OH 용액과

직접적 표면 반응으로 인한 표면 attack이 심각하게 발생함을 알 수 있다. 따라서 metal 표면에 존재하는 particle을 제거하기 위해서 dilute NH_4OH 세정 시 silicon 표면 노출 유무를 반드시 확인해야 한다.

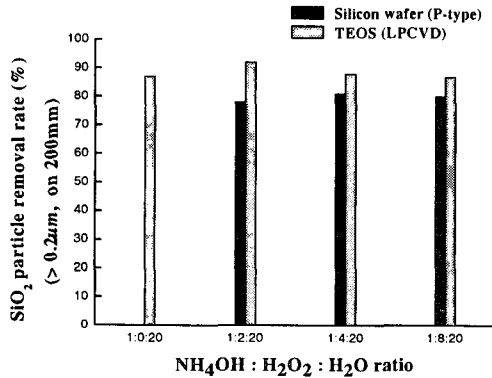


그림 7. 파티클 제거율

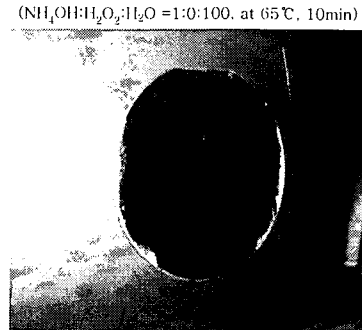


그림 8. 실리콘 표면의 attack 현상

4. 결론

본 실험을 통해서 nano-level 디바이스 제조를 위한 금속 전극 표면 세정은 dilute NH_4OH 세정 방법이, 전극 사이 절연막 표면의 particle 제거 특성 그리고 메탈 막 표면의 damage-free 관점에서 양호한 특성을 나타내는 것을 확인했다. 이때 silicon 노출은 NH_4OH 용액 내에서 빠른 반응이 우려됨으로 세정 시, 표면 노출 필름 종류에 대한 확인이 반드시 필요하다. 따라서 wafer back-side 등의 보호를 위해서 spin type wet system이 적합할 것으로 판단된다. 본 세정 방법은 탁월한 파티클 제거 효과 및 현재 채용 중인 chemical을 그대로 사용이 가능하며, 공정이 매우 단순하기 때문에 투자 측면에서도 많은 장점이 있음을 알 수 있다.

참고문헌

- [1] Bijan Davari, et. Al., VLSI Circuits Symp., 5, 1999
- [2] M. Itano, F. W. Kern, Jr. R. Reed, W. Rosebery, M. Miyashita, I. Kawanabe, and T. Ohmi, IEEE Trans. Semic. Manuf., 5, 114, 1992
- [3] M. Pourbaix, in Atlas of Electrochemical Equilibria in Aqueous Solutions, Pergamon Press, London, 1996
- [4] Steven Verhaverbeke, Dielectric Breakdown in Thermally Grown Oxide Layers, 1993