

Sub-90nm 급 Logic 소자에 대한 기생 저항 성분 추출의 연구

이준하* , 이흥주* , 이주율**

*상명대학교 컴퓨터시스템공학전공, **중앙대학교 전자전기공학부

초록

Sub-90nm급 high speed 소자를 위해서는 extension영역의 shallow junction과 sheet 저항의 감소가 필수적이다. 일반적으로 기생저항은 channel저항의 약 10-20%정도를 차지하도록 제작되므로, 이를 최소화하여 optimize하기 위해서는 기생저항에 대한 성분 분리와 이들이 가지는 저항값에 대한 정량적 계산이 이루어져야 한다. 이에 본 논문은 calibration된 TCAD simulation을 통해 90nm급 Tr.에서 각 영역의 저항성분을 계산, 평가하는 방법을 제시한다. 이 결과, 특히, extension영역의 표면-accumulation부분이 가장 개선이 있어야 할 부분으로 분석되었으며, 이 저항은 gate하부에 존재하는 extension으로부터 발생하는 측면 doping의 tail영역으로 인해 형성되는 것으로, doping의 abruptness가 가장 중요한 factor인 것으로 판단된다.

1. 서론

이상적으로 MOSFET의 구동 전류는 채널 저항에 의해 제한되지만, 현실적으로는 다른 저항성분들이 소자의 성능 저하를 결정하게 된다.^[1] 이와 같은 기생저항 및 capacitance는 전류 구동력을 감소시키거나 node capacitance를 증가시키게 되어 결과적으로 CMOS delay에 영향을 주게 된다. Sub-90nm급 소자의 off-current를 최소화하고 on-current를 유지하기 위해서 많은 연구들은 shallow junction과 heavily doped된 extension의 형성이 short-channel effect와 저항증가로 인한 소자 제작상의 문제점들을 해결할 수 있는 것으로 발표하고 있다.^{[2][3]}

본 연구에서는 이를 기초로 하여 고속/고성능 소자에 대한 저항적 측면에서의 분석과 성능향상을 위한 방향을 TCAD simulation 을 통해 분석하였다. 제안된 방법이 high-speed 제품의 개발에 기여하는 측면은 공정 조건에 따라 parasitic 저항이 어떻게 변화하고 또한 parasitic 저항 중에서 각 영역이 가지는 sensitivity 를 분석함으로써 공정 optimize 의 방향과 이를 위한 공정 window 를 신속하고 효율적으로 추출할 수 있다는 것이다.

2. 실험 방법

1) Calculation of Parasitic Resistance

MOSFET소자에서 고려하여야 할 5가지 저항성분과 전류흐름을 도식적으로 그림1에 나타내었다.^[4] 그림1.에서는 source혹은 drain 부분의 한 방향만을 나타내었지만, source영역은 current가 감소하게 되면 gate의 구동능력도 저하되기에 특히 고려해야 할 부분으로 판단된다.

분리된 저항 성분중에서 ①~④번은 기생저항으로 각각 contact저항, shunt저항, extension저항 및 accumulation저항으로 분류할 수 있고, ⑤번은 intrinsic한 channel저항성분이다. 또한 도식적으로 나타낸 그림1.에서는 SALICIDE공정 의해 형성되는 Co-Silicide layer가 없는 상태를 나타내고 있지만 저항 추출방법은 silicide의 존재 유무와 무관하게 된다.

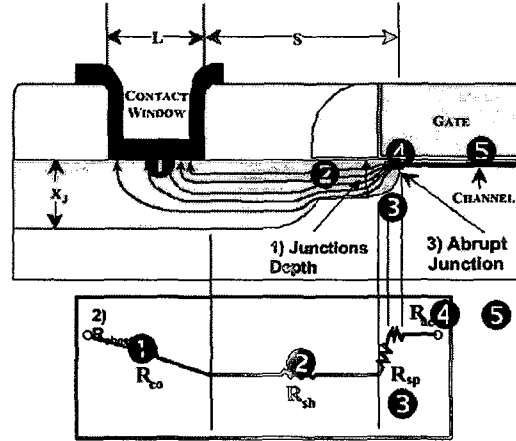


그림1. MOSFET에서 각 저항 성분의 구분

2) Process/Device simulation

주어진 공정조건으로부터 각 영역의 실제적인 current와 quasi-fermi level을 추출하기 위해서는 process 및 device simulation이 실제 소자와 동일한 doping 분포와 mobility를 가지도록 calibration되어야 한다. 본 논문에서는 source/drain activation을 normal-RTA와 spike-RTA로 진행된 nMOS소자를 target으로 calibration된 simulation결과를 활용하였다.⁶⁾ 그림2.는 Lgate vs. Vth에 대한 시뮬레이션 결과를 측정치와 비교하였으며, 그림3.은 Idsat vs. Ioff co-relation에 대한 시뮬레이션 결과를 실측치와 비교한 것으로 TCAD simulation결과가 실제소자의 전기적 특성을 정확히 대변하고 있음을 알 수 있다. 그림 2.와 그림3.에서 실선은 실 제작된 소자로부터 측정된 실측치를 나타내고 점선은 calibration된 simulation으로부터의 simulation치를 의미한다. nMOS에서 spike와 RTA가 적용된 경우 모두에서 simulation error 10%이내의 결과를 보이고 있으며, 단지 RTA로 진행된 소자의 short-channel 영역에서만 Idsat-Idoff curve상의 10%이상의 오차가 나타나고 있다.

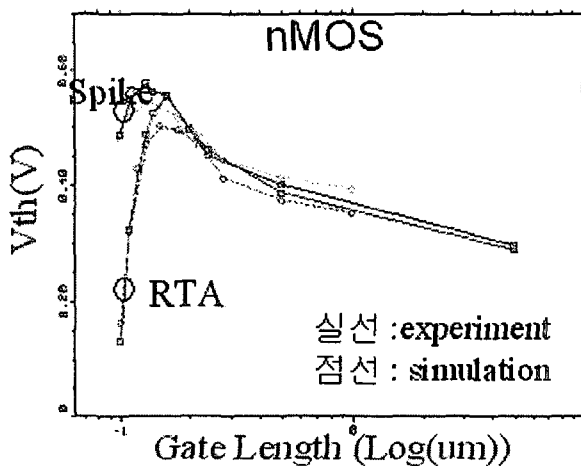


그림2. TCAD로 계산된 Lgate-Vth curve.

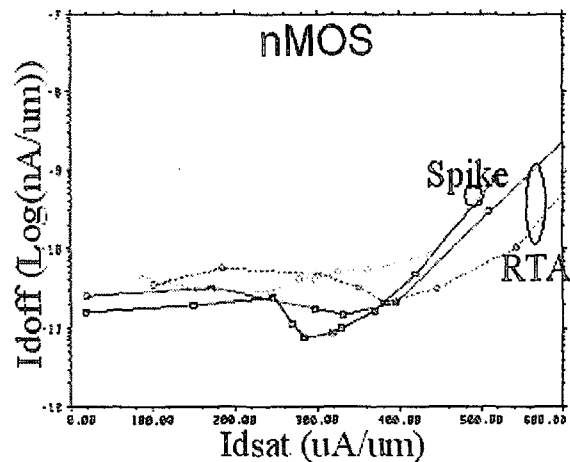


그림3. TCAD로 계산된 Idsat-Idoff curve.

3. 실험결과 및 고찰

그림 4는 nMOS 소자의 x-위치별 sheet-resistance를 추출한 결과이다. 파란선은 spike-anneal된 공정, 빨간색은 RTA-anneal된 경우의 값으로 두 공정의 차이를 쉽게 알 수 있도록 점선으로 각각의 junction contour를 표시하였다. Spike anneal된 경우가 일반 RTA의 경우의 junction depth 1000Å 대비 약 25% shallow한 750Å의 X_j 를 나타내고 있다. Junction contour와 gate edge를 관찰하면 그림 1.에서 제시한 5부분의 저항영역을 쉽게 분리할 수 있다.

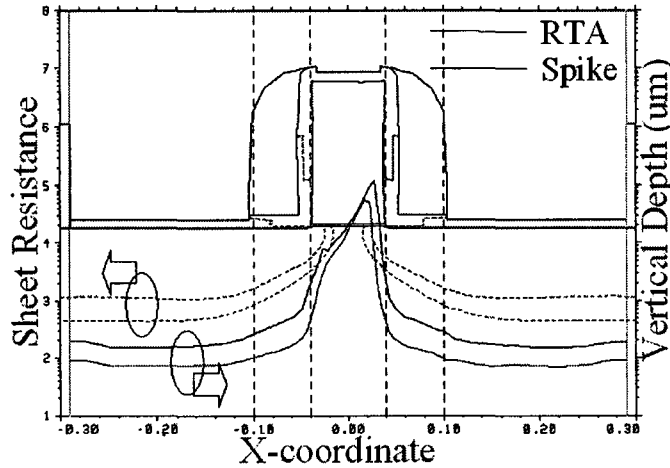


그림4. nMOSFET의 junction contour 및 Sheet-resistance.

표1.과 표2.는 그림4.로부터 추출된 저항값을 table화 한 것으로 spike-anneal의 경우 junction depth가 shallow하고 activation이 완전히 되지 않아 전체 저항이 RTA-anneal된 경우보다 상당히 큰 것을 알 수 있다. 또한 두 경우 모두 parasitic 저항은 전체 저항대비 15%수준이며, channel저항대비로 계산한다면 17%수준임을 알 수 있으며 이 값은 ITRS기준값^[7]과 유사한 범위이다.^{[8][9]}

표 1. RTA-anneal 공정의 nMOS 의 저항 성분

nMOS RTA-anneal	비율(%)	저항치 (ohm)
Total 저항	100	1041
Channel 저항	86	892
Parasitic 저항	14	149
Accumulation 저항	5	50

표 2. Spike-anneal 공정의 nMOS 의 저항 성분

nMOS Spike-anneal	비율(%)	저항치 (ohm)
Total 저항	100	1847
Channel 저항	85	1574
Parasitic 저항	15	273
Accumulation 저항	4	71

4. 결론

본 논문은 sub-90nm high-speed 소자의 성능 저하를 일으킬 수 있는 저항성분들의 추출과 이들의 역할을 분석하였다. Calibration된 TCAD simulation으로부터 구해진 current와 quasi-Fermi level로부터 각 node에서의 sheet-resistance를 구할 수 있는 flow를 제시하였다. 이로부터 nomal-RTA 및 spike-RTA공정으로 제작되는 nMOS소자의 channel 저항 대 parasitic 저항의 비율과 더불어 parasitic저항을 구성하는 4가지 저항성분의 값과 비율을 추출함으로써 이들의 최적화를 위한

접근을 가능토록 하였다. 또한 Co-silicide와 인접한 silicon내 doping level에 따른 contact resistivity를 제시하여 이 부분에 대한 최적화의 필요성을 제시하였다.

연구된 결과를 기초로 하여 고속/고성능 소자에 대한 저항적 측면에서의 분석과 성능향상을 위한 방향을 TCAD simulation 과 실제 제작을 통해 계속적으로 분석함으로써 최고 품질의 소자를 시간적/비용적 측면에서 효율화를 이룰 수 있을 것이다. 제안된 방법이 high-speed 제품의 개발에 기여하는 측면은 공정 조건에 따라 parasitic 저항이 어떻게 변화하고 또한 parasitic 저항 중에서 각 영역이 가지는 sensitivity 를 분석함으로써 공정 optimize 의 방향과 이를 위한 공정 window 를 신속하고 효율적으로 추출할 수 있다는 것이다.

참고문헌

- [1] Y. Taur and T. H. Ning, *Fundamentals of Modern VLSI De-vices*. Cambridge, MA: Cambridge Univ. Press, 1998.
- [2] Y. Taur, "MOSFET channel length Extraction and interpretation," IEEE Trans. Electron Devices, vol. 47, pp. 160-170, Jan. 2000.
- [3] S.D.Kim, C.M.Park and J. Woo, "Advanced Model and Analysis for Series Resistance in Sub-100nm CMOS including Poly-depletion and overlap doping gradient effect," IEDM '00 pp.723-726.
- [4] K. K. Ng and W. T. Lynch, "Analysis of the gate-voltage-dependent series resistance of MOSFETs," IEEE Trans. Electron Devices, vol. 33, pp. 965-972, July 1986.
- [5] M. Y. Kwong, C. H. Choi, R. Kasnavi, P. Griffin and R. Dutton, "Series Resistance Calculation for Source/Drain Extension Regions Using 2-D Device Simulation," IEEE Trans. Electron Devices, vol.49, NO. 7, JULY 2002
- [6] J.H. Lee, et. al., "Systematic Global Calibration of Process Simulator," MSM 2000, MAY 2000
- [7] *ITRS (International Technology Roadmap for Semiconductors)*, SIA, 2001
- [8] J. O. Borland, "Low Temperature Shallow Junction Formation For 70nm Technology Node And Beyond," Mat. Res. Soc. Symp. Proc. Vol. 717, Materials Research Society, C1.1.1, 2002
- [9] C.M. Osburn, K.R. Bellur, "Low parasitic resistance contacts for scaled ULSI devices," Thin Solid Films 332, pp.428-436, 1998