

반도체 플립칩 몰드 설계를 위한 가압식 Underfilling 수치해석에 관한 연구

차재원*, 김광선**, 서화일***

*한국기술교육대학교 기계공학과, **한국기술교육대학교 메카트로닉스공학부,

***한국기술교육대학교 정보기술공학부

초록

IC 패키지 기술중 Underfilling 은 칩과 기판사이에 Encapsulant의 표면장력을 이용하여 주입하고 경화시킴으로써 전기적 기계적 보강력을 제공하는 기술로서 시스템 칩의 발전과 함께 차세대 패키징 기술중의 하나이다. 본 연구에서는 기존의 Underfilling 공정을 개선하여 충전시간을 획기적으로 줄일 수 있는 가압식 Underfilling 공정을 이용하여 차세대 반도체 패키징에 적용할 수 있는 가능성을 파악하였다. 이를 위하여 칩과 기판사이에 주입되고 경화되는 Encapsulant의 유동특성을 파악하였다. 가압식 Underfilling 기술은 아직까지 상용화되지 않은 미래기술로써 효율적인 몰드 설계를 위하여 Encapsulant 종류에 따라 Gate 위치, Bump Pattern 및 개수, 칩과 기판 사이의 거리, Side Region에 따른 유동특성등의 파악이 중요하다.

본 연구에서는 DEXTER™(US)의 Encapsulant FP4511 을 사용하여 Cavity 내에 Void 를 없앨 수 있는 주입조건을 찾아내고 Underfilling 시간을 감소시킬 수 있는 모사를 진행하였다.

1. 서론

플립칩은 Bump 또는 Ball 을 이용하여 칩을 기판위에 직접 실장하는 것으로 반도체 칩과 기판사이의 상호 입출력을 위한 배선의 길이를 최소화하여 높은 동작 속도를 구현할 수 있고, 공정이 단순화되는 등 여러 장점을 포함하고 있기 때문에 점차 많은 기대를 모으고 있다. 최근에 반도체 분야의 급진적인 발전으로 인해 칩 사이즈의 소형화, 칩상에 구현되는 회로의 고집적화, Input/Output 핀 수의 증가로 인해서 칩의 단위 부피에 따른 소모 전력량의 증가로 인해 많은 열이 발생하게 된다. 이로 인해 칩(2.5 ppm/℃)과 기판(15 ppm/℃)사이의 열팽창 계수 차이가 접촉부의 전단 변형의 원인이 되고 Bump 의 균열과 전기적 실패를 야기 시킨다. 위의 사항들이 칩 사이즈를 증가시키는 주요 원인이다.

위의 문제들은 칩과 기판사이에 Encapsulant 를 해줌으로써 해소시킬 수 있다. 이 것을 Underfill Encapsulant Process 라고 부른다. 위의 방법으로는 지금까지 표면장력을 이용하여 Encapsulant 를 주입하는 Dispensing 방법이 주로 사용되어 왔지만 공정속도가 느린 문제점을 포함하고 있다. 또한 ACF(Anisotropic Conductive Film)나 NCF(Non Conductive Film)등을 사용하여 언더필하는 방법들에 관한 연구도 활발히 진행되고 있다. 그러나 경제성과 신뢰성 차원에서 본격적으로 양산공정에는 적용되지 못하고 있다.[1]

본 연구에서는 Dispensing Underfilling 공정을 개선하여 보다 빠른 시간에 Filling 할 수 있는 가압용 Underfilling 공정[2]을 적용하였다.

가압식 언더필 압력은 $\Delta p = \frac{12V\eta L}{h^2} = \frac{12\eta L^2}{h^2 t_f}$, 이 식을 통해 구해진다. t_f 는 Filling Time,

V 는 평균속도, η 는 점도, L, W, h 는 각각 길이, 너비, Cavity의 두께이다.[6]

Dispensing 언더필 공정에서의 압력은 $\Delta p = \frac{2\sigma \cos\theta}{h}$ 을 이용하여 구할 수 있다. σ 는

표면장력계수, θ 는 Contact Angle이다.

DEXTER™(US)의 Encapsulant를 사용하여 칩의 길이가 7mm이고 두께가 0.1mm인 Cavity를 대기온도에서 Filling할 때 가압식 언더필시 필요한 압력은 550kPa(Filling Time=3sec일 때)이고 Dispensing 공정에서는 643Pa의 압력이 필요했고 Filling Time은 2시간이 걸렸다. 압력은 가압식이, Dispensing 방법보다 약 800배가 높은 구동력을 이용하여 약 2000배정도 빨리 Filling할 수 있다.[2] 시뮬레이션 결과에서도 Gate(Dispensing) 위치와 크기에 따라 달라지고 또 몰드 온도에 따라 영향을 받지만, 가압식이 Dispensing 방법보다 빠른 공정으로 Filling할 수 있음을 확인했다.

이와 같이 Underfilling 공정은 Filling Time을 단축할 수 있고 실내온도 조건에서 작업이 가능하고 Void 없이 공동(Cavity)를 채울 수 있고 높은 점도의 Encapsulant 사용을 가능하게 한다.[2] 이러한 몰드 설계 및 제작 기술은 차세대 반도체 개발 및 상용화에 매우 중요하며, 이를 위하여는 칩과 기판사이에 주입되고 경화되는 Encapsulant의 유동특성을 파악하여야 한다.

2. 시뮬레이션 방법

(1) 지배방정식

a. 연속방정식

$$\frac{\partial \rho}{\partial t} + \frac{\partial(\rho u)}{\partial x} + \frac{\partial(\rho v)}{\partial y} + \frac{\partial(\rho w)}{\partial z} = 0$$

b. 운동량 방정식

관성항은 무시하고, z 방향의 길이가 다른 방향에 비해 무시할만큼 작다라는 가정을 사용하면

$$0 = \frac{\partial}{\partial z} \left(\eta \frac{\partial u}{\partial z} \right) - \frac{\partial p}{\partial x}$$

$$0 = \frac{\partial}{\partial z} \left(\eta \frac{\partial v}{\partial z} \right) - \frac{\partial p}{\partial y}$$

η 는 점도, p 는 압력이다.

c. 에너지 방정식

$$\rho C_p \left(\frac{\partial T}{\partial t} + u \frac{\partial T}{\partial x} + v \frac{\partial T}{\partial y} + w \frac{\partial T}{\partial z} \right) = \frac{\partial}{\partial z} \left(k \frac{\partial T}{\partial z} \right) + \eta \dot{\gamma}^2 + \frac{\partial \alpha}{\partial t} H$$

C_p 는 정압비열, T 는 온도, k 는 열전도도, η 는 점도, γ^2 는 전단변형률, α 는

경화도, H 는 경화에 의한 발열량이다.

d. 경화반응식은 Kamal's model을 사용하였다.

e. 점도를 위해서는 Herschel-Bulkley-WLF-Macosko model을 사용하였다.

(2) 경계조건

Cavity의 높이 방향을 z 방향이라 정하고 Cavity의 밑면을 $z=0$ 이라고 정하자.

$z=0, h$ 에서 점착조건에 의해, $U=v=w=0$, $T=T_{w1}$ 이다. 입구에서 $p=p(t)$, 외벽과 내부장애물의 벽에

대해 수직속도는 0이다. 다시 말해 $v_n = \frac{\partial p}{\partial n} = 0$ 이다. 그리고 유동끝단(유동전진부분)에서의

압력은 0이라고 가정한다.

(3)시뮬레이션

유동의 수치해석적 시뮬레이션은 Non-newtonian Flow 를 고려한 Analytical Equation 보다 더 정확한 유동을 해석할 수 있다. 일반화된 Hele-Shaw Flow 가정을 사용하고 전자패키징에 쓰이고 있는 Moldflow 상용 프로그램을 이용하여 해석하였다.

3. 결과 및 고찰

a. Side Region 에 따른 유동특성

언더필 공정시 칩과 기판사이의 공간에 Void 가 형성되는 것을 방지하기 위한 몰드의 공동(Cavity) 측면벽과 반도체칩 사이의 최대 가능한 이격거리, b 는 다음과 같은 b^2 에 대한 이차 방정식의 해로 정의된다.

$$b^4 - \{[(W + D)^2 h^2] / [0.1542 D^2]\} b^2 - [(W + D) D W h^3] / (0.1542 D^2) = 0 \text{ -----(1)}$$

W 는 실장되는 반도체칩의 장방향 길이, D 는 칩의 단방향길이, h 는 기판과 칩의 하측면과의 높이, 0.1542 는 실험에 의한 상수이다.[1]

칩의 크기는 10mm*10mm 이고, 칩과 기판의 높이는 0.1mm 이고, 실린더모양의 지름과 높이가 각각 0.1mm 인 Bump 를 24*24, 47*47 로 배열하고 또한 Bump 가 없는 경우를 포함하여 3 가지 경우에 대하여 해석하였다.

	No-Bump	24*24 Array	47*47 Array
Side Region : 0.5mm	No Void	No Void	Void
Side Region : 0.7mm	No Void	Void	Void
Side Region : 0.8mm	Void	Void	Void

Table 1. Side Region 과 Bump 배열에 따른 Void 형성 여부

위의 표에서 확인된 것처럼 Bump 개수가 늘어나면 유동저항을 일으켜 Void 를 형성시킴을 알 수 있다. 그리고 Side Region 의 크기가 커짐에 따라 Void 가 형성됨을 확인할 수 있었다. 칩과 기관의 접촉을 위한 Side Region 의 설계가 Void 형성에 중요한 요소임을 알 수 있다.

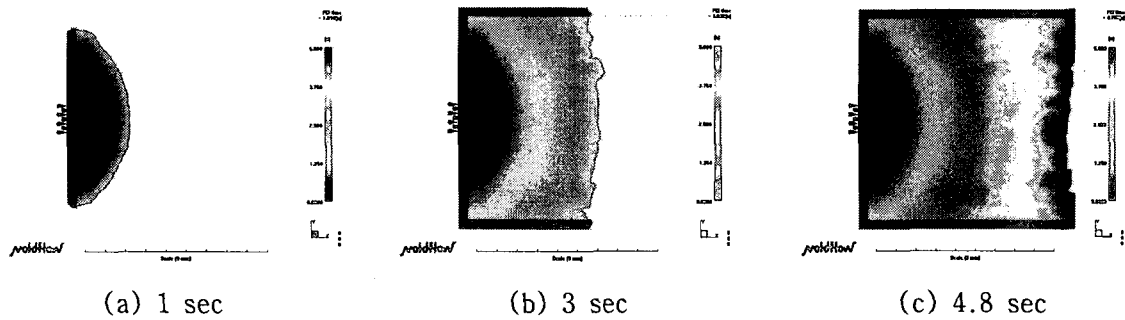


Fig. 1. 10*10 칩에서 b=0.5mm, Bump 가 없을 경우의 시간에 따른 유동모양

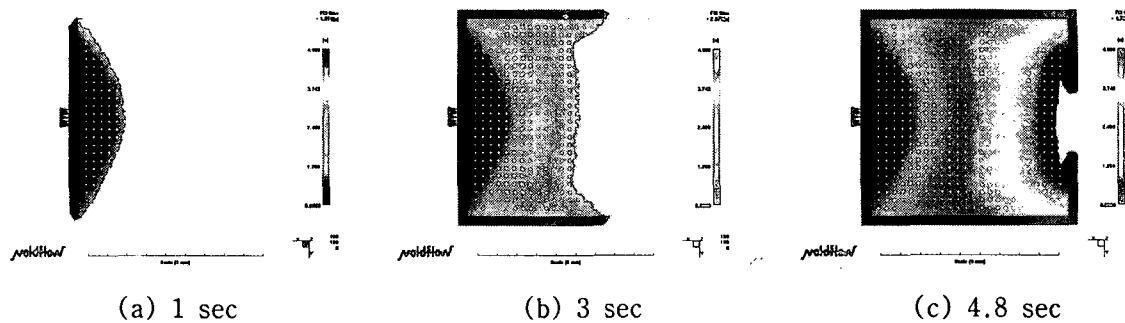


Fig. 2. 10*10 칩에서 b=0.5mm, 24*24 Array 경우의 시간에 따른 유동모양

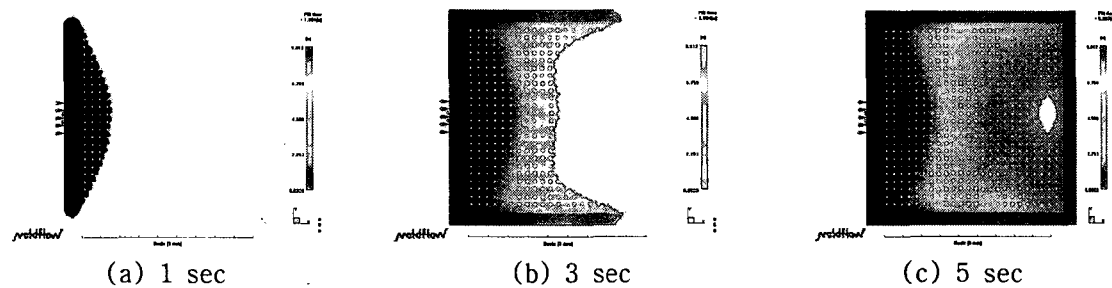


Fig. 3. 10*10 칩에서 b=0.7mm, 24*24 array 경우의 시간에 따른 유동모양

그림 1 과 2 를 비교해봄으로써 Bump 가 유동의 흐름에 저항을 일으키고 있음을 확인할 수 있다. Bump 때문에 유동저항이 발생하여 Side Region 과 그 사이의 유동에 차이가 발생한다. Fig. 3.의 경우에는 Side Region 의 유동이 Cavity 의 중심부분 유동보다 빠르게 만나게 되어 끝단에서 Void 가 발생하였다. Side Region 의 크기와 Bump 의 개수가 Void 형성에 크게 영향을 미치고 있음을 확인하였다.

b. Gate 위치(Dispensing 위치)

Side Region 을 배제하고 칩(10mm*10mm)과 기관사이의 공간을 24*24 로 Bump 를 배열하여 시뮬레이션하였다. Gate 의 위치는 한면의 중앙, 한면의 1/4 지점, 그리고 Corner 의 3 가지 경우를 해석하였다.

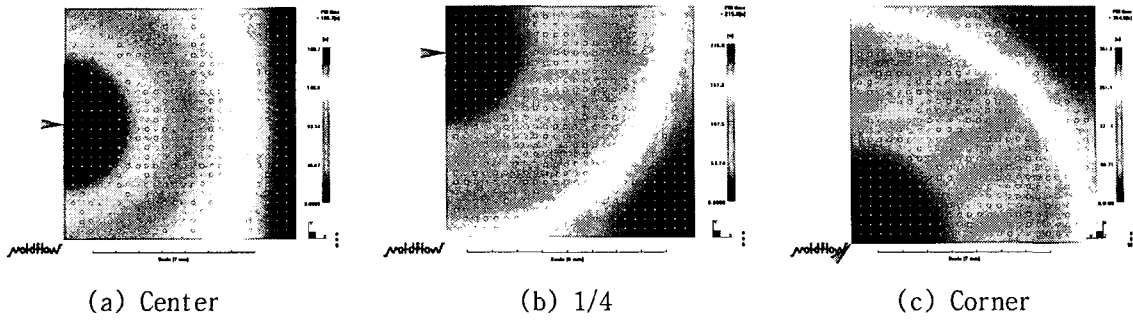


Fig. 4. Gate 위치에 따른 유동 선단

Gate(Dispensing) 위치가 한면의 중앙일 때 사출압력이 낮으면서 짧은 시간에 Filling 이 가능하였다.

c. Bump Pattern 및 개수

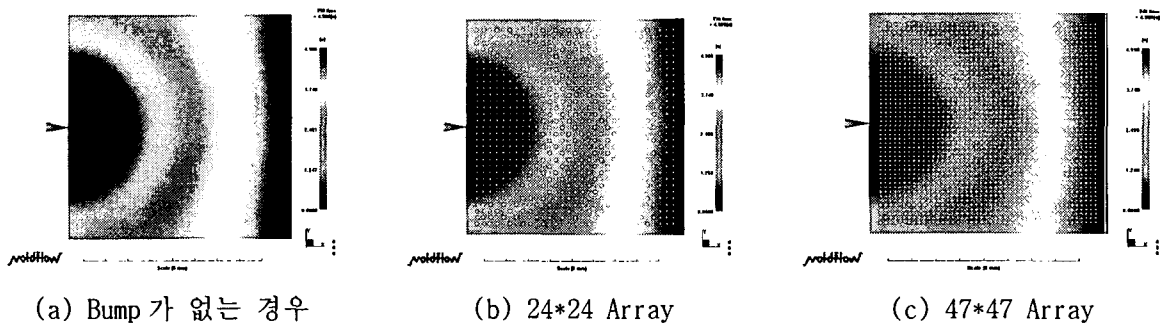


Fig. 5. Bump 개수에 따른 유동선단

Side Region 를 배제하고 칩(10mm*10mm)과 기관사이에서의 Bump 의 개수가 유동에 어떤 영향을 주는지를 해석하였다. Bump 가 없는 경우, 24*24 Array, 47*47 Array 모두 동일한 유동형태를 나타내고 있다. 하지만 Bump 개수의 증가에 따라서 Filling 에 필요한 압력이 증가했다.

실험의 경우도 Bump 의 형태와 간격과는 상관없이 유동의 형태가 유사한 것을 확인할 수 있다. 실험에서 Bump 간격이 50 μm 이하 일 때 Streaking 이 발생했다.[5]

d. 칩과 기관사이의 거리

Cavity 는 Encapsulant 에 들어있는 Filler 사이즈가 Gap 의 높이보다 작으면 Filling 에는 문제가 없다.[2] 하지만 Filler 의 사이즈가 Gap 의 크기에 견줄만하다면 Streaking 이 발생한다. Gap 이 30 μm 일 때 10 μm 보다 더 큰 Filler 가 들어있는 Encapsulant 로 충전했을 때 Streaking 이 발생했다.[5] 시뮬레이션 결과에서는 Streaking 의 발생은 확인할 수 없었다. 공정조건만 고려해준다면 Gap 이 작을 때도 Filling 을 할 수 있었다. 실제 설계에서는 Gap 과 Encapsulant 의 Filler 크기를 고려해준다면 Filling 에는 문제가 없음을 예상할 수 있다.

4. 결론

시뮬레이션 결과 표면장력을 이용한 방법보다 가압식 언더필 방법이 빠른 시간내에 Filling 할 수 있음을 확인할 수 있었다. 유동특성에서는 Gate 의 위치, Bump Pattern 및 개수, Gap 의 크기에 의한 Void 의 형성에 각각의 영향은 매우 작았다. 하지만 Side Region 과 병행하여 고려했을 때는 Void 형성에 아주 민감함을 알 수 있었다. 10mm*10mm 칩의 경우 칩과 기판사이의 높이가 0.1mm 라면 식 (1)에 의하여 Side Region, b 의 값은 0.7mm 이다. Bump Pattern 을 24*24 Array 로 했을 경우 Bump 의 유동저항을 고려하여 b 의 값을 0.5mm 이하로 줄이면 Void 없이 충전할 수 있었다.

가압식 언더필 방법을 적용하여 Void 없이 보다 빠른 시간에 언더필을 할 수 있음을 확인할 수 있었고 Gate 의 위치, Bump Pattern 및 개수, Gap 의 크기, Side Region 이 금형설계시 필요한 데이터로서 Void 형성, Filling 을 위한 압력에 어떤 영향을 주는지 확인하였다.

참고문헌

- [1] 한세진,정철화,차재원,서화일,김광선, "몰딩공정을 응용한 플립칩 언더필 연구", 한국반도체장비학회지, 제1권, 제1호, pp.29-34, 2002
- [2] Sejin Han and K. K. Wang, "Study on the Pressurized Underfill Encapsulation of Flip Chips", IEEE Transactions on Components Packaging and Manufacturing Technology, Vol. 20, No. 4, November 1997
- [3] Y. K. Shen, T. W. Ye, S. L. Chen, C. H. Yin, W. D. Song, "Study on MOLD FLOW Analysis of Flip Chip Package", Int. Comm. Heat Mass Transfer, Vol. 28, No. 7, pp. 943-952, 2001
- [4] L. Nguyen, C. Quentin, P. Fine, B. Cobb, S. Bayyuk, H. Yang, and S. A. Bidstrup-Allen, "UnderFill of Flip Chip on Laminates: Simulation and Validation", IEEE Transactions on Components Packaging Technology, Vol. 22, No. 2, June 1999
- [5] P. Fine, B. Cobb, and L. Nguyen, "Flip Chip Underfill Flow Characteristics and Prediction", IEEE Transactions on Components Packaging Technology, Vol. 23, No. 3, September 2000
- [6] J. M Dealy and K. K Wang. "Analysis of the Flow of Encapsulant during Underfill Encapsulation of Flip-Chip," IEEE Transactions on Components Packaging and Manufacturing Technology, Vol. 20. November 1997