

24GHz 대역 국부발진기용 주파수 체배기 설계 및 제작

서곤* · 김장구* · 한석균* · 박창현* · 최병하*

Design and Fabrication of the Frequency Doubler for 24GHz Local Oscillator

Gon Seo* · Jang-Gu Kim* · Sok-Kyun Han* · Chang-Hyun Park* · Byung-Hai Choi**

요 약

본 논문에서는 고주파 특성이 우수한 NEC사의 ne71300-N MESFET를 이용하여 24GHz 대역 국부 발진기용 주파수 체배기를 설계 및 제작하였다. 멀티하모닉 로드 풀 시뮬레이션을 통하여 최적의 고조파 소스·부하 임피던스를 선택하였다. 리플렉터를 이용하여 변환 이득을 개선할 수 있었고, 대역 저지필터를 이용하여 기본파와 3차 고조파 성분을 억제하였다. 측정된 결과 0dBm의 입력신호에 대해 출력주파수인 24GHz에서의 출력 전력은 -3.776dBm이고, 변환 이득은 0.736dB, 41.064dBc의 고조파 억압 특성을 얻었다.

ABSTRACT

In this paper, a reflector type frequency doubler for local oscillator at 24GHz is designed and fabricated with ne71300-N MESFET. Optimum source and load impedances are decided through a multiharmonic load pull simulation technique. A conversion gain can be improved using the reflector and fundamental and third harmonics are well suppressed with open stub of $\lambda/4$ length. Measured results show output power at 0dBm of input power is -3.776dBm, conversion gain 0.736dB, harmonic suppression 41.064dBc, respectively.

키워드

주파수 체배기, 멀티하모닉 로드 풀, 리플렉터, 변환 이득

1. 서 론

주파수 체배 회로는 마이크로파, 밀리미터파대의 전자시스템 운영에서 많이 이용되고 있다. 오늘날 정보 통신량의 증가에 따라 통신시스템의 주파수가 점차 높아지고 있다. 마이크로파, 밀리미터파 통신 시스템에서는 높은 주파수 안정도와 저위상 잡음의 깨끗한 신호원을 직접 만들기가 어렵다. 따라서 높은 주파수 안정도와 저잡음 특성을 갖는 저주파 신호원을 체배하여 고주파 신호원을 만드는 방법을 많이 사용하고 있다. 주파수 체배기를 이용하여 고주파 신호를 발생시킬 경우 위상잡음이 $20\log N(N:\text{체배 차수})$ 에 따라 증가하지만, 고안정의 PLL 신호를 이용할 수 있는 장점이 있다. 또한 밀리미터파 대역에서의 레이더나 통신 등의 시스템 구성에 있어, PLL 구조를 통한 마이크로파 대역의 주파수원을 체배하는 형식의 주파수 합성기로서 많이 사용된다.

주파수 체배기는 사용하는 소자에 따라 크게 수동소자(다이오드)와 능동소자(트랜지스터)를 이용

한 주파수 체배기가 있다^{[1][2]}.

본 논문에서는 고주파 특성이 우수한 NEC사의 ne71300-N MESFET를 사용하였으며, 최적화된 능동소자 회로 설계시 고주파 특성이 우수한 유전율 $\epsilon_r=3.38$ 이고, 두께는 8mil인 Rogers사의 RO4003 기판을 이용하여 구현하였다. HP사의 ADS 프로그램을 이용하였고, 최적화하기 위하여 멀티하모닉 로드 풀 시뮬레이션을 사용하여 고조파 성분들 중 최적의 소스·부하점을 찾아 2차 고조파 부하 지점에 정확하게 정합함으로써 최적의 전력을 얻었다. 본 논문에서 변환이득을 개선하는 방법으로 리플렉터 형태의 24GHz 주파수 체배기를 설계 및 제작하였다.

II. 주파수 체배기 이론

1. 주파수 체배기 이론

일반적인 주파수 체배기 이론은 출력역에서 고

조파 성분을 MESFET과 같은 능동소자로 비선형 저항성분을 포함하고 있다고 간단히 모델링 할 수 있으며, 이 소자에 바이어스, 드라이브 레벨을 조절함으로써 드레인 파형을 왜곡시키고 고조파 성분을 직접적으로 생성시킨다. FET를 이용하는 능동 체배기는 보통 I_{dss} 바이어스나 핀치-오프 근처의 바이어스에서 사용되며, 비선형 트랜스 컨덕턴스(gm)는 고조파 생성에 가장 중요한 요소가 된다. 주파수 체배기에서 적절한 바이어스의 목적은 드레인 단자에 의해 왜곡된 드레인 전류나 전압 파형을 생성시키는 것이다. FET의 입력 전압에 대한 출력 전류 파형을 전도각에 따라 그림 1과 같이 나타낼 수 있다. 바이어스에 의한 고조파 성분들의 발생 특성을 그림 1을 바탕으로 푸리에 시리즈를 이용하여 식 (1)과 같이 일반적인 식으로 표현할 수 있는데, 이때 트랜지스터의 입력 신호의 전도각(conduction angle)에 따른 고조파 전류는 그림 2와 같다.^{[3][4]}

$$I_1 = \frac{I_b}{\pi} \left[\frac{\pi t_0}{T} - \frac{\sin(2t_0/T)}{2} \right]$$

$$I_{dn} = \frac{I_b}{\pi} \left[-\frac{\sin([n-1]\pi t_0/T)}{n-1} + \frac{\sin([n-1]\pi t_0/T)}{n+1} - \frac{2}{n} \cos(\pi t_0/T) \sin(2\pi t_0/T) \right] \quad (1)$$

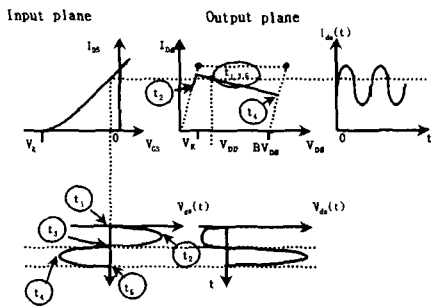


그림 1. I_{dss} 바이어스에 의한 파형과 신호 궤적
Fig. 1. Waveforms and signal trajectory of I_{dss} bias

그러나 마이크로파 대역에서 고조파를 생성하기 위한 비선형 소자는 기생성분을 포함하고, feed back을 포함하고 있다고 본다. 따라서 고조파 생성은 전류, 전압 파형의 왜곡된 파형을 발생한다. 기본주파수 또는 생성된 많은 고조파와 상호 변조에 의해서 고조파 생성을 설명할 수 있다.

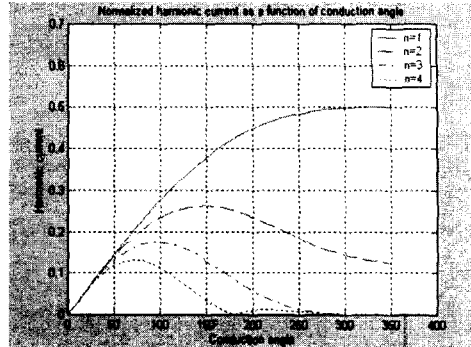
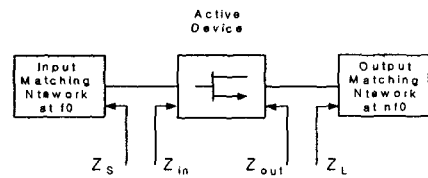


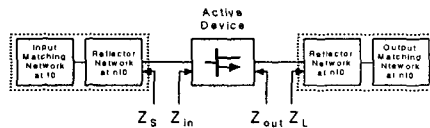
그림 2. 전도각의 함수에 따른 정규화된 고조파 전류
Fig. 2. Normalized harmonic current as a function of conduction angle

2. 리플렉터 형태의 주파수 체배기

그림 3는 일반적인 주파수 체배기와 리플렉터 형태를 포함한 주파수 체배기를 보여주는 그림이다.



(a) 일반적인 주파수 체배기
(a) General frequency multiplier



(b) 리플렉터를 포함한 주파수 체배기
(b) Frequency multiplier with reflector

그림 3. 주파수 체배기의 블록도
Fig. 3. Block diagram of the frequency multiplier

입력으로 feed back되어 되돌아오는 고조파가 기본파 신호 전력 P_0 보다 낮은 레벨이라고 가정하면, n 번째 고조파 출력의 일부가 증폭되고, 기본파와 $(n-1)$, $(n+1)$ 고조파의 상호 변조에 의해 주파수가 변환됨에 따라 원하는 고조파 성분이 커지게 된다. 그리고 출력측에 나타나는 모든 전력 성분들이 더해지고, 원하는 n 번째 고조파의 전력 P_n 은 다음 식 (2)와 같이 쓸 수 있다.

$$P_n = (1 - A_n) [P_0 M G + P_n A_n G_n + (P_{n-1} A_{n-1} + P_{n+1} A_{n+1}) C G] + \text{other terms} \quad (2)$$

여기서,

P_n ; n번째 고조파 출력 전력

P_0 ; 기본파와 f_0 의 출력 전력

P_{n-1}, P_{n+1} ; (n-1), (n+1)번째 고조파 전력

A_{n-1}, A_{n+1} ; (n-1), (n+1)번째 고조파 반사 전력

전체적인 체배 효율은 체배 이득(MG), 입력 전력 이득(G_n), 그리고 변환 이득(CG)의 3가지 메카니즘으로 설명된다^{[4][5]}.

그림 4는 주파수 체배기 설계시 리플렉터 형태를 포함하여 설계한 그림이다^{[6][11]}. 주파수 체배기에서 대역저지필터의 마이크로스트립 선로의 길이는 기본 입력 주파수에 대해 2체배기인 경우 $\lambda/4$ 이고, 3체배기인 경우 $\lambda/6$ 이고, 4체배기인 경우 $\lambda/8$ 로 나타났다.

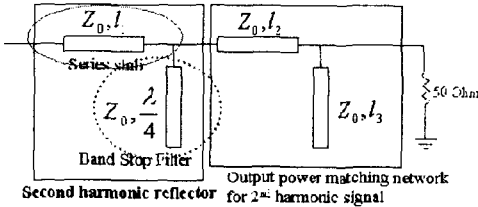


그림 4. 주파수 체배기의 리플렉터 설계
Fig. 4. Reflector design in frequency Doubler

III. 주파수 체배기 설계

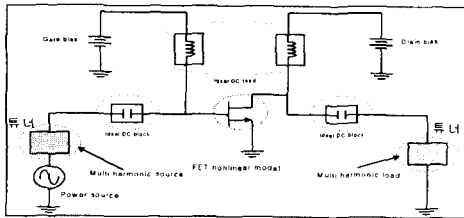
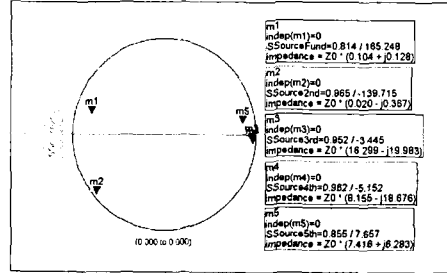


그림 5. 멀티하모닉 로드 풀 시뮬레이션 설정
Fig. 5. Setup for multiharmonic load pull simulation

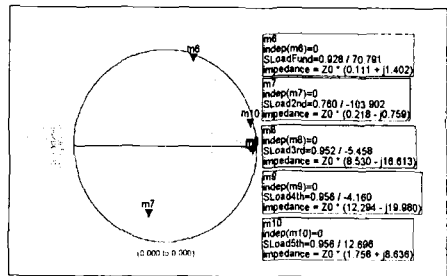
본 논문에서는 멀티하모닉 로드 풀 시뮬레이션을 이용하여 주파수 체배기를 설계 및 제작하였다. 멀티하모닉 로드 풀 시뮬레이션은 주파수 체배기에서 사용하고자 하는 소자의 내부는 임의의 것으로 가정하고 입력과 출력의 가능한 모든 임피던스를 변화시켜 가면서 출력 특성을 측정하여 최적의 소스와 부하조건을 얻는 방법으로 그림 4는 멀티하모닉 로드 풀 시뮬레이션 회로도이다. 그림 5에서 입력과 출력에 연결된 튜너를 조정하여 임·출력 부하를 변화시키고, 이 때 시뮬레이션 상에서 최적의 고조파 소스·부하 임피던스 값을 찾는 방법이다^[7]. 최적의 고조파 소스·부하 임피던스 값

을 그림 6에 나타내었다.



(a) 최적의 고조파 소스 임피던스

(a) Harmonic source impedance of optimization



(b) 최적의 고조파 부하 임피던스

(b) Harmonic load impedance of optimization

그림 6. 최적의 소스·부하 임피던스

Fig. 6. Source · load impedance of optimization

그림 7은 비선형 모델이 주어진 FET와 수동소자 역할을 하는 DC-블록과 DC-feed 라인을 모두 설계하여 최적의 조건을 두고 설계한 회로도이다.

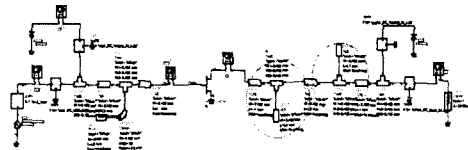


그림 7. 최적의 변환이득을 얻기 위한 멀티하모닉 로드 풀 시뮬레이션 구성도

Fig. 7. Multiharmonic load pull simulation circuit for optimization conversion gain

그림 7에서 설계된 주파수 체배기의 시뮬레이션 결과는 그림 10과 같다. 그림 8은 리플렉터 역할을 하는 직렬 스텐브 길이(L)에 따라 변환 이득이 변함을 알 수 있다. 직렬 스텐브 길이를 2.8mm로 최적화하였을 때 변환 이득이 1.710dB로 나타났다. 개방 스텐브의 고조파 억압 특성으로 2차 고조파에 대해 기본파와 3차 고조파는 40dBc 이상의 억압 특성을 갖는 비교적 우수한 특성을 보였다.

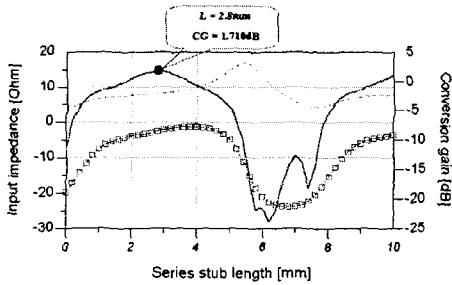


그림 8. 최적의 직렬 스텐브 길이(L)에 의한 입력 임피던스와 변환 이득
Fig. 8. Input impedance & conversion gain for optimization of series stub length(L)

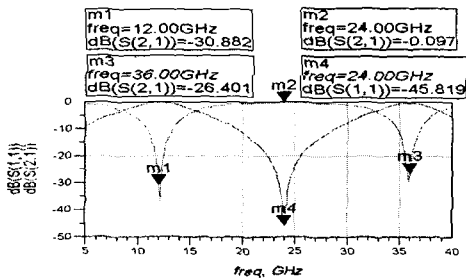


그림 9. $\lambda/4$ 개방 스텐브의 고조파 억압 특성
Fig. 9. Harmonic suppression characteristic of quarter-wave open stub

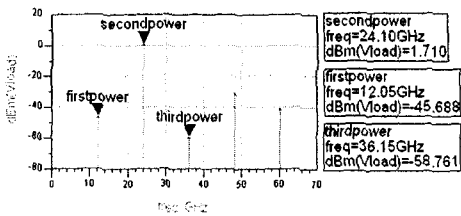


그림 10. 고조파 출력 전력
Fig. 10. Harmonic output power

IV. 주파수 체배기 제작 및 측정 결과

그림 11의 설계된 주파수 체배기 회로는 유전율이 3.38이고 두께가 8mi인 Rogers사의 RO4003 기판 위에 제작하였고, 전체 크기는 (35mm)×(16.5mm)이다. 주파수 체배기에 사용된 MESFET는 고주파 특성과 잡음특성이 우수한 NEC사의 ne71300-N 소자를 사용하였다.

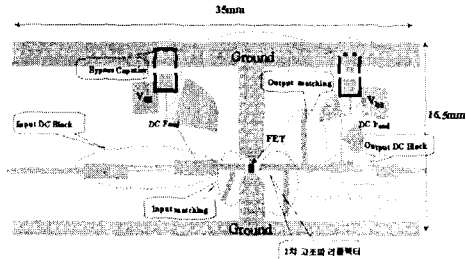


그림 11. 주파수 체배기 레이아웃
Fig. 11. Layout of Frequency Doubler

그림 12와 그림13은 입력 전력을 0dBm부터 14dBm까지 변화해 가면서, 측정된 2차 고조파 출력 전력 그림이다.

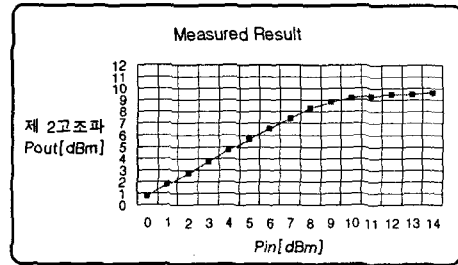


그림 12. 2차 고조파 출력 전력
Fig. 12. Second harmonic output power

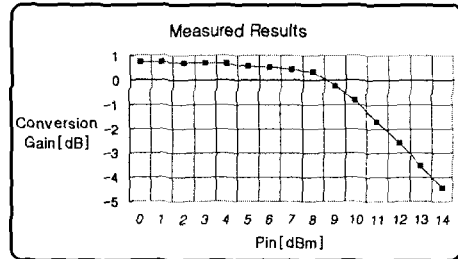


그림 13. 2차 고조파 변환 이득
Fig. 13. Second harmonic conversion gain

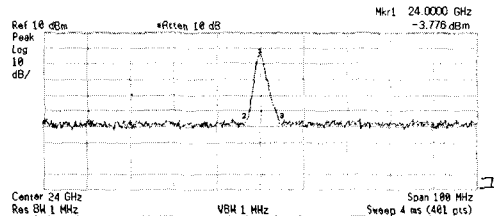


그림 14. 측정 결과
Fig. 14. Measured result

측정 결과 입력 주파수가 12GHz이고 입력 전력이 0dBm일 때, 출력 주파수는 24GHz이고 출력 전력은

-3.776dBm으로 나타났다. 측정케이블 선로상의 손실 -4.512 dBm을 고려하면 변환이득은 0.736dB로 시뮬레이션 결과와 약간의 차이는 있지만, 비교적 양호하게 나왔다. 기본 주파수 억압은 41.064dBc를 얻었다. 그림 15는 본 논문에서 제작한 주파수 체배기의 실물 사진이다.

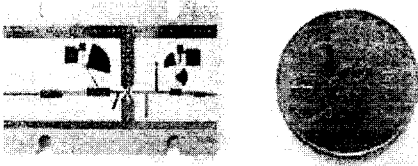


그림 15. 주파수 체배기의 실물 사진
Fig. 15. Fabricated picture of Frequency Doubler

V. 결론

본 논문에서는 주파수 체배기에 NEC사의 ne713 00-N MESFET를 이용하여 12GHz의 신호를 입력하여 24GHz를 출력하는 주파수 체배기를 설계 및 제작하였다. 멀티하모닉 로드 풀 시뮬레이션 방법을 이용하여 최적의 소스·부하 임피던스 점을 찾을 수 있었다. 이 최적의 고조파 지점들 중에서 원하는 2차 고조파 부하 지점에 정확하게 정합함으로써 2차 고조파 전력이 최대가 됨을 알 수 있었다. 또한 리플렉터 형태의 주파수 체배기를 사용함으로써, 기존의 필터를 삽입하여 설계하는 방법에 비해 전체 회로의 크기를 줄일 수 있었으며, 변환이득을 개선할 수 있었다. 주파수 체배기 측정결과 12GHz에서 0dBm의 전력을 갖는 입력신호에 대해 24GHz에서 측정케이블 선로상의 손실 -4.512dBm을 고려하면 0.736dBm의 출력 전력이 측정되었고, -41.064 dBc 기본주파수 억압 특성을 얻었다. 바이어스의 불안정으로 인해 출력 전력이 불안정하였다. 앞으로 self biasing을 이용해 회로의 안정성을 만족하면서 전체 크기를 줄일 수 있는 방안을 모색하고, 향후 주파수 체배기의 사용대역을 넓히면서 변환 손실이 최소가 될 수 있는 방안에 대한 검토가 필요하다.

참고 문헌

- [1] E. Carmargo, Design of FET Frequency Multipliers and Harmonic Oscillators, Artech House, 1998.
- [2] A. Cezer, "Computer-aided design of diode frequency multipliers", Applied Microwave & Wireless, pp. 38-48, 1999
- [3] Eoin O'Cilardha, "Generic-device frequency

- multiplier analysis-a unified approach", IEEE Trans. Microwave Theory and Tech, vol. MTT-48, no.7 pp. 1134-1141, July 2000.
- [4] C. Rauscher, High-Frequency Doubler Operation of GaAs Field-Effect Transistors, IEEE Trans. Microwave Theory Tech., vol. MTT-31, pp. 462-473, June, 1983.
- [5] Y. Iyama and A. Iida, Second Harmonic Reflector Type High-Gain FET Frequency Doubler Operating In X-band, IEEE MTT-S International Microwave Symposium Digest, pp. 1291-1294, 1989.
- [6] Tetsuo Hirota, Uniplanar Monolithic Frequency Doublers, IEEE Trans. Microwave Theory Tech, vol. MTT-37, pp. 1249-1254, August, 1989.
- [7] S.A. Maas, Nonlinear Microwave Circuits, Artech House, 1988.