

내부 전계 링을 갖는 LDMOS의 해석적 항복전압 모델

오동주*, 염기수**

*한밭대학교 정보통신전문대학원, **한밭대학교 정보통신·컴퓨터공학부

Analytic Breakdown Voltage Model of LDMOS with Internal Field Ring

Dongjoo Oh*, Keesoo Yeom**

*Graduate School of Information & Communications, Hanbat National University

**Division of Information Communication & Computer Engineering, Hanbat National University

E-mail : top5dong@hanmail.net*, ksyecom@hanbat.ac.kr**

요 약

내부 전계 링을 갖는 LDMOS 항복전압의 해석적 모델이 제시되었다. 제시된 모델은 드리프트 영역의 크기와 불순물 농도, 내부 전계 링의 불순물 농도, 절연막의 두께와 유전상수 등을 변수로 하여 개발된 해석적 모델이다. 2차원 TCAD 시뮬레이션을 이용하여 검증한 결과, 제시된 모델이 내부 전계 링을 갖는 LDMOS 항복 현상을 잘 설명한다는 것을 확인할 수 있었다.

ABSTRACT

An Analytic breakdown voltage model of LDMOS with internal field ring is proposed. The model is a simple analytic formula which has variables such as the dimension of drift region, the position and doping concentration of the internal field ring, the thickness and permittivity of oxide. By comparing the results from two dimensional TCAD simulation, the proposed model explains the breakdown phenomena fairly well.

1. 서 론

무선 통신 장비의 전력 증폭기 설계자들은 전력 증폭 기기를 만들기 위해서 바이폴라 정합 트랜지스터(BJT; Bipolar Junction Transistor), 이중접합 바이폴라 트랜지스터(HBT; Heterojunction Bipolar Transistor), LDMOS Transistor(Laterally Diffused Metal Oxide Semiconductor Field Effect Transistor), 갈륨비소 FET(GaAs Field Effect Transistor) 중에서 원하는 용도와 특성에 따라서 소자를 선택하여 사용하고 있다. 하지만 최근에 LDMOS 전력 트랜지스터의 신형성, 효율성, 최대 출력 전력, 가격대 성능 특성이 크게 향상되고 대전력(high power)에서 발생하는 전류 드리프트 문제와 전력용 트랜지스터의 신뢰성도 크게 향상됨에 따라 LDMOS에 대한 관심이 커지고 있다. 이러한 특성들은 대부분의 통신용 전력 기기 개발자들이 중요하게 여기는 것이다. 이는 차세대 셀룰러 폰과 무선 통신 장비의 전력 증폭기 소자로서 LDMOS가 적합하다는 것을 의미한다. LDMOS는 다수 캐리어 소자로서 스위칭 응답이 빠르고 입력 임피던

스가 높은 특성을 갖는 전력 소자로서 최근 많은 관심을 받고 있으며 III-V 화합물 반도체를 대체할 것으로 전망되고 있다. 전력 소자에 있어서 가장 중요한 요소는 드리프트 영역에서의 on-저항과 항복전압(BV; breakdown voltage)이다.

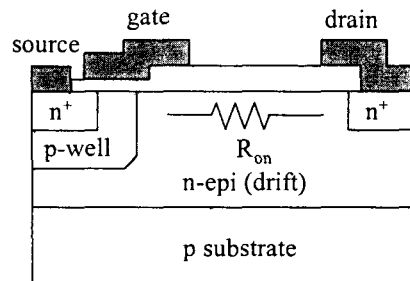


그림 1. LDMOS의 기본 구조.

그림 1은 LDMOS의 기본 구조를 나타내고 있다. LDMOS는 보통의 MOSFET에서 LDD(Lightly

Doped Drain)에 해당하는 낮은 도핑 영역인 드리프트 영역이 긴 것이 큰 특징이다. 낮은 도핑 영역인 드리프트 영역을 사용함으로써 큰 드레인 (drain) 전압이 인가되었을 때 전계가 커지는 것을 억제하고 BV를 높여 고전력에서 소자를 동작시킬 수 있는 효과를 얻을 수 있다. 하지만 낮은 도핑과 긴 구조는 on 상태에서 드리프트 영역의 저항(on-저항)을 증가시켜 f_r 특성을 악화시킨다. 반면에 드리프트 영역의 도핑을 증가시키면 f_r 특성을 개선할 수 있는 반면 전계를 증가시켜 BV가 낮아지게 된다. 즉, LDMOS에서 BV와 f_r 특성은 trade-off 관계가 있다. 따라서 소자 설계자는 f_r 를 고려하여 BV가 최적화되도록 드리프트 영역의 특성을 결정하여야 한다.

on-저항과 BV 최적화를 위한 드리프트 영역의 설계에 많은 방법이 시도되어 왔다. 가장 대표적인 것으로는 RESURF(REDuced SURface Field)이다 [1]-[4]. RESURF는 상대적으로 얇은 드리프트 영역을 사용하여 공핍영역을 드리프트 영역 내에 확대시켜 표면에서의 전계를 완화시키는 방법이다. 최근에는 RESURF에 추가적인 구조를 더하여 BV 특성을 향상시키는 여러 가지 방법이 제안되고 있다 [5]-[9]. 무선 통신의 사용 주파수가 점점 높아지는 추세를 고려해볼 때 BV를 높게 유지하기 위해서는 더욱 더 복잡한 공정이 요구된다. 그러나 실용적인 측면에서 볼 때, 비교적 단순한 공정을 사용하면서도 on-저항과 BV 특성을 향상시키는 소자의 구조를 선택하는 것이 매우 중요하다. 내부 전계 링을 이용한 LDMOS는 상대적으로 간단한 공정과 소자 구조를 가지면서도 BV 특성을 크게 향상시킬 수 있는 이점이 있다[5]-[7].

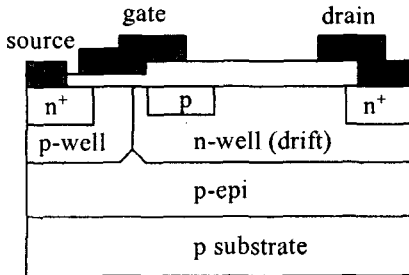


그림 2. 내부 전계 링을 갖는 LDMOS 구조

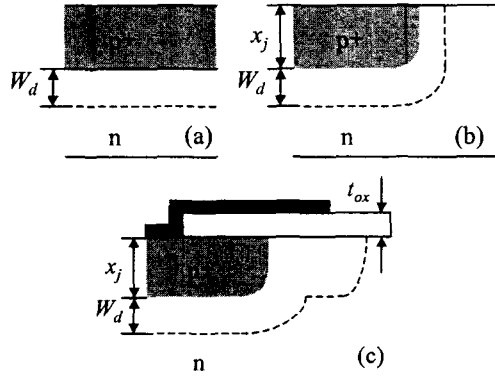
그림 2는 내부 전계 링을 갖는 LDMOS의 기본 구조이다. 내부 전계 링은 게이트 끝부분의 Si/SiO₂ 계면에 pn 접합을 형성하여 드리프트 영역에서의 전계를 분산시켜 항복전압을 증가시키는 구조이며, 이러한 구조를 이용하여 항복전압을 50% 이상 증가시키는 결과가 발표된 바 있다[5].

본 논문에서는 내부 전계 링을 갖는 LDMOS의 BV 예측이 가능한 해석적 모델을 제시하고자 한다.

II. BV 모델

2.1. pn 접합의 BV 모델

pn 접합에서의 항복전압은 각각의 도핑 농도 뿐만 아니라 구조에 의해서 영향을 받을 수 있다. 그림 3에 세 가지 구조의 pn 접합, 즉 무한 곡률을 갖는 평면 pn 접합, 유한 곡률을 갖는 pn 접합, field oxide 위에 전극을 확장시킨 pn 접합의 구조와 공핍영역의 모양을 나타내었다.



(a) 무한 곡률의 평면 pn 접합
(b) 유한 곡률의 평면 pn 접합
(c) field oxide 전극을 이용한 pn 접합
그림 3. pn 접합에서 공핍영역

무한한 곡률의 평면으로 형성된 pn 접합에서의 항복전압 BV_{plane} 식 (1)과 같이 주어진다[10].

$$BV_{plane} = 60 \left(\frac{N_d}{10^{16}} \right) \quad (1)$$

하지만 곡률을 갖는 pn 접합의 경우 접합 모서리에 전계가 증가하여 BV가 감소하게 된다. 접합 깊이를 x_j , 공핍영역의 폭을 W_d , $\gamma = x_j/W_d$ 라 할 때, BV_{planar} 는 식 (2)와 같이 구할 수 있다[11].

$$BV_{planar} = BV_{plane} \{ [(2 + \gamma)\gamma]^{1/2} - \gamma \} \quad (2)$$

$$W_d = \left(\frac{2\epsilon_{Si} BV_{plane}}{qN_d} \right)^{1/2} \quad (3)$$

전극을 field oxide 위에 확장시키는 경우 공핍영역 또한 확장되어 접합의 곡률을 증가시키는 효과를 얻을 수 있으며, 항복전압 BV_{fp} 는 식 (4)와 같이 수정되어야 한다[12].

$$BV_{fp} = BV_{plane} \{ [(2 + \gamma')\gamma']^{1/2} - \gamma' \} \quad (4)$$

$$\gamma' = \frac{\epsilon_{Si} t_{ox}}{\epsilon_{ox} W_d} \quad (5)$$

LDMOS는 BV 특성의 향상을 위해 게이트의 전극을 field oxide 위에 확장시킨 구조를 가지므로 식 (4)를 BV 해석을 위한 기본 모델로 사용하게 된다.

2.2. LDMOS의 BV 모델

그림 4에 내부 전계 링을 갖는 LDMOS 구조에서 채널 및 게이트로부터 드레인까지 표현하였다. 전통적인 LDMOS와 RESURF LDMOS의 경우 게이트 아래 Si/SiO₂ 계면의 pn 접합이 생략된 구조를 갖는다.

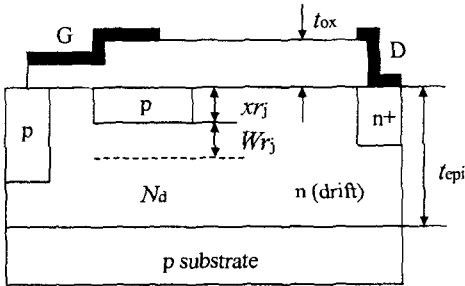


그림 4. 내부 전계 링을 갖는 LDMOS 개념도

전통적인 LDMOS의 경우, V_S=0V, V_G=0V일 때의 소자 동작은 기본적으로 그림 3-(c)의 pn 접합과 같다. 따라서 식(2)와 (3)으로부터 BV를 쉽게 구할 수 있다. RESURF LDMOS는 비교적 얇은 드리프트를 가지므로 드리프트 영역의 상단부와 하단부 양쪽에서 공핍영역이 형성되며 VD가 증가함에 따라 V_D=V_{P1}에서 두 공핍영역이 겹쳐진다. 이는 드리프트 영역의 전계를 분산시켜 BV를 높이는 효과를 갖게 된다. 따라서 RESURF LDMOS의 BV에서는 드리프트 영역의 두께(t_{epi})가 중요한 변수가 된다. 드리프트 영역의 두 공핍영역이 겹쳐지는 전압 V_D=V_{P1}은 다음과 같이 구할 수 있다[13].

$$V_{P1} = \left\{ \left(t_a^2 \frac{N_a}{N_d} + t_{epi}^2 + 2 \frac{\epsilon_{Si}}{\epsilon_{ox}} t_{ox} t_{epi} \right)^{1/2} - t_a \left(\frac{N_a}{N_d} \right)^{1/2} \right\}^2 \frac{q(N_a + N_d)}{2\epsilon_{Si}} \quad (6)$$

$$t_a = t_{epi} + \frac{\epsilon_{Si} t_{ox}}{\epsilon_{ox}} \quad (7)$$

또한 유효곡률(γ_r)과 표면유도 공핍영역 폭(W_r), 항복전압(BV_R)은 다음과 같이 표현된다[1].

$$\gamma_r = \frac{\epsilon_{Si} t_{ox}}{\epsilon_{ox} W_r} \quad (8)$$

$$W_r = \frac{\epsilon_{Si}}{\epsilon_{ox}} \left\{ \left(t_{ox}^2 + \frac{2V_{P1}(\epsilon_{ox})^2}{\epsilon_{Si}qN_d} \right)^{1/2} - t_{ox} \right\} \quad (9)$$

$$BV_R = BV_{plane} \{ [(2 + \gamma_r) \gamma_r]^{1/2} - \gamma_r \} \quad (10)$$

내부 전계 링을 갖는 LDMOS는 게이트 끝부분의 Si/SiO₂ 계면에 pn 접합을 형성하도록 p형의 링을 더한 구조이다. 높은 V_D에서 p형의 링은 완전히 공핍되며, 드리프트 영역 내에는 전계 링에 의한 공핍영역(W_r)이 더해진다. 결국, 드리프트의 에피층 두께가 x_{rj} + W_r, 만큼 줄어드는 효과가 있다고 가정할 수 있다.

$$t_{epi(eff)} = t_{epi} - x_{rj} - W_r \quad (11)$$

또한 전계 링을 만들 때의 어셉터 이온주입량을 Φ(cm⁻²)라 할 때, 간단한 해석적 결과를 얻기 위하여, 도핑이 깊이에 따라 N(x) = -ax + b 와 같이 선형적으로 변한다고 가정하면,

$$\Phi = \frac{1}{2} a x_{rj}^2 \quad (12)$$

따라서 V_D=V_{P1}에서 전계 링에 의한 공핍영역 W_r은 다음과 같이 구할 수 있다.

$$W_r = \left(\frac{12\epsilon_{Si} V_{P1}}{qa} \right)^{1/3} = \left(\frac{6\epsilon_{Si} V_{P1} x_{rj}^2}{q\Phi} \right)^{1/3} \quad (13)$$

식 (6), (7)과 식 (11), (13)을 동시에 만족하는 해를 얻은 후 식 (8)-(10)을 이용하여 내부 전계 링을 갖는 LDMOS에서의 항복전압을 구할 수 있다.

III. 시뮬레이션 및 검증

제안된 BV 모델의 검증을 위하여 2차원 TCAD 시뮬레이션을 수행하였으며 사용된 파라미터 값은 아래와 같다.

N _a	doping (substrate)	10 ¹⁵ cm ⁻³
t _{ox}	oxide thickness	1 μm
t _{epi}	n-epi thickness	20 μm
x _{rj}	field ring junction depth	1.262 μm

드리프트 영역의 도핑을 변화시키며 제안된 모델과 TCAD 시뮬레이션의 BV 결과를 그림 5에 나타내었다.

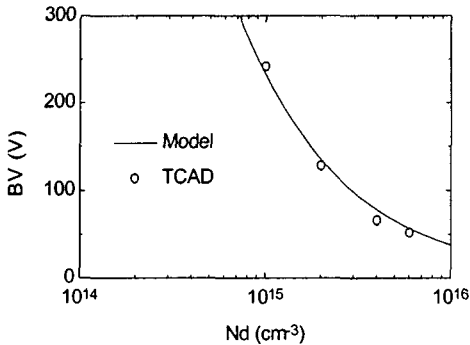


그림 5. 해석적 모델과 TCAD 시뮬레이션 결과

그림 5에서 볼 수 있는 바와 같이 제안된 모델은 TCAD 시뮬레이션 결과와 잘 일치하며 내부 전계 링을 갖는 LDMOS의 BV 현상을 정확히 예측함을 확인할 수 있다. 또한, 드리프트 영역의 도핑 증가에 따라 BV의 급격한 감소가 볼 수 있다. 따라서 LDMOS의 on-저항과 BV의 최적화에서 드리프트 영역의 도핑농도가 중요한 요소임을 알 수 있다.

V. 결론

내부 전계 링을 갖는 LDMOS BV의 해석적 모델이 제안되었다. 제시된 모델은 RESURF LDMOS의 BV 모델에서 드리프트 영역의 유효 두께를 재계산하는 방법으로 개발되었다. 드리프트 영역의 도핑 농도 변화에 따른 BV의 변화를 계산하였으며 2차원 TCAD 시뮬레이션을 이용하여 검증하였다. 계산 결과로부터 제안된 모델이 내부 전계 링을 갖는 LDMOS 항복 현상을 잘 설명한다는 것을 확인할 수 있었다.

참고 문헌

[1] Zahir Parpia and C. A. T. Salama, "Optimization of RESURF LDMOS Transistors: An Analytical Approach," IEEE Trans. Electron Devices, vol. 37, no. 3, 1990.
 [2] Taylor Efland, Peter Mei, Dan Mosher, Bob Todd, "Self-Aligned RESURF To LOCOS Region LDMOS Characterization shows Excellent Rsp vs BV Performance," Power Semiconductor Devices and ICs, 1996. IS-PSD '96 Proceedings., 8th International Symposium on, 20-23 May 1996.
 [3] Jongdae Kim, Sang-Gi Kim, Q. Sang Song, Sang Yong Lee, Jin-Gun Koo, and Dong Sung Ma, "Improvement on P-channel SOI LDMOS Transistor by Adapting a New

Tapered Oxide Technique," IEEE Trans. Electron Devices, vol. 46, no. 9, 1999.
 [4] E. C. Griffith, J. A. Power, S. C. Kelly, P. Elebert, S. Whiston, D. Bain, and M. O'Neill, "Characterization and Modeling of LDMOS Transistors on a 0.6um CMOS Technology," Proceedings of the 2000 International Conference, March 2000.
 [5] A. Nezar and C. A. T. Salama, "Breakdown Voltage in LDMOS Transistors Using Internal Field Rings," IEEE Trans. Electron Devices, vol. 38, no. 7, 1991.
 [6] Jorgen Olsson, Niklas Rorsman, Lars-Vestling, Christian Fager, Johan Ankarcrona, Herbert Zirath, Klas-Hakan Eklund, "1 W/mm RF Power Density at 3.2GHz for a Dual-Layer RESURF LDMOS Transistor", IEEE Trans. Electron Devices, vol. 23, no. 4, 2002.
 [7] Zia Hossain, Mohamed Imam, Joe Fulton, Masami Tanaka, "Double-resurf 700V N-channel LDMOS with Best-in-class On-resistance," Power Semiconductor Devices and ICs, 2002. Proceedings of the 14th International Symposium on, 4-7 June 2002.
 [8] Shengdong Zhang, Johnny K. O. Sin, Tommy M. L. Lai, Ping K. Ko, "Numerical Modeling of Linear Doping Profiles for High-Voltage Thin-Film SOI Devices," IEEE Trans. Electron Devices, vol. 46, no. 5, 1999.
 [9] M. Shindo, M. Morikawa, T. Fujioka, K. Nagura, K. Kurotani, K. Odaira, T. Uchiyama, I. Yoshida, "High Power LDMOS for Cellular Base Station Applications," Proceedings of 2001 International Symposium on Power Semiconductor Devices & IC's, 2001.
 [10] S. M. Sze, G. Gibbons, "Avalanche Breakdown Voltages of Abrupt and Linearly Graded p-n Junctions in Ge, Si, GaAs, and GaP," Appl. Phys. Lett., vol. 8, 1966.
 [11] S. M. Sze, Physics of Semiconductor Devices, 2nd ed., New York, Wiley.
 [12] V. Patrick O'Neil, P. G. Alonas, "Relation Between Oxide Thickness and the Breakdown Voltage of a Planar Junction with Field Relief Electrode," IEEE Trans. Electron Devices, vol. 26, no. 7, 1979.
 [13] T. Okabe, I. Yoshida, S. Ochi, S. Nishida, and M. Nigata, "A complementary pair of planar-power MOSFET's," IEEE Trans. Electron Devices, vol. 27, 1980.