

# 전압 표준용 RSFQ counter 회로의 설계

남두우<sup>a</sup>, 김규태<sup>a</sup>, 김진영<sup>b</sup>, 강준희<sup>b</sup>

a 한국표준과학연구원 전자기표준부

b 인천대학교 물리학과

## Circuit design of an RSFQ counter for voltage standard applications

Doo-Woo Nam<sup>a</sup>, Kyu-Tae Kim<sup>a</sup>, Jin Young Kim<sup>b</sup>, Joonhee Kang<sup>b</sup>

a Division of Electromagnetic Metrology, Korea Research Institute of Standards and Science

b Department of Physics, University of Incheon

chelae75@chollian.net

**Abstract** - An RSFQ (Rapid Single Flux Quantum) counter can be used as a frequency divider that was an essential part of a programmable voltage standard chip. The voltage standard chip is composed of two circuit parts, a counter and an antenna. Analog signal of tens to hundreds GHz may be applied to a finline antenna part. This analog signal can be converted to the stream of SFQ voltage pulses by a DC/SFQ circuit. The number of voltage pulses can be reduced by  $2n$  times when they pass through a counter that is composed of  $n$  T Flip-Flops (Toggle Flip-Flop). Such a counter can be used not only as a frequency divider, but also to build a programmable voltage standard chip. So, its application range can be telecommunication, high speed RAM, microprocessor, etc. In this work, we have used Xic, WRspice, and L-meter to design an RSFQ counter. After circuit optimization, we could obtain the bias current margins of the T Flip-Flop circuit to be above 31%. Our RSFQ counter circuit designs were based on the 1 kA/cm<sup>2</sup> niobium trilayer technology.

## 1. 서 론

현대 인간의 생활에 있어서 매 순간 처리되는 디지털 데이터의 양은 시간이 갈수록 엄청나게 증가하고 있다[1]. 이러한 상황에서 더 이상 반도체 기술을 적용한 전자회로는 많은 양의 데이터를 초고속으로, 정밀하게 처리하기에는 한계에 다다르게 되었다. 이러한 반도체의 한계를 극복하기 위해서 세계 여러 나라에서는 Nano technology, MEMS, RSFQ(Rapid Sing Flux Quantum) 등에 대해서 연구하고 있다. 그 중에서도 최근에 많은 관심을 가지고 연구되어지는 분야가 RSFQ이다[2, 3, 4].

RSFQ 전자 회로의 특징은 초고속, 저전력, 고정밀의 특성을 지니고 있어, 기존 반도체의 한계를 뛰어넘는 고성능의 전자회로를 구성할 수 있다. RSFQ 회로의 성능은 반도체의 성능을 훨씬 능가하는 100 GHz 이상의 작동 속도를 구현할 수 있다. 또한 RSFQ 전자 회로 기술은 그 활용 범위도 매우 넓어서 정보통신, 초고속 RAM, microprocessor 등에 이용할 수 있다[5].

이와 같은 RSFQ의 연구는 미국, 일본, 유럽을 중심으로 활발히 연구가 진행되고 있으며, 국내에서도 한국광기술원, 인천대학교, 한국표준과학연구원 등에서 연구가 진행되고 있다.

본 연구에서는 RSFQ 기술을 이용한 programmable 조셉슨 전압 표준 기술의 개발을 위한 기초회로로서 counter회로의 설계에 대해 연구하였다[6]. Xic, WRspice, L-meter 등을 사용하여 회로를 구성, 시뮬레이션, 설계를 하였고, 이에 적용된 layout 규칙은 미국 Hypres 사의 "Design rules"를 적용하여 설계하였다[7].

## 2. 본 론

### 2.1 회로의 구성 및 작동

본 연구에서 수행한 counter 회로의 구성 및 작동 유무를 확인하기 위해서 Xic과 WRspice라는 프로그램을 사용하였다. Xic은 회로의 구성과 layout을 수행하기 위한 프로그램이며 WRspice는 Xic으로 구성된 회로를 시뮬레이션 하여 회로의 작동유무를 확인하고 회로의 작동 마진을 구하는데 사용하였다.

여기서 수행한 counter 회로는 TFF(Toggle Flip-Flop)회로를 기반으로 한 counter 회로를 연구하였다. 이 counter회로에서 사용되어진 TFF 회로는 Fig. 1과 같다. Fig. 1과 같은 TFF 회로를 직렬로 16개의 회로를 연결하여 16-bit counter 회로를 구성하게 되었다[8].

Xic으로 구성된 회로는 WRspice를 사용하여 작동여부를 확인하는데, 우선 TFF 회로의 작동 여부를 먼저 확인하고, 이후 TFF 회로를 직렬로

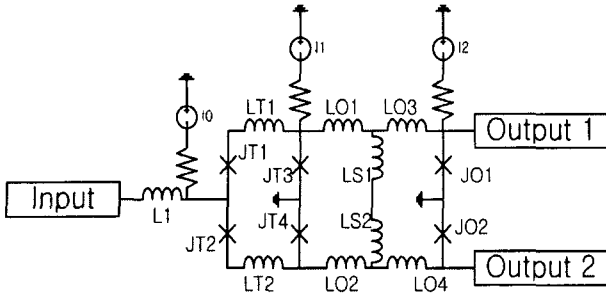


Fig. 1. TFF(Toggle Flip-Flop) circuit diagram.

연결한 counter회로의 작동 여부를 확인하였다. 본 연구에서 수행한 counter회로의 구성도는 Fig. 2와 같이 나타낼 수 있다.

Fig. 1의 Input에 일정한 pulse가 인가하게 되면 첫 번째 pulse는 Output 1로 출력하게 되고 다음의 pulse가 인가하게 되면 Output 2로 출력하게 된다. Input에서 SFQ pulse가 인가되면 L1-JT2, JT3-LT1-LO1-LO3-JO1-Output 1로 pulse가 이동하게 된다. 여기서 junction JT2와 JT3은 동시에 스위칭되며 생성된 SFQ pulse는 Output 1로 출력하게 된다. LS1과 LS2는 스토리지 인덕터로써 JT3에서 스위칭되어 인가되는 pulse를 저장하여 주는 역할을 하게 된다. 이러한 상태에서 Input에 SFQ pulse가 인가되면 L1-JT1, JT4-LT2-LO2-LO4-JO2-Output 2로 출력하게 된다. 여기서도 Output 1이 출력될 때처럼 JT1과 JT4가 동시에 스위칭하고 생성된 SFQ pulse는 Output 2로 출력하게 된다. 이렇듯 인가되는 pulse는 Output 1과 Output 2를 번갈아가면서 pulse를 출력하게 된다. 이러한 작동에 대한 시뮬레이션 결과를 Fig. 3에 나타내었다.

결국 TFF 회로는 인가되는 pulse를 1/2로 분할하여 각각 다른 출력 단자를 통해 출력하게 됨을 알 수 있다.

Fig. 3처럼 작동되는 TFF 회로 16개를 직렬로 연결하여 counter회로를 구성하게 되는데 각 TFF의 작동은 동일하다. 각 TFF cell에서 divider되어 Output 1로 출력된 SFQ pulse는 다시 다음 TFF 회로의 Input SFQ pulse로 인가하게 된다. 이렇게 16개의 TFF 회로로 구성된 counter회로는 마지막 TFF 회로의 Output 1의 출력단자로 출력된 SFQ pulse는 SFQ/DC 회로를 통해서 최종 output pulse를 출력한다. 이렇

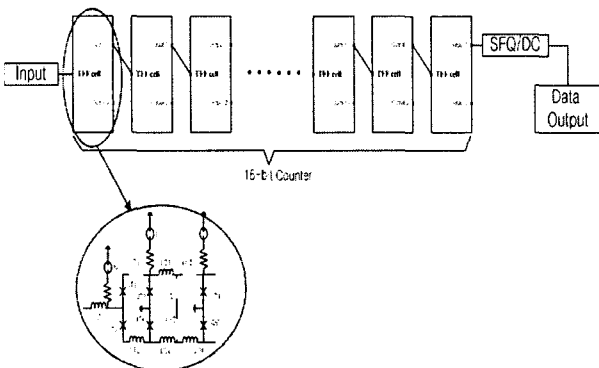


Fig. 2. Circuit block diagram of the counter.

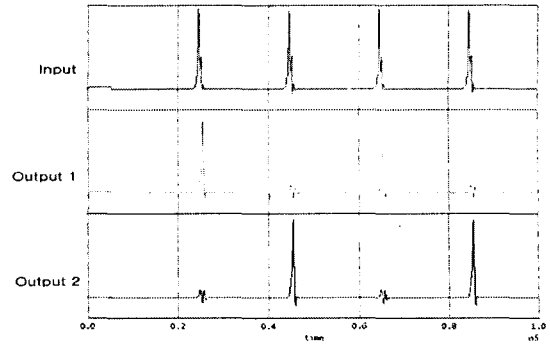


Fig. 3. Simulation results of the TFF circuit.

게 나온 pulse는 최초 인가된 pulse 수의 1/216의 pulse 수를 출력한다. 이와 같은 TFF 회로의 16-bit counter의 작동결과를 확인해보면 Fig. 4와 같다.

## 2.2 회로의 마진결과

Margin을 구하기 위해서는 WRspice라는 프로그램을 사용하여 device의 값을 반복적으로 바꿔가면서 각 device의 최대 margin을 구하며 이를 통하여 device의 최적값을 얻는다.

본 연구에서 수행한 counter 회로는 TFF 회로를 직렬로 연결한 것이기 때문에 TFF 회로를 구성하고 있는 각 device의 최대 margin을 구하며, 이렇게 얻은 최대 margin을 바탕으로 TFF 회로 device의 최적값을 정할 수 있다.

이러한 과정을 거쳐 구한 TFF 회로의 최대 margin은 Table 1과 같다. 여기서 최소 margin이 I1에서  $\pm 31\%$  이상의 값이 됨을 알 수 있다.

## 2.3 회로의 Layout

회로의 layout은 Xic을 사용하여 전체적인 layout 및 각 cell의 구성을 하고 L-meter를 사용하여 인덕터 값의 추출하였다. 전체적인 counter회로의 설계를 위해서는 우선 TFF 회로의 layout을 Xic을 사용하여 layout하고 여기에 사용되는 인덕터는 L-meter를 사용하여 그 값을 정하였다. 이후 layout된 TFF 회로를 직렬로 연결하여 전체적인 counter회로를 구성하게 된다. 구성한 TFF 회로의 counter 회로의 layout은 Fig. 5와 같다.

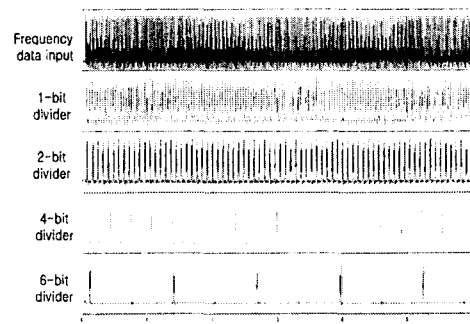


Fig. 4. Simulation results of the counter circuit.

Table 1. Margin result of TFF circuit  
(J, I: mA, L: ph)

Name	Center	(-)%	(+)%
JT1	0.22	86.36	40.91
JT2	0.215	72.09	44.19
JT3	0.2	100.00	60.00
JT4	0.23	73.91	43.48
JO1	0.25	52.00	76.00
JO2	0.25	56.00	88.00
I0	0.26	100.00	80.77
I1	0.19	52.63	31.58
I2	0.17	100.00	70.59
L1	1	100.00	>100
LO1	1.75	94.29	71.43
LO2	1.85	100.00	>100
LO3	2	100.00	>100
LO4	2.11	100.00	>100
LT1	0.87	100.00	>100
LT2	0.87	100.00	>100
LS1	2.65	96.23	>100
LS2	1.21	100.00	>100

본 연구에서 counter 회로는 조셉슨 전압 표준 어레이(array)에서 사용한 것과 동일한 finline 안테나를 통하여 frequency를 인가하며, finline을 통하여 인가된 frequency는 다시 DC/SFQ converter를 통하여 SFQ pulse로 counter 회로에 인가된다[6]. 이렇게 pulse의 인가부분은 finline안테나와 DC/SFQ converter로 구성되며 layout은 Fig. 6과 Fig. 7과 같다. 또한 finline안테나와 DC/SFQ converter를 통해 인가된 pulse는 counter 회로를 통과하고 최종 출력된 pulse는 SFQ/DC converter를 통과하면서 SFQ pulse가 DC pulse로 변환하여 출력된다. SFQ pulse를 DC pulse로 전환해주는 SFQ/DC converter의 layout은 Fig. 8에 보여지고 있다.

Counter 회로는 frequency 인가부분, counter

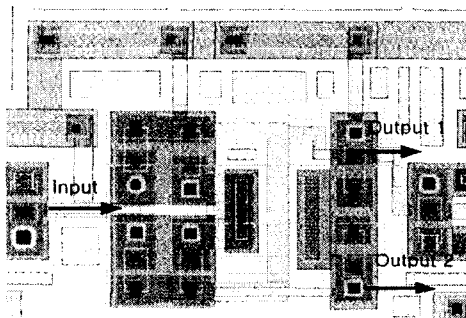


Fig. 5. Circuit layout of the TFF.

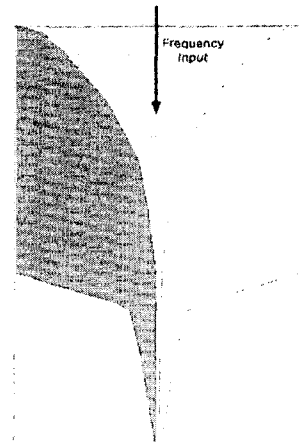


Fig. 6. Layout of the Finline antenna.

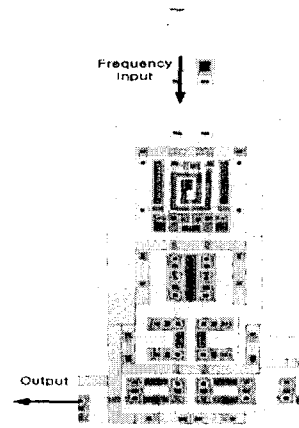


Fig. 7. Circuit layout of the RSFQ DC/SFQ.

counter 회로는 frequency 인가부분, counter 회로의 작동부분 그리고 출력부분으로 구성되며 Fig. 9와 같이 counter회로의 전체구성을 하고 이를 layout한 것이 Fig. 10에 보여진 바와 같다.

구성된 counter 회로의 layout은 실제 제작을 위해 mask layout을 만들게 된다. 본 연구에서 수행한 mask layout은 Fig. 11과 같다.

counter회로의 mask layout을 살펴보면 30개의 contact pad를 사용할 수 있도록 구성되어져 있고, mask chip의 한쪽 부분을 frequency가 finline 안테나로 인가될 때 간섭을 최소화하기

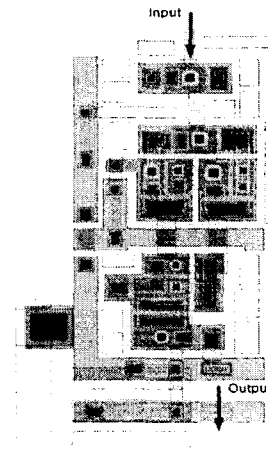


Fig. 8. SFQ/DC circuit layout

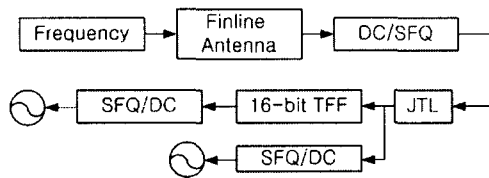


Fig. 9. Circuit block diagram of the counter.

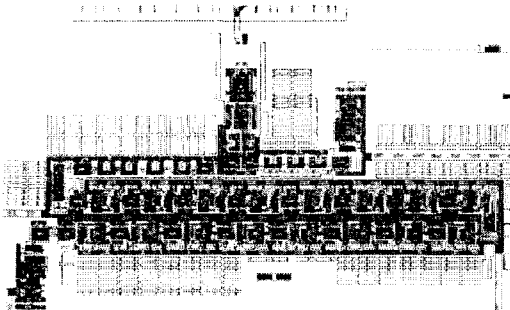


Fig. 10. Circuit layout of the RSFQ counter.

위해 mask chip의 한쪽 부분에는 contact pad를 구성하지 않았다.

### 3. 결 론

본 연구에서 수행한 RSFQ counter 회로는 high performance Programmable Josephson Voltage Standard chip의 개발에 있어서 필수적인 회로이다.

RSFQ counter 회로를 이용한 frequency divider의 개발은 정확한 파형의 분석이나 높은 정확도를 바탕으로 주파수의 특성 분석 등에 활용될 수 있다[6]. 이처럼 RSFQ counter 회로의 활용 범위는 굉장히 넓으며 향후 조셉슨 전압 표준 개발에 매우 중요하다.

본 연구에서 수행한 RSFQ counter 회로를 최적화한 결과 최소 margin이  $\pm 31\%$ 이상이 되는 회로를 설계할 수 있었다.

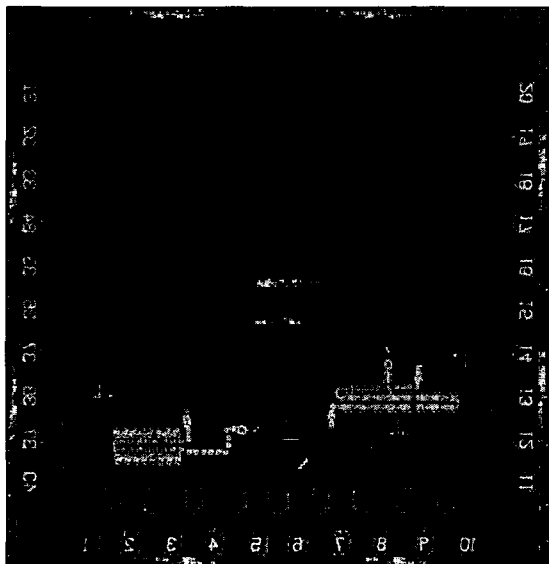


Fig. 11. Mask layout of the counter circuit

본 연구를 바탕으로 voltage standard 연구를 지속적으로 수행하면 독자적인 Josephson 전압표준 기술을 개발하여 국제적 수준의 기술력을 얻을 수 있다.

본 연구는 21세기 프론티어 연구개발사업인 차세대초전도응용기술개발 사업단의 연구비 지원에 의해 수행되었습니다.

### (참 고 문 헌)

- [1] M. Schultz, "The end of the road for silicon?", *Nature*, 399, p729-703, 1999
- [2] D. K. Brock, "RSFQ Technology: Circuits and System", *International Journal of High-Speed Electronics and System*, vol. 11, p307-362, 2001
- [3] Q. P. Herr, N. Vukovic, C. A. Mancini, A. Krasniewski, M. F. Bocko, and M. J. Feldman, "Design and Low Speed Testin of a Four-bit RSFQ Multiplier-Accumulator", *IEEE trans. Appl. Supercond.* vol. 7, p3168-3171, 1997
- [4] R. D Sandell, B. J. Dalrymple, and A. D. Smith, "An SFQ Digital to Analog Converter", *IEEE Trans. Appl. Supercond.* vol. 7, p2468-2470, 1997
- [5] K. K. Likharev, "Rapid Single-Flux Quantum Logic", in *The New Superconducting Electronics*. Kluwer Academic Publishers, H. Weistock and R. W. Ralston, eds. Dordrecht:Kluwer, p423-452, 1993
- [6] Michael S. Pambianchi, Wenquan Li, John Coughlin, Elie Talej and Darren K. Brock, "77 GHz RSFQ Counter for DC Josephson Voltage Standard Applications", *IEEE Trans. Appl. Supercond.* vol. 9, p4554-4157
- [7] "HYPRES Niobium Foundry process design rules", Available at <http://www.hypres.com>
- [8] Deepnarayan Gupta, Yongming Zhang, "On-chip clock technology for ultrafast digital superconducting electronics", *Applied Physics Letters* vol. 76. p3819-3821, 2000