

ALU의 개발을 위한 RSFQ DFFC 회로의 설계

남도우^{*.a}, 김규태^a, 강준희^b

a 한국표준과학연구원 전자기표준부

b 인천대학교 물리학과

RSFQ DFFC Circuit Design for Usage in developing ALU

Doo-Woo Nam^{*.a}, Kyu-Tae Kim^a, Joonhee Kang^b

a Division of Electromagnetic Metrology, Korea Research Institute of Standards and Science

b Department of Physics, University of Incheon

chela75@chollian.net

Abstract RSFQ (Rapid Single Flux Quantum) circuits are used in many practical applications. RSFQ DFFC (Delay Flip-Flop with complementary outputs) circuits can be used in a RAM, an ALU (Arithmetic Logic Unit), a microprocessor, and many communication devices. A DFFC circuit has one input, one switch input, and two outputs (output1 and output2). DFFC circuit functions in such way that output 1 follows the input and output 2 is the complement of the input when the switch input is "0." However, when there is a switch input "1," the opposite output signals are generated. In this work, we have designed an RSFQ DFFC circuit based on 1 kA/cm² niobium trilayer technology. As circuit design tools, we used Xic, WRspice, and Lmeter. After circuit optimization, we could obtain the bias current margins of the DFFC circuit to be above 32%.

1. 서 론

20세기 후반에 접어들면서 그 동안 많은 발전을 보였던 반도체의 발전이 그 한계에 접어들게 되었다. 이러한 반도체의 문제점은 성능향상을 위해 고집적화가 될수록 발열문제, 고집적화를 위한 설비투자에 따른 경비의 상승, 그리고 반도체 작동속도의 한계가 문제점으로 떠오르기 시작했다[1].

이와 같은 반도체의 한계를 극복하기 위해서 많은 나라에서 반도체 기술의 대안 연구에 박차를 가하고 있다. 그 대표적인 연구는 Nano technology, MEMS, RSFQ(Rapid Single Flux Quantum) 등이 있다. 최근 들어 RSFQ 기술에 대해 많은 나라에서 관심을 가지고 있다. RSFQ는 반도체와 비교할 수 없을 정도로 빠른 작동속도를 구현할 수 있으며, 낮은 전력에서도 작동이 가능하다. 이는 Fig. 1에서 보는 것과 같다.

따라서 현재 세계 각국에서 반도체 기술의 대안으로써 RSFQ의 연구에 많은 노력을 기울이고 있다[2, 3, 4].

국내에서도 수년 전부터 RSFQ의 기초적인 회로에 대한 연구를 한국표준과학연구원, 한국광기술원, 인천대학교 등에서 수행하여 오고 있다.

본 연구에서는 RSFQ의 기초적인 회로 연구를 수행하게 되었다. 시뮬레이션을 수행한 DFFC 회로는 RSFQ 회로 중 기초적인 회로로 초고속 RAM, microprocessor 그리고 정보통신 분야 등에 많은 분야에 응용될 수 있는 회로이다. 여기서는 DFFC 회로에 대한 회로의 구성, 그 작동결과, 최적화하여 얻은 각 device의 margin 결과, DFFC 회로의 layout 등에 대해 연구하였다 [5, 6].

2. 본 론

2.1 회로의 구성

DFFC(Delay Flip-Flop with complementary outputs) 회로에 관한 연구는 국내에서 많이 사용되고 있는 초전도 전자 소자 개발을 위한 프로그램인 Xic, WRspice, Julia, L-meter 등을 사용하였다. 이와 같이 국내에서 많이 사용되어지는 프로그램을 사용하면 다른 초전도 전자소자 연구 그룹과 연구 결과를 공유할 수 있으므로 초전도 전자 소자 회로의 데이터 베이스를 구축할 수 있을 뿐만 아니라 서로의 연구 결과를 쉽게 공유함으로써 좀더 복잡하고 향상된 기능을 가지는 초전도 전자 소자를 개발하는데 도움을 줄 수 있다.

Xic은 초전도 전자 소자 회로의 구성과 layout을 하는데 사용되어지는 프로그램이며, WRspice와 Julia는 Xic을 사용하여 구성한 회로를 시뮬레이션하여 회로의 작동여부를 판단할 수 있도록 시뮬레이션하고 최적화된 값을 추출할 수 있는 프로그램이다. 또한 L-meter는 Xic에서 layout 수행할 때 인덕터를 추출해 주는 프로그램이다.

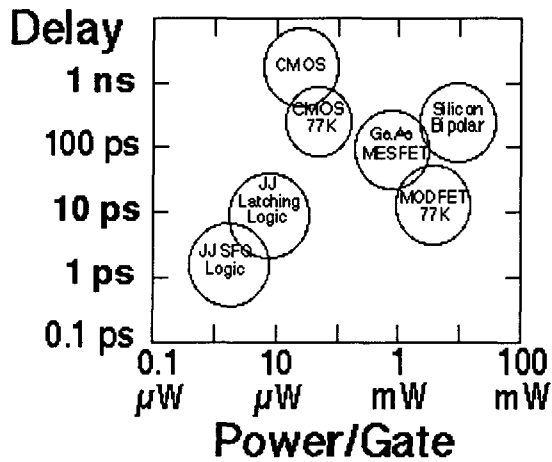


Fig. 1. Consumption rate per gate of various electronic devices.

본 연구에서는 Xic을 사용하여 DFFC(Delay Flip-Flop with complementary outputs) 회로를 구성하였으며, Xic에서 layout도 수행하였다. Xic을 사용하여 구성한 DFFC 회로의 구성 요소를 살펴보면 Josephson junction 8개, bias current 3개, 15개의 inductance로 구성되었으며, 1개의 data input 단자와 1개의 switch input 단자 그리고 2개의 output 단자로 구성되어 있다.

이와 같이 구성된 DFFC 회로는 Fig. 2 와 같다.

2.2 회로의 작동

Xic을 사용하여 구성한 회로는 WRspice와 Julia를 사용하여 회로의 정상적인 작동 여부를 확인하고 정상작동이 확인되면 반복적으로 구성 요소의 값을 변경하여가며 최적값을 추출해낸다. Fig. 2의 회로에서 DFFC 회로의 작동을 살펴보면 data input에서 data pulse를 인가시켜 주면 pulse는 data input-J6-L11-L8로 진행하여

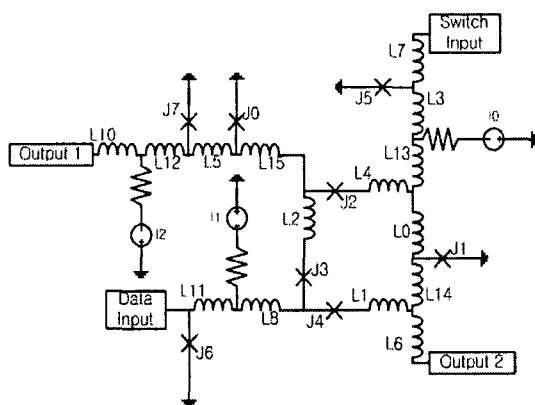


Fig. 2. Circuit schematic diagram of DFFC.

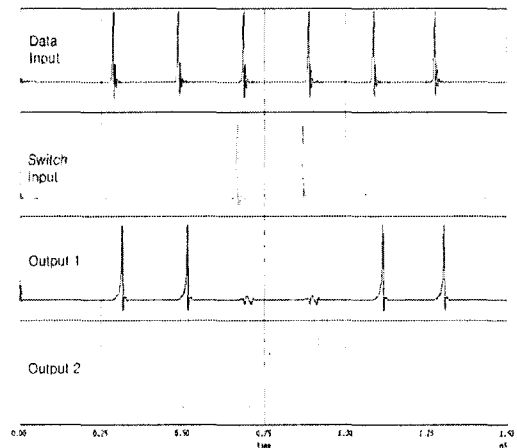


Fig. 3. DFFC circuit simulation results.

Josephson junction J2 와 J4 를 동시에 switching 시킨다. 이때 생성된 pulse는 L15-J0-L5-J7-L12-L10으로 진행되어 output 1로 출력되게 된다. output 1로 출력되는 pulse는 data input에서 인가되는 것과 같은 pulse가 출력되는 것이다. output 1에서 출력되는 pulse는 switch input에서 switch control pulse가 인가되지 않으면 data input에서 인가된 pulse와 같은 pulse가 출력하게 된다.

하지만 data input에서 계속해서 pulse가 인가되고 있고 switch input에서 switch control pulse가 인가되면 switch pulse가 인가된 만큼의 pulse가 output 1로 출력하지 않으며, output 2에서는 data input과 같은 data pulse가 출력하게 된다.

Switch input에서 인가된 pulse의 진행 경로를 살펴보면 우선 switch input에서 일정한 switch control pulse가 인가되면 pulse는 switch input-L7-J5-L3-L13으로 진행되어가며 진행된 pulse는 L0과 L4로 나누어져 진행하게 된다. 나누어진 pulse 중 L4로 진행한 pulse는 L4-J2-L2로 진행하여 J3을 switching시켜 data input에서 오는 data pulse를 차단시키며 L0으로 진행한 pulse는 L0으로 진행하여 J1을 switching시키고 switching된 pulse는 L14-L6-output 2로 data pulse를 출력하게 된다.

본 연구에서 수행한 DFFC 회로에서 J4와 J3은 buffer junction으로써 data pulse나 switch control pulse의 역류로 인한 회로의 오작동을 최소화하는 역할을 수행하였다.

위에서 살펴본 것처럼 DFFC 회로의 작동 결과를 확인해 보면 Fig. 3과 같다.

2.3 회로의 마진 결과

DFFC 회로의 정상적인 작동 여부를 확인한 후 WRspice나 Julia와 같은 구성 요소들의 최적값을 추출할 수 있는 프로그램을 사용하여 구성 요소의 최적값을 추출하였다.

Table 1. WRspice margin result
(I, J : mA, L : pH)

device name	Center Value	(-) %	(+) %
I0	0.35	54.29%	60.00%
I1	0.22375	100%	>100%
I2	0.15125	60.33%	71.90%
J0	0.19	78.95%	57.89%
J1	0.42	40.48%	35.71%
J2	0.14	64.29%	85.71%
J3	0.28	32.14%	35.71%
J4	0.15	100%	100%
J5	0.2425	100%	>100%
J6	0.215	100%	>100%
J7	0.25	52.00%	36.00%
L0	2.376	53.70%	>100%
L1	0.4752	100%	>100%
L2	0.2904	100%	>100%
L3	2.9568	83.09%	>100%
L4	0.264	100%	>100%
L5	7.524	100%	>59%
L6	3.0624	100%	>100%
L7	1.452	100%	>100%
L8	0.5808	100%	>100%
L10	2.112	100%	>100%
L11	0.2112	100%	>100%
L12	0.132	100%	>100%
L13	0.2376	100%	>100%
L14	0.1584	100%	>100%
L15	0.132	100%	>100%

두 프로그램은 시뮬레이션 수행, 최적값을 추출, Xic과 연동하여 작동되어진다는 면에서는 유사하나 최적값을 추출하는 방법에서는 커다란 차이점을 보인다.

WRspice의 경우 최적값을 추출할 때 회로가 정상작동을 하는 범위 내에서 구성요소들의 작동 값을 반복적으로 변경하면서 최적값을 추출한다. 반면에 Julia의 경우 회로가 정상적으로 작동되는 구성요소들의 값을 넣어주고 optimization이라는 기능을 이용하여 프로그램 자체적으로 최적값을 추출하게 된다.

이와 같은 두 프로그램의 장단점을 염두에 두고 DFFC 회로를 시뮬레이션하여 얻은 margin 결과는 Table 1, Table 2와 같다.

Table 1에서 보면 WRspice를 이용하여 구성요소들을 최적화한 결과 최소 margin이 J3에서 ± 32% 이상을 얻었으며, Table 2에서 Julia를 이용한 최적화한 결과를 확인해 보면 J1에서 ± 22% 이상을 얻을 수 있는 것을 확인할 수 있었다.

이처럼 높은 margin 값을 얻었다는 것은 향후 회로를 제작하였을 때 회로의 작동 확률이 매우 높아진다는 것을 의미하게 된다. 이를 바탕으로

Table 2. Julia margin result
(I, J : × 0.125mA, L : × 2.64pH)

Device Name	Center Value	(-) %	(+) %
I0	3.13	49.87%	40.00%
I1	1.72	80.45%	61.24%
I2	1.93	52.49%	45.80%
J0	1.66	44.26%	40.00%
J1	2.75	22.15%	26.41%
J2	1.22	67.04%	65.50%
J3	2.18	26.41%	27.95%
J4	1.06	90.00%	90.00%
J5	2.26	45.80%	49.87%
J6	1.50	90.00%	90.00%
J7	1.88	48.52%	49.87%
L0	0.90	40.00%	83.31%
L1	0.18	90.00%	90.00%
L2	0.11	90.00%	90.00%
L3	1.12	87.96%	90.00%
L4	0.10	90.00%	90.00%
L5	2.85	90.00%	90.00%
L6	1.16	90.00%	90.00%
L7	0.55	90.00%	90.00%
L8	0.22	90.00%	90.00%
L10	0.80	90.00%	90.00%
L11	0.08	90.00%	90.00%
L12	0.05	90.00%	90.00%
L13	0.09	90.00%	90.00%
L14	0.06	90.00%	90.00%
L15	0.05	90.00%	90.00%

Xic을 사용하여 layout을 수행하였다.

2.4 회로의 설계

WRspice와 Julia를 사용하여 DFFC 회로의 구성 요소들의 최적값을 추출한 후에 회로를 제작할 수 있는 mask를 만들기 위해 layout을 수행하게 된다. Layout을 수행하기 위해 Xic라는 프로그램을 사용하였고 inductance의 값을 추출하기 위해 L-meter를 사용하였다.

본 연구에서 layout을 수행하기 위해 사용한 DFFC 구성 요소들의 값은 WRspice를 이용하여 얻은 최적값을 바탕으로 하였다. Layout 수행시 적용한 layout 규칙은 미국 Hypres 사의 "Design Rules"을 따랐다[7]. Fig. 4는 Xic, L-meter를 사용하여 구성한 DFFC 회로의 layout이다.

3. 결 론

본 연구에서는 초전도 전자 소자의 기초적인 회로 중의 하나인 DFFC 회로에 대한 시뮬레이션 및 설계에 대해 연구하였다. 우선 Xic을 사용

(참 고 문 헌)

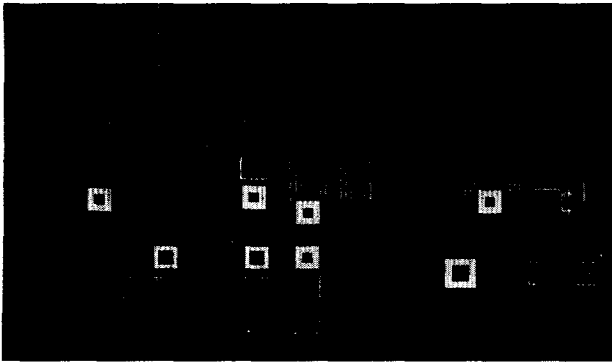


Fig. 4. The circuit layout of the DFFC circuit.

해서 회로를 구성한 후 회로의 정상 작동을 확인하였고 구성요소의 margin을 구하였다. 이 결과 구성요소의 마진이 WRspice의 경우 최소 margin이 J3에서 $\pm 32\%$ 이상의 결과가 나왔고 Julia의 경우 최소 margin이 J1에서 $\pm 22\%$ 이상의 결과가 나왔다. 이와 같은 결과를 바탕으로 Xic과 L-meter를 사용하여 회로의 layout을 수행하였다. 본 연구를 통하여 초전도 전자 소자의 기초적인 회로의 데이터베이스를 구축하였고 제작을 위한 전자 소자 제작을 위한 중요한 기초 자료를 얻을 수 있게 되었다.

본 연구는 21세기 프론티어 연구개발사업인 차세대초전도응용기술개발 사업단의 연구비 지원에 의해 수행되었습니다.

- [1] M. Schultz, "The end of the road for silicon?", *Natur*, 399, p729-703, 1999
- [2] D. K. Brock, "RSFQ Technology: Circuits and System", *International Journal of High-Speed Electronics and System*, vol. 11, p307-362, 2001
- [3] Q. P. Herr, N. Vukovic, C. A. Mancini, A. Krasniewski, M. F. Bocko, and M. J. Feldman, "Design and Low Speed Testin of a Four-bit RSFQ Multiplier-Accumulator", *IEEE trans. Appl. Supercond.* vol. 7, p3168-3171, 1997
- [4] R. D Sandell, B. J. Dalrymple, and A. D. Smith, "An SFQ Digital to Analog Converter", *IEEE Trans. Appl. Supercond.* vol. 7, p2468-2470, 1997
- [5] Zhong J. Deng, Nobuyuki Yoshikawa, Stephen R. Whiteley, and Theodore Van Duzer, "Data-Driven Self-timed RSFQ Digital Integrated Circuit and System", *IEEE Trans. Appl. Supercond.* vol. 7, p3634-3637, 1997
- [6] A. F. Kirichenko, V. K. Semenov, Y. K. Kwong and V. Nadakumar, "4-bit Rapid Single-Flux-Quantum Decoder", *IEEE Trans. Appl. Supercond.* vol. 5, p2857-2860, 1995
- [7] "HYPRES Niobium Foundry process design rules", Available at <http://www.hypres.com>