

SFQ 컨플런스 버퍼와 DC 스위치의 디자인과 특성

김진영, 백승현, 정구락*, 임해용*, 박종혁*, 강준희, 한택상*
인천대학교 물리학과, *한국광기술원

Design and Characteristic of the SFQ Confluence buffer and SFQ DC switch

J. Y. Kim, S. H. Baek, K. R. Jung, H. Y. Lim, J. H. Park, J. H. Kang, T. S. Han
University of Incheon, KOPTI

lachesiz@incheon.ac.kr

Abstract - Confluence buffers and single flux quantum (SFQ) switches are essential components in constructing a high speed superconductive Arithmetic Logic Unit (ALU). In this work, we developed a SFQ confluence buffer and an SFQ switch. It is very important to optimize the circuit parameters of a confluence buffer and an SFQ switch to implement them into an ALU. The confluence buffer that we are currently using has a small bias margin of $\pm 11\%$. By optimizing it with a Josephson circuit simulator, we improved the design of confluence buffer. Our simulation study showed that we improved bias global margin of 10% more than the existent confluence buffer. In simulations, the minimal bias margin was $\pm 33\%$. We also designed, fabricated, and tested an SFQ switch operating in a DC mode. The mask layout used to fabricate the SFQ switch was obtained after circuit optimization. The test results of our SFQ switch showed that it operated correctly and had a reasonably wide margin of $\pm 15\%$.

1. 서 론

Single Flux Quantum(SFQ)소자는 앞으로 반도체 소자를 대신 할 수 있는 가장 실현 가능성 있는 소자로 대두되었고 많은 연구가 진행되고 있다. 본 연구에서는 SFQ 소자를 이용하여 confluence buffer와 SFQ DC 스위치를 디자인하였다. confluence buffer와 스위치는 초전도 Arithmetic Logic Unit(ALU)를 구성하는데 가장 필수적인 회로들이다. ALU는 산술연산과 논리 연산을 담당하는 회로이며 프로세서의 중요한 부분이다. SFQ 소자로 ALU를 구성하였

을 때 기존의 소자보다 10배이상 빠른 동작속도를 갖는 프로세서를 만들 수 있다는 커다란 장점이 있다. 기존의 confluence buffer회로를 개선하여 새롭게 디자인하고 시뮬레이션, 마진분석, layout을 수행하였다. 또한 SFQ DC 스위치를 디자인하고 제작하여 측정하였다. 본 연구에서는 회로시뮬레이션을 위해 WRspice을 사용하였으며, layout은 CAD프로그램인 XIC를 사용하였다. 회로의 최적화를 위해 전용프로그램인 Julia를 사용하였다. 또한 인턱턴스 추출 프로그램인 Lmeter를 사용하였다. 또한 Julia를 사용한 가진분석을 통하여 최소마진이 $\pm 24\%$ 이상 되도록 회로를 최적화 시켰다.

2. 본 론

2.1 Confluence buffer의 설계

그림 1은 confluence buffer의 회로도도를 보여주고 있다. 두 갈래에서 오는 신호를 하나로 합쳐주는 역할을 하는 confluence buffer의 작동원리는 input A를 통해 SFQ pulse가 입력되면 J_a junction이 스위칭하고 J_{bx} 와 J_o 가 스위칭 되어 output으로 pulse가 출력된다.

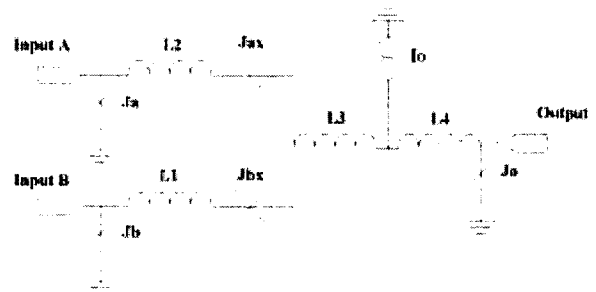


Fig. 1. Circuit diagram of the confluence buffer.

같은 원리로 Input B를 통해 pulse가 입력되면 J_b 가 스위칭하고 J_{ax} 와 J_o 가 스위칭 되어

output으로 pulse가 나가게 된다. 만약 input A와 B에서 동시에 pulse가 입력되면 Ja, Jb가 스위칭 되고 Jo가 스위칭 되어 하나의 pulse만 out된다. 표 1은 기존의 confluence buffer의 마진 값을 보여주고 있다. 기존에 설계된 confluence buffer는 Ja, Jb, Jo Junction의 Ic값을 0.39mA로 디자인하였고 Jax, Jbx는 0.28mA로 설계되어있다. 실제 측정결과 I0의 바이어스 마진 값이 $\pm 11\%$ 였다.

Table 1. The existent confluence buffer margins obtained with Julia. The minimal margin was $\pm 26\%$

Device Name	Center Value	(-)margin (%)	(+)margin (%)
Ja	0.39mA	73	67
Jax	0.28mA	67	90
Jb	0.39mA	73	71
Jbx	0.28mA	67	90
Jo	0.39mA	67	58
L1	0.55pH	90	90
L2	0.55pH	90	90
L3	0.58pH	90	90
L4	0.9pH	90	90
I0	0.828mA	26	30

그림 2는 기존의 confluence buffer의 layout을 보여주고 있다.

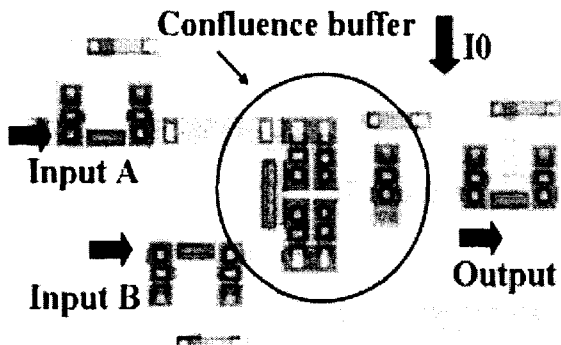


Fig. 2. Mask layout of the confluence buffer. Confluence buffer core circuit, inputs, output, and the bias current are shown on the figure.

I0 바이어스 마진을 개선하기 위해 본 연구에서는 confluence buffer를 최적화 하였다. 그림 3은 confluence buffer의 시뮬레이션 결과이다. 이를 통해 회로가 정상적으로 동작함을 알 수 있다. 최적화한 confluence buffer는 기본 회로 디자인은 기존의 회로와 같지만 사용된 Ja, Jb, Jax, Jbx junction은 0.22mA를 사용했고, Jo에는 0.24 mA로 수정하였다.

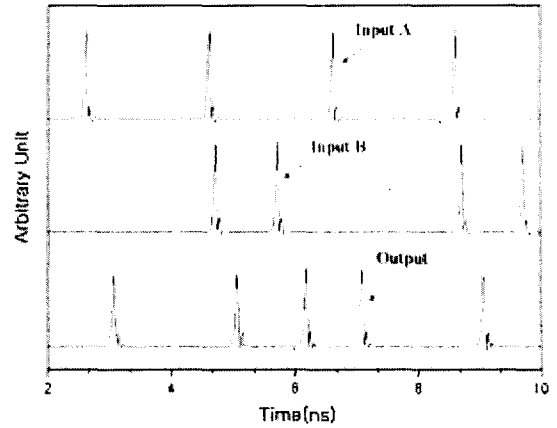


Fig. 3. Circuit simulation results of the confluence buffer obtained with WRspice. Delays in output data were caused by the Josephson Transmission Lines.

표 2는 Julia에서 구한 confluence buffer의 마진이다. I0 바이어스만 비교해볼 때 약 $\pm 7\%$ 더 높은 결과를 얻었다. 표 2는 Julia를 이용해 최적화 한 결과이다.

Table 2. The optimize confluence buffer margins obtained with Julia. The minimal margin was $\pm 33\%$

Device Name	Center Value	(-)margin (%)	(+)margin (%)
Ja	0.22mA	90	90
Jax	0.22mA	73	61
Jb	0.22mA	90	90
Jbx	0.22mA	73	61
Jo	0.24mA	90	90
L1	0.63pH	90	90
L2	0.63pH	90	90
L3	1pH	90	90
L4	3.17pH	90	90
I0	0.46mA	33	37

Julia는 최적화 기능 외에 Global margin을 구할 수 있는 장점이 있다. Global margin은 회로 제작시 공정상의 오차로 인하여 생길 수 있는 parameter들의 전체적인 변동폭을 의미한다. 실제로 회로를 제작했을 때 시뮬레이션 마진과 측정마진이 차이를 보이는 원인 중에 하나가 Global margin 때문이다. 따라서 실제 회로를 제작하여 측정 할 때는 Global margin이 더욱 중요한 의미를 가진다. 표 3은 confluence buffer Global margin을 비교한 결과를 보여주고 있다. 최적화 된 회로는 기존의 회로보다 바이어스의 Global margin이 약 $\pm 10\%$ 더 높은 결과를 얻었다.

Table 3. The Global margin result of optimized confluence buffer obtained with Julia

Global parameter	Old		New	
	(-)margin (%)	(+)margin (%)	(-)margin (%)	(+)margin (%)
Bias	22	24	33	32
Junction	19	36	27	33
Inductor	67	83	52	90

그림 4는 confluence buffer의 layout 결과를 보여주고 있다. Julia를 이용하여 최적화 된 새로운 confluence buffer는 좀더 compact한 디자인으로 복잡한 회로에서 유용하게 사용 될 수 있다.

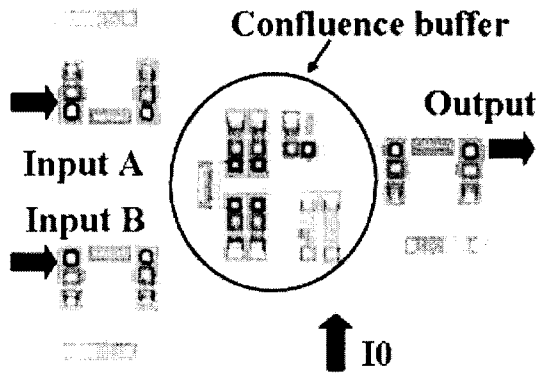


Fig. 4. Mask layout of the new designed confluence buffer. Confluence buffer core circuit, inputs, output, and the bias current are shown on the figure.

2.2 SFQ DC 스위치 설계

그림 5는 SFQ DC스위치에 대한 회로도 및 작동원리를 보여주고 있다.

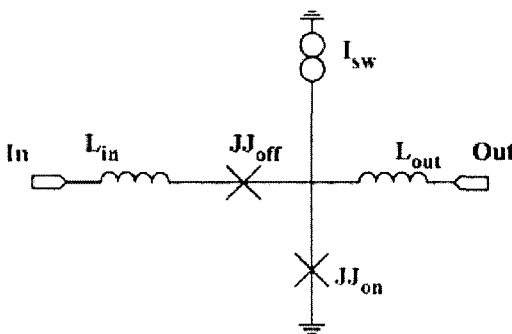


Fig. 5. Circuit schematics of the designed SFQ switch. $L_{in} = 0.62\text{pH}$, $L_{out} = 2.80\text{pH}$, $J_{off} = 0.17\text{mA}$, $J_{on} = 0.37\text{mA}$, $I_{sw} = 3.5\text{mA}$

In 터미널에서 SFQ pulse가 입력이 되면 L_{in} 인덕터를 지나 플로팅 junction JJ_{off} 를 지나게 된다. 이때 I_{sw} 바이어스가 있으면 JJ_{on} junction이

스위칭 하고 pulse는 L_{out} 인덕터를 지나 Out쪽으로 나가게 된다.

그러나 스위치의 I_{sw} 바이어스가 0일 때에는 플로팅 junction인 JJ_{off} 가 스위칭 하여 pulse는 소멸된다.

그림 6은 본 연구에서 디자인된 SFQ DC 스위치의 시뮬레이션 결과이다. 맨 위쪽을 그래프는 data Input을 보여주고 있으며 중간 그래프는 스위치 바이어스인 I_{sw} 의 변화를 보여주고 있다.

맨 아래 그래프는 바이어스에 따른 output을 보여주고 있다. 바이어스가 있을 때에는 정상적으로 output을 볼 수 있고, 바이어스가 없을 때에는 output이 없음을 알 수 있다. 이를 통해 DC 스위치가 정상 작동함을 알 수 있다.

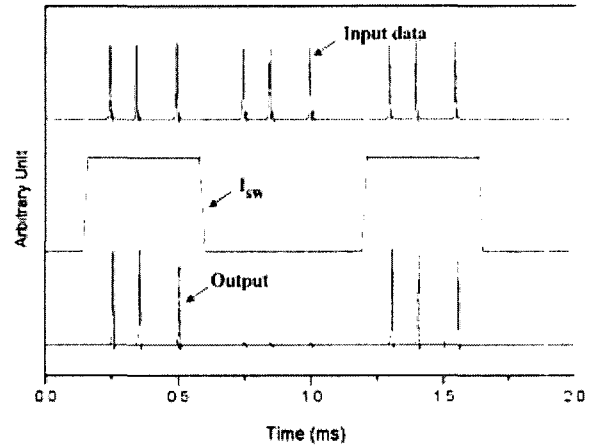


Fig. 6. Circuit simulation results of the designed SFQ DC switch. (1101) data patterns were used in simulations.

표 4는 본 연구에서 디자인된 DC 스위치의 마진 값을 보여주고 있다. 최소 바이어스 마진폭이 $\pm 43\%$ 이상임을 알 수 있다.

Table 4. The designed DC switch margin result. The minimal margin was $\pm 37\%$

Device Name	Center Value	(-)margin (%)	(+)margin (%)
JJ_{off}	0.17mA	81.82	81.82
JJ_{on}	0.37mA	37.84	37.84
L_{in}	0.62pH	100	100
L_{out}	2.80pH	25.0	>100
I_{sw}	3.5mA	43	43

그림 7은 DC 스위치의 layout을 보여주고 있다. DC 스위치의 크기는 $100\mu\text{m} \times 75\mu\text{m}$ 이다.

(참 고 문 헌)

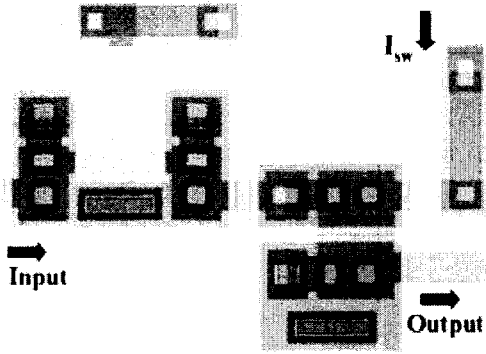


Fig. 7. Mask layout of the designed SFQ DC switch. SFQ core circuit, inputs, output, and the bias current(I_{sw}) are shown on the figure.

2.3 DC 스위치의 측정

그림 8은 본 연구에서 사용한 측정시스템의 다이아그램을 보여주고 있다. SFQ pulse는 매우 작은 전압의 형태이기 때문에 (0.1mV) 이를 측정하기 위해서는 측정장비가 매우 중요하다.

본 연구에서는 National Instrument사의 PXI(PCI eXtensions for Instruments) 측정 시스템을 사용하였다. PXI 측정 시스템은 PXI main frame, PXI control 카드, SCXI (Signal Conditioning eXtensions for Instrumentation) 카드, analog-to-digital 모듈, digital-to-analog 모듈로 구성되어 있다. SFQ 스위치는 10 Level Nb 프로세스를 이용하였으며 critical current density는 1kA/cm²로 제작되었다. PXI-6052E 16bit A/D 모듈과 SCXI를 사용하여 회로의 output 전압을 측정하였다. 또한 DC 바이어스를 회로에 흘려주기 위해 PXI-6713E D/A 모듈을 사용하여 DC 바이어스를 테스트 회로에 흘려주었다. 이 모든 장비의 컨트롤은 Labview software로 프로그래밍 하여 사용하였다.

디자인된 DC 스위치를 측정하였다. I_{sw} 바이어스 마진은 ±15%였다. 테스트 회로의 측정은 TFF 타입의 SFQ/DC 컨버터를 통해 SFQ pulse의 output을 측정하였다.

3. 결 론

본 연구를 통하여 기존의 confluence buffer를 개선하여 최적화 하였다. 개선된 회로의 최소 마진은 ±33% 였다. SFQ DC 스위치를 디자인하였고, 제작하여 측정하였다. 측정된 바이어스 마진은 ±15% 였다.

본 연구는 21세기 프론티어 연구개발사업인 차세대 초전도 응용기술개발 사업단의 연구비 지원에 의해 수행되었습니다.

[1] K. K. Likarev and V. K. Semenov, RSFQ Logic/Memory Family: A new Josephson-Junction Technology for sub-Terahertz Clock-Frequency Digital Systems, IEEE Trans. Appl. Supercond, 13-28, (1991).
 [2] K. R. Jung, J. H. Park, H. R. Lim, Y. R. Jang, J. H. Kang, T. S. Han Design and Measurement of an SFQ gate composed of a D Flip-Flop and a Confluence Buffer, Progress in superconductivity Vol. 4 No.2 127-131, (2003)
 [3] O. A. Mukhanov, V. K. Semenov, W. Li, T. V. Filippov, D. Gupta, A. M. Kadin, D. K. Brock, A. F. Kirichenko, Y. A. Polyakov, and I. V. Vernik, IEEE Transactions on Applied Superconductivity, 11, 601, (2001).
 [4] A. F. Kirichenko, S. Sarwana, O. A. Mukhanov, I. V. Vernik, Y. Zhang, J. H. Kang, and J. M. Vogt, IEEE Transactions on Applied Superconductivity, 11, 978, (1998).
 [5] M. Dorojevets, P. Bunyk, and D. Y. Zinoviev, IEEE Transactions on Applied Superconductivity, 11, 326 (2001).
 [6] K. Takahashi, K. Miyahara, H. Takai, S. Nagasawa, H. Hasegawa, and Y. Enomoto, IEEE Transactions on Applied Superconductivity, 13, 551, (2003).
 [7] V. K. Semenov, and Y. A. Polyakov, IEEE Transactions on Applied Superconductivity, 9, 3026 (1999).
 [8] J. H. Kang, J. X. Przybysz, A. H. Worsham, and D. L. Miller, IEEE Transactions on Applied Superconductivity, 9, 4345 (1999).
 [9] HYPRES design rules can be found at Hypres web site at
 [10] Y. H. Kim, C. H. Kim, T. S. Hahn and S. S. Choi, J. H. Kang, S. J. Park, J. of Korean Physical Society, 31, 76 (1997).
 [11] S. Y. Lee and V. B. Fedorov, J. of Korean Physical Society, 36, 316 (2000).
 [12] J. H. Kang and S. E. Choi, J. of Korean Physical Society, 30, 306 (1997).
 [13] J. H. Kang, J. of Korean Physical Society, 39, 718 (2001).
 [14] Junichi Koshiyama, Nobuyuki Yoshikawa A Cell-Based Design Approach for RSFQ Circuits Based Binary Decision Diagram IEEE Trans. Vol. 11 263-266 (2001)