

RSFQ 회로 제작용 SINIS 조셉슨 접합기술

SINIS Technology for RSFQ Circuit Fabrication

김규태,* 김문석,* D. Balashov,** 박종혁,* 한택상*

Kyu-Tae Kim,* Mun-Seog Kim,* D. Balashov,** Jong-Hyeok Park,* Taek-Sang Hahn*

ktkim@kriss.re.kr

Abstract - the high speed of RSFQ circuits is based on the self-resetting in the overdamped Josephson junctions. The SIS technology using Nb/Al₂O₃/Nb trilayer has been successfully adopted as a standard technology. However the newly suggested SINIS technology attracts interest because the junction itself is overdamped without any external shunt, and provides possibility of simplification of RSFQ circuit design and fabrication. In this paper we demonstrate RSFQ circuit fabrication process using SINIS technology.

Key Words: RSFQ, SINIS, Josephson junction, Nb-AlO_x-Nb,

1. 서 론

Nb/AlO_x/Nb 조셉슨 접합은 초전도 디지털 응용소자를 구성하는 기초 재료로서, 접합 제작의 안정성과 재현능력은 응용소자개발의 성패를 좌우하는 필수 요건이다. 최근 초전도 디지털 전자회로로서 주목받고 있는 RSFQ (Rapid Single Flux Quantum) 회로는 [1] 미소한 자속양자를 조셉슨 접합을 이용하여 매우 빠르고 정확하게 제어함으로써, 수십 내지 수백 GHz 대역의 경이적인 속도로 대용량 정보를 처리할 수 있어, 꿈의 컴퓨터라 할 수 있는 Petaflops 급 슈퍼컴퓨터, 초고속 대용량 Router, 고성능 이동통신 신호 처리기 등을 비롯한 차세대 정보통신기술 분야 응용을 목표로 연구가 진행되어 왔다. [2] RSFQ 소자의 빠른 작동속도는 self-reset 특성을 나타내는 조셉슨접합을 기초로 한다. 이러한 조셉슨 접합을 임계전류근처의 zero 전압상태에 놓고 미소한 전류펄스를 가하면 순간적으로 non zero 전압상태로 변화하였다가 zero 전압상태로 회복 (self-reset) 하는 동안에 정확한 자속양자를 발생시키게 된다. 이러한 조셉슨접합은 일반적으로 Nb/Al₂O₃/Nb 터널접합에 외부 분류저항(shunt)을 부착하여 구현된다. 저항값은 RSFQ회로의 빠른 속도를 보장할 수 있도록 최적화되어야 하는데 저항이 너무 크면, 터널접합의 under-damping 특성이 남게되어 self-reset에 지장이 있고, 너무 작으면 $I_c R$ 값이 작아져서 오히려 속도가 떨어진다. 저항의 설계 및 제작은 RSFQ 회로 개발에서 생략할 수 없는 요소이다.

독일 PTB의 Niemeyer 팀에서는 기존 Nb/Al₂O₃/Nb 접합의 damping 특성을 크게 증가시킨 Nb/Al₂O₃/Al/Al₂O₃/Nb (이하, SINIS라고 부르기로 한다.) 접합을 새로이 제안하였으며, 이를 이용한 RSFQ회로도 선보였다. [3] 본 논문에서는 SINIS 접합 회로의 제작방법과 이를 이용해 제작한 RSFQ 요소회로들의 작동결과를 소개하고 자 한다.

2. 본 론

2.1. RCSJ 모델

일반적으로 SINIS 또는 SIS 조셉슨 접합은 그림 1의 RC 로 shunt된 등가회로 (Resistively-Capacitively Shunted Junction)로 볼 수 있고 이것을 Stewart McCumber 모델 [4]로 규격화시키면 (1)을 얻을 수 있다. 여기서 I_c 는 접합에 흐르는 총전류, R 은 접합의 접합분류저항 (shunt)에 해당하는 상전도 저항, C 는 접합의 용량, ϕ 는 두 초전도체를 기술하는 파동함수의 위상차, β 는 $(2eI_c R/\hbar)RC$, τ 는 $(2eI_c R/\hbar)t$, i 는 I/I_c 이다.

$$\beta \frac{d^2 \phi}{dt^2} + \frac{d\phi}{dt} + \sin(\phi) = i \quad (1)$$

따라서 접합은 $2eI_c R/\hbar$ 가 클수록 더 빠른 특성을 갖게 되며, 결국 characteristic voltage, $V_c = I_c R$ 의 값을 크게 하는 것이 빠른 신호처리 특성을 얻기 위한 관건이 된다. 한편 McCumber 변수 β 가 클수록 접합은 under-damping 하려는 경향이 커지

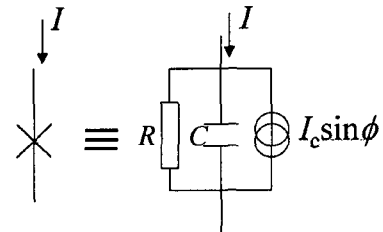


그림 1. 일반 터널접합의 등가회로.

Fig. 1. Equivalent circuit of a generic tunnel junction.

며 이 값이 작을수록 over-damping 하려는 경향이 커진다. 평형에 도달하는데 소요되는 시간을 최소로 하기위해 보통 이 값이 1이 되도록 선택된다. 이 조건은 식 (1)에서 알 수 있듯이 small oscillation 극한에서 진동의 critical damping에 해당된다.

2.2. SINIS 접합회로의 제작

그림 2는 SINIS 기술을 이용하여 RSFQ회로를 제작하는 과정을 보여준다. 제작순서는 다음과 같다. a) Nb Gorundplane(GP)의 제작, b) GP의 anodization 및 SiO₂ 절연층 증착 및 contact hole 식각, c) SINIS layer의 증착 및 SiO₂ 증착. 이 과정은 접합의 기본특성을 좌우하는 trilayer 증착과정이다. 세 번의 Al 층 증착 및 두 번의 Al 산화를 포함한다. Al 두께는 10 nm 이하이며, 산화시간은 1 내지 4분, 산소압력은 0.2 내지 0.4 Pa 이다. trilayer 위의 SiO₂는 나중에 anodization 마스크로 쓰기위해 필요하다. d) 접합크기 정의. 접합면 위에 놓일 anodization 마스크 및 counter electrode를 식각한다. e) Anodization 및 base electrode 형성: Counter electrode를 제외한 전체 표면을 Anodization 시

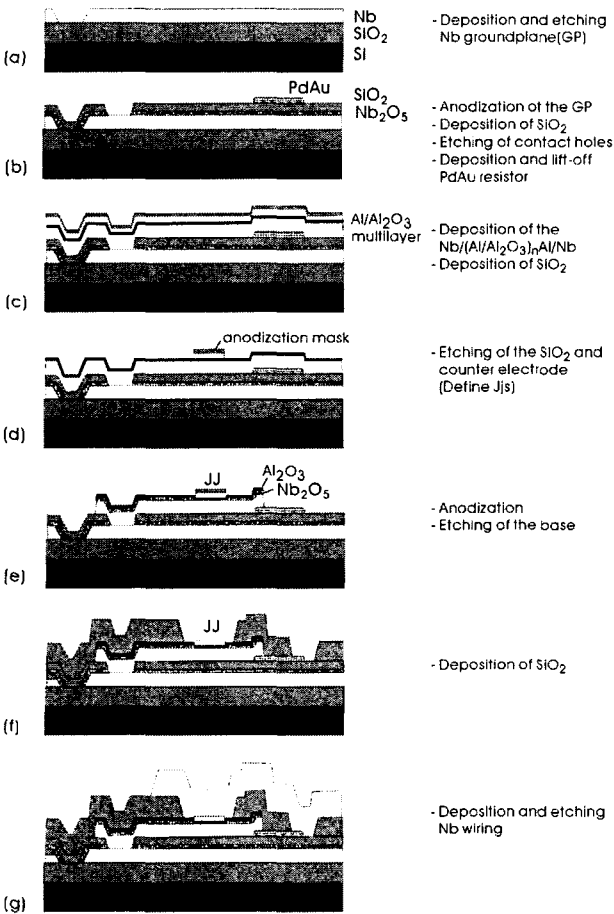


그림 2. SINIS RSFQ 회로의 제작과정.
Fig. 2. Fabrication process for SINIS RSFQ circuits.

킨다. 약 45 V 까지 anodization시킬 경우 약 45 nm의 절연층이 생성된다. 다음 base electrode 패턴을 식각한다. f) 접합을 절연시킬 SiO₂ window를 제작한다. g) Nb wiring으로 회로를 완성한다. 마지막으로 contact 특성을 좋게하기 위해 PdAu를 pad위에 살짝 증착할 수도 있다. 이 공정의 가장 큰 특징은 Anodization을 사용하여 접합을 1차적으로 치밀하게 절연시킴으로써 SiO₂ 절연층의 window의 크기를 접합면적보다 더 크게 할 수 있다는 점이다. 이렇게 함으로써 미소 접합회로의 lithography에 있어서 층과 층사이의 정렬 마진을 대폭 증가시킬 수 있다는 장점이 있다. 본 공정에 사용된 최소 접합의 직경은 약 4 μm이고 목표로 한 임계전류밀도는 (0.5 ~ 1) kA/cm² 이다. 이러한 SINIS 기술로 간단한 RSFQ회로를 제작하여 그 적용가능성을 시험해 보았다. 제작한 회로는 DC/SFQ converter, JTL (Josephson transmission line), T-FF (Toggle Flip flop), SFQ/DC converter로 구성된 test 회로와 초전도 microstripline의 인덕턴스를 측정하기 위한 간섭계의 두 가지이며 PTB의 clean room 시설을 이용하여 제작하였다. 그림 3은 제작한 간섭회로의 사진이다. microstripline의 폭은 50 μm, 길이는 250 μm와 500 μm의 두 가지로 제작하였으며, GP, base, wiring의 세 Nb 층 가운데 두 개를 선택하여 microstripline이 형성되도록 설계함으로써 유전층의 두께에 따른 인덕턴스 변화도 측정할 수 있도록 하였다.[5] 그림 4는 제작한 test 회로의 사진이다.

2.3. 제작한 회로의 작동실험

제작한 회로들은 간단한 DC bias 장치, 파형발생기, Oscilloscope를 이용하여 측정하였다. 먼저 간섭계의 경우 대부분의 제작된 회로가 작동됨을 확인할 수 있었다. 그림 5는 그 중 한 결과를 보여준다. 이 경우 microstripline은 wiring과 base로 구성되고, 폭은 50 μm, 길이는 500 μm 였다. Microstripline의 길이를 정의하는 두 개의 접합은 SQUID 간섭계를 구성한다. 접합을 적당한 bias 전류에 놓았을 때, microstripline를 따라 흐

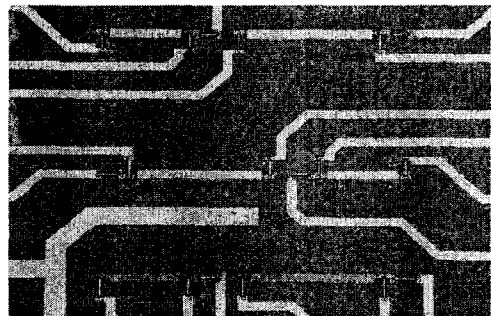


그림 3. 초전도 microstripline의 인덕턴스를 측정하기 위해 제작한 간섭계.
Fig. 3. Fabricated interferometer for inductance measurement of superconducting microstripline.

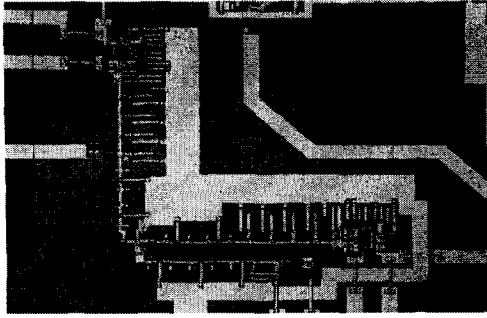


그림 4. 제작한 RSFQ test 회로. DC/SFQ converter, active transmission line (JTL), T-FF, SFQ/DC converter로 구성된다.
Fig. 4. Fabricated RSFQ test circuit. It consists of DC/SFQ converter, active transmission line (JTL), T-FF, SFQ/DC converter

르는 전류를 증가시킴에 따라 SQUID loop 안의 자속이 증가하게 되고, 결국 접합의 전압은 그림 5와 같은 modulation을 나타내게 된다. 수평축을 나타내는 것이 microstripline을 따라 흐르는 전류의 크기이다. 여기서 한 주기는 SFQ에 해당하므로 이 modulation의 주기, ΔI 를 측정함으로써 $L = (h/2e)/\Delta I$ 의 공식을 이용하여 인덕턴스 L 을 알아낼 수 있다. 이 그림의 경우 $\Delta I = 200 \mu A$, $L = 10.4 \text{ pH}$ 에 해당한다. 일반적으로 microstripline의 인덕턴스는 유전체의 두께가 같을 때 길이가 길수록, 또 폭이 작을수록 커진다. 즉 절대적인 dimension에 관계하는 것이 아니라 길이 대 폭의 비율에 의해 결정되며 이것은 마치 두께가 일정한 저항박막의 경우와 동일하다. 따라서 면저항과 같이 면인덕턴스를 정의할 수 있다. 이 경우 길이 대 폭의 비율이 10 이므로 면인덕턴스 L_s 는 약 1 pH/sq. 에 해당한다. 그림 6은 T-FF을 포함하는 test 회로의 작동 결과를 보여준다. 입력된 삼각파형 신호는 T-FF을 거치면서 주기가 2배인 구형파 신호로 변화되는 것을 보여주며, 설계된 대로 잘 작동하고 있음을 보여준다.

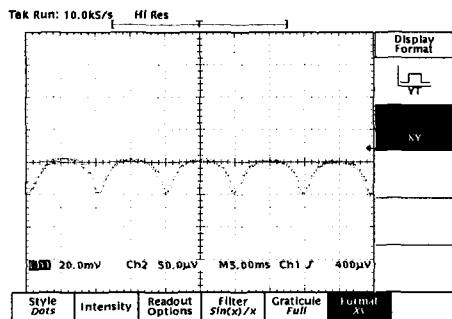


그림 5. 간섭계의 올바른 작동을 보여주는 오실로그래프
Fig. 5. Oscilloscope showing correct operation of the interferometer

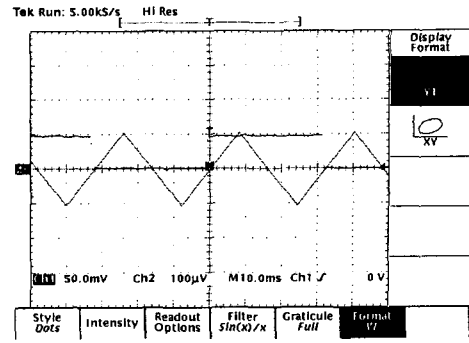


그림 6. T-FF을 포함하는 test회로의 올바른 작동을 보여주는 오실로그래프
Fig. 6. Oscilloscope showing correct operation of the test circuit containing the T-FF.

3. 결 론

SINIS 접합을 이용하여 RSFQ회로를 구성하는 것이 가능함을 실험적으로 보여주었다. 단 SINIS 접합의 경우 약간의 hysteresis와 under-damping 성향을 보이고 있으나, simulation으로 추정된 McCumber parameter가 보통 약 1 정도이므로 critical damping에 가까울 것으로 판단된다. $I_c R$ 값도 약 $100 \mu V$ 정도여서 수십 GHz 까지는 작동이 가능할 것으로 추정된다. 임계전류밀도를 안정적으로 원하는 값에 조절할 수 있도록 장비 제작을 정밀 제어할 수 있다면, SINIS접합이 RSFQ회로의 설계 및 제작을 매우 간편하게 하는데 기여할 수 있을 것으로 기대된다.

본 연구는 21세기프론티어 연구개발사업인 차세대초전도응용기술개발 사업단의 연구비 지원에 의해 수행되었습니다.

참 고 문 헌

- [1] K. K. Likharev, "Rapid Single-Flux Quantum Logic", The New Superconducting Electronics, Kluwer Academic Publishers, NATA ASI Series, 1993.
- [2] Colin Gough et al., "Superconducting Electronics- a Roadmap for Europe," SCENET- Superconductivity European Network of Excellence (ESPRIT), 1998.
- [3] M. Khabipov, D. Balashov et al., "RSFQ Circuitry Realized in a SINIS Technology Process," IEEE Trans. Appl. Supercond. Vol. 9, No. 4, pp. 4682-4687, 1999.
- [4] K.-T. Kim, "Damping Effect on the Radio Frequency Induced Voltage Steps in a Josephson Tunnel Junction," Appl. Phys. Lett. Vol.66, pp.2567-2569, 1995.
- [5] M. Maezawa, M. Aoagi, H. Nakaga, and I. Kurosawa, "Specific capacitance of Nb/AlO_x/Nb Josephson junctions with critical current densities in the range of 0.1-18 kA/cm²," J. Appl. Phys., Vol.66, 2134, 1995.