

단자속 양자 NDRO 회로의 설계와 측정

정구락, 홍희승, 박종혁, 임해용, *강준희, 한택상
한국광기술원, *인천대

Design and Measurements of an RSFQ NDRO circuit

K.R. Jung, H.S. Hong, J.H. Park, H.R. Lim, *J.H. Kang and T.S. Hahn
Korea Photonics Technology Institute
*University of Incheon

krjung@kopti.re.kr

Abstract - We have designed and tested an RSFQ (Rapid Single Flux Quantum) NDRO (Non Destructive Read Out) circuit for the development of a high speed superconducting ALU (Arithmetic Logic Unit). When designing the NDRO circuit, we used Julia, XIC and Lmeter for the circuit simulations and layouts. We obtained the simulation margins of larger than $\pm 25\%$. For the tests of NDRO operations, we attached the three DC/SFQ circuits and two SFQ/DC circuits to the NDRO circuit. In tests, we used an input frequency of 1 kHz to generate SFQ pulses from DC/SFQ circuit. We measured the operation bias margin of NDRO to be $\pm 15\%$. The circuit was measured at the liquid helium temperature.

1. 서 론

초전도 디지털 소자의 빠른 스위칭 속도와 저 소비전력의 특성으로 인해 [1] 점점 그 중요성이 대두되고 있으며, 이를 이용한 네트워크 분야에서의 초고속 라우터 개발 [2]과 슈퍼컴퓨터 개발 [3]이 활발하게 진행되고 있다. 이들 라우터나 슈퍼컴퓨터에서 가장 핵심적인 부분이 산술논리연산을 담당하는 ALU (Arithmetic Logic Unit) 부분 [4]이며, 이에 대한 연구가 미국, 일본 등에서 활발하게 수행되어지고 있다.

본 연구에서는 NDRO (Non Destructive Read Out)를 설계하고 측정하였다. NDRO 회로는 Half Adder를 이용하여 AND, OR, ADD, XOR의 기능을 갖는 ALU를 만들 때 [5], 출력에서 이 기능들 가운데 하나를 선택하는데 이용한다. NDRO 회로의 설계에는 시뮬레이션 프로그램인 Julia, Layout과 회로 schematic 프로그램인 XIC 그리고 Layout 상태에서 회로의 인덕터 값을 추출하는 프로그램인 Lmeter를 사용하였다. NDRO 칩의 설계는 10 level 공정에 맞추어 설계하였으며, 초전도(Nb)층이 5층, 절연(SiO₂)층이 4층, 접합(Al₂O_x)층이 1층, shunt 저항과 bias 저항에 사용하는 저항(Mo)층이 1층 그리고 전극

(Ti/Au)층이 1층으로 이루어진다.

본 연구에서 설계된 칩은 미국 Hypres 사에서 6인치 Si 기판에 제작하였으며, 칩의 크기는 5mm x 5mm이다. NDRO 칩의 측정은 시그널 소스로 Arbitrary waveform generator 3대와 오실로스코프 그리고 40핀 high speed 프로브를 이용하였다. 칩의 측정온도는 액체 헬륨온도(4.2 K)로 하였으며, 1 kHz의 주파수 대역에서 측정하였다.

2. 본 론

단자속 양자 NDRO 회로는 ON과 OFF의 스위치 기능을 한다. ON 상태에서는 입력된 data가 출력되지만, OFF 상태에서는 입력된 data가 소멸하게 된다. 그림 1은 회로의 Schematics를 나타내고 있다. ON에서 단자속 양자 펄스가 입

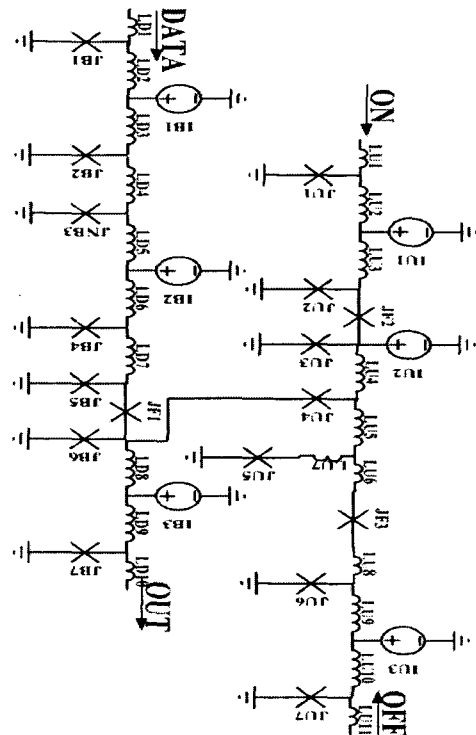


Fig. 1. Schematic circuit diagram of an NDRO.

력이 되면 JU1-LU2-LU3-JU2로 구성된 JTL을 지나 JU3 접합을 스위칭하게 된다. JU3가 스위칭하게 되면 단자속양자는 JU3-LU4-LU5-LU7-JU5 루프에 저장이 되고, 일부의 전류가 JU4를 통하여 흐르게 된다. 이 전류는 JB6의 바이어스 전류가 되어, DATA에서 들어온 펄스를 JB6을 지나 OUT으로 출력될 수 있도록 도와주는 역할을 한다. 만약 OFF에서 펄스가 들어와 JU3-LU4-LU5-LU7-JU5 루프에 저장된 단자속양자를 소멸하게 하면, DATA에서 들어온 펄스만으로는 JB6을 스위칭시킬 수 없으므로, DATA에 들어온 펄스는 소멸하게 된다. 그림 2는 시뮬레이션 결과를 나타내고 있다. ON 펄스가 입력되었을 때, DATA 펄스가 입력되면 OUT으로 펄스가 출력되고, OFF에 펄스가 들어오면 DATA가 입력되어도 OUT으로 펄스를 내보내지 않게 되어 NDRO로서 잘 동작하고 있음을 알 수 있었다. 본 연구에 사용된 시뮬레이션 프로그램인 Julia는 자체적으로 마진 분석 기능을 가지고 있으며, 이 마진 분석 기능을 이용하여 회로 마진이 최소 $\pm 25\%$ 이상이 되도록 NDRO 회로를 최적화 시켰다.

그림 3은 NDRO 회로의 현미경 사진을 나타낸다. 그림 3과 같이 회로를 제작하기 위해서는 그림 1의 회로에 대한 Layout을 해야 하는데, 본 연구에서 설계된 Layout은 10 level 공정을 사용하였으며, 접합과 접합 사이의 인덕터 값을 결정하는 데에는 Layout과 회로와의 비교 분석

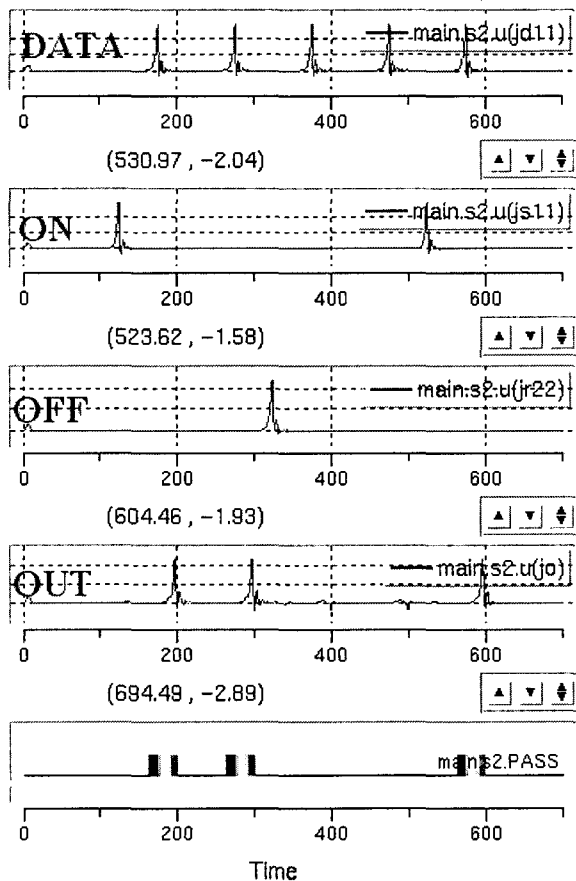


Fig. 2. Simulation results of an NDRO circuit.

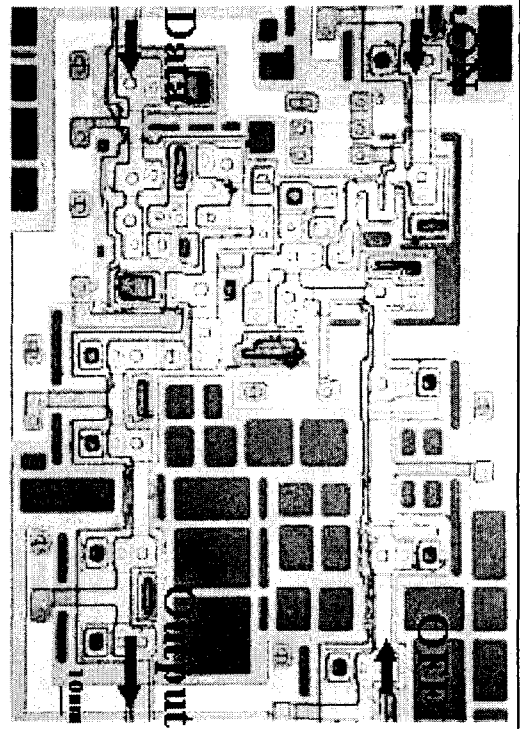


Fig. 3. Microscope image of the NDRO circuit.

을 통하여 인덕터 값을 추출하여 주는 프로그램인 Lmeter를 사용하였다. Layout에 사용된 접합의 전류 밀도 값은 1 kA/cm^2 를 사용하였으며, 접합의 크기는 $20.5 \mu\text{m}^2$ 이상이 되도록 하였다. ground 층과 bottom 층 사이의 절연층 두께는 150 nm 이고 bottom 층과 top 층 사이의 두께가 200 nm 로 설계를 하였다.

그림 4는 NDRO 회로를 측정하기 위한 block diagram을 보여주고 있다. Arbitrary waveform generator를 사용하여 발생된 신호를 DC/SFQ 회로에서 SFQ 펄스로 변환 후, NDRO 회로에 입력을 하였으며, NDRO에서 출력된 신호는 SFQ/DC 회로에서 SFQ 펄스를 DC 신호로 변환 후, 오실로스코프로 측정을 하였다. SFQ/DC 회로에서 출력된 신호는 $0.1 \text{ mV} \sim 0.2 \text{ mV}$ 로 미세한 신호이기 때문에 300 kHz 의 대역폭을 갖는 오실로스코프를 사용하여 1 kHz 에서

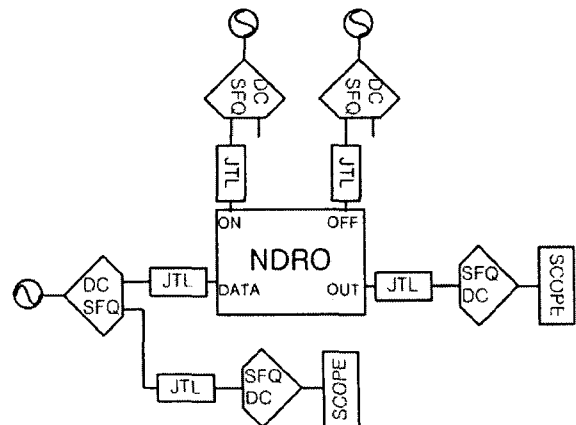


Fig. 4. Block diagram for the tests of NDRO.

3. 결 론

본 연구에서는 단자속 양자 ALU 회로의 선택 스위치로 사용하기 위하여 단자속 양자 NDRO 회로를 설계하였고, 이 회로에 대한 측정을 하였다. 설계에 사용된 소프트웨어로는 시뮬레이션 프로그램인 Julia, Layout 및 schematic 프로그램인 XIC 그리고 Layout 상에서 인덕터 값을 추출하는데 사용하는 프로그램인 Lmeter를 사용하였다. Layout에 사용된 접합의 전류 밀도 값은 1 kA/cm²를 사용하였으며, 접합의 최소 크기는 20.5 μm^2 이상이 되도록 하였다. NDRO 회로의 설계 마진이 $\pm 25\%$ 이상이 되도록 회로를 최적화하였다. 제작된 NDRO 회로는 1kHz에서 측정을 하였으며, 측정된 단자속 양자 NDRO 회로는 정상적으로 동작함을 그림 5를 통하여 알 수 있었으며, 측정 바이어스 마진은 $\pm 15\%$ 이상의 값을 가지고 있었다.

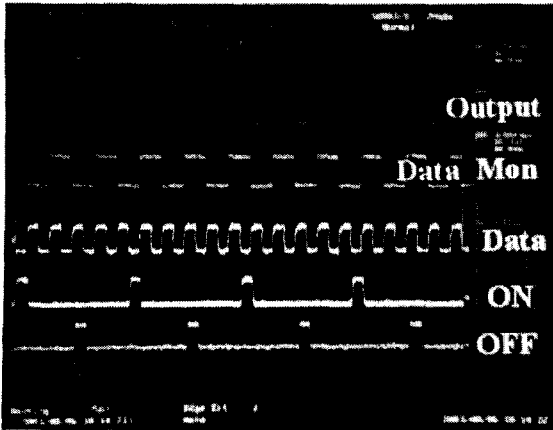


Fig. 5. Test results of the RSFQ NDRO circuit.

측정을 하였다. 그림 5는 단자속 양자 NDRO 회로를 액체 헬륨온도(4.2 K)에서 측정한 결과를 보여주고 있다. 오실로스코프에 나타난 Data, ON 그리고 OFF 신호는 Arbitrary waveform generator의 신호를 나타내고 있다. 그리고 Data_Mon은 외부 신호에 의해서 DC/SFQ 회로가 단자속 양자 펄스를 잘 발생하고 있는지에 대한 모니터링 신호이며, Output 신호는 NDRO에서 출력된 신호이다. DC/SFQ 회로는 펄스가 입력될 때 Toggle을 일으키게 된다. 예를 들면, 만약 이전 DC/SFQ 회로의 출력 값이 "1"인 상태에서 펄스가 입력되면 "0"의 값을 출력하고, 다음에 펄스가 입력되면 "1"의 결과 값을 출력하게 된다. 그림 5에 나타나 있는 것과 같이 ON과 OFF 사이에 Data의 수만큼 Output에 Toggle이 일어났음을 알 수 있다. 그림 6은 NDRO 칩의 바이어스 측정 마진을 나타내고 있다. INPUT은 DC/SFQ 회로의 바이어스 마진을 나타내고 $\pm 40\%$ 이상의 마진을 가지고 있었으며, OUT은 NDRO의 출력 값을 측정하기 위하여 부착한 SFQ/DC 회로의 바이어스 마진을 나타내고 $\pm 40\%$ 이상의 마진 값을 가지고 있었다. NDRO는 NDRO 회로에 입력되는 바이어스 마진을 나타내며 $\pm 15\%$ 이상의 마진을 가지고 있었다.

본 연구는 21세기 프린터 연구개발사업인 차세대초전도응용기술개발 사업단의 연구비 지원에 의해 수행되었습니다.

(참 고 문 헌)

- [1] K. K. Likarev and V. K. Semenov, "RSFQ Logic/Memory Family: A new Josephson-Junction Technology for Sub-Terahertz Clock-Frequency Digital Systems", IEEE Trans. Appl. Supercond., 1, 3-28, 1991
- [2] N.b. Dubash, P.F. Yuh and V.V. Borzenets, "SFQ Data Communication Switch", IEEE Trans. Appl. Supercond., 7, 2681-2684, 1997.
- [3] P. Bunyk, M. Dorojevets, K. Likharev, P. Litskevitch, S. Polonsky, G. Sazaklis, L. Wittie, D. Zinoviev, Y. Kameda, and S. Yorozu, "RSFQ subsystem for petaflops-scale computing: 'COOL-0'", Proc. 3rd Petaflop Workshop, 3~9, 1999
- [4] N. Yoshikawa, F. Matsuzaki, N. Nakajima, K. Yoda, "Design and component test of a 1-bit RSFQ microprocessor", Physica C, 1454-1460, 2002
- [5] J.H. Kang, A. Kirichenko, K.R. Jung, J.Y. Kim, J.H. Park, T.S. Hahn, "Design of RSFQ 1-bit ALU based on Half Adder cell", ISEC 2003, PMo20, 2003

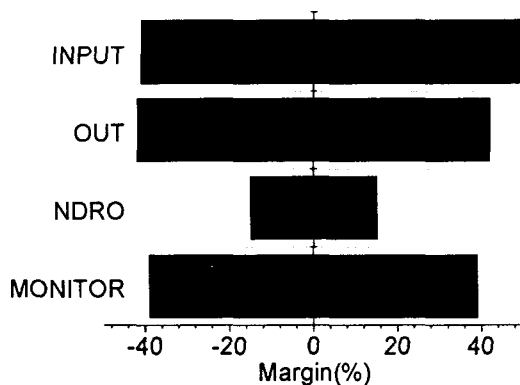


Fig. 6. Test bias margins of the RSFQ NDRO circuit.