

# 회로 복잡도를 개선한 AOP 기반의 GF(2<sup>m</sup>) 승산기

변기영\*, 성현경\*\*, 김홍수\*\*\*

가톨릭대학교 정보통신전자공학부\*, 상지대학교 컴퓨터정보공학부\*\*,

인하대학교 전자공학과\*\*\*

gybyun@catholic.ac.kr

## Low Complexity GF(2<sup>m</sup>) Multiplier based on AOP

GiYoung Byun\*, HyeonKyeong Seong\*\*, HeungSoo Kim\*\*\*

School of Information, Communication & Electronics Eng. Catholic University\*,

School of Computer, Information & Communication Eng. SangJi University\*\*,

Department of Electronic Eng., InHa University

gybyun@catholic.ac.kr

### Abstract

This study focuses on the new hardware design of fast and low-complexity multiplier over GF(2<sup>m</sup>). The proposed multiplier based on the irreducible all one polynomial (AOP) of degree *m*, to reduced the system's complexity. It composed of Cyclic Shift, Partial Product, and Modular Summation Blocks. Also it consists of (m+1)<sup>2</sup> 2-input AND gates and m(m+1) 2-input XOR gates. Out architecture is very regular, modular and therefore, well-suited for VLSI implementation.

### I. 서론

유한체(Finite Field)는 Galois체, 또는 간단히 GF라 하며, 오류정정부호, 스위칭이론, 컴퓨터 구조 및 암호화 등의 분야에 적용되고 있는 연산체계이다<sup>[1,2]</sup>. 유한체를 구성하는 원소들은 표준, 정규, 쌍대기저 등에 의해 각 형식에 따른 다항식 또는 벡터형식으로 표현되며, 각 기저의 특성에 따라 연산별 효율성과 그 회로구현의 용이성이 달라진다<sup>[3]</sup>. 일반적으로 표준기저의 경우 타 기저에 비하여 기약다항식의 선택이 자유롭고, 최적화된 하드웨어의 구현이 용이한 장점이 있다. 표준기저를 적용한 유한체 연산 중 승산은 가산을 제외한 여타 연산, 제산, 승산에 대한 역원, 멱승(exponentiation) 등의 기반이 되는 연산이다. 따라서, 고속 및 대용량의 연산시스템을 개발하기 위해 효율적인 승산기법 및 최적화된 승산 회로의 구현은 오랫동안 관심의 대상이 되어왔다. 특히, 최근 비약적인 발전을 이루고 있는 VLSI 구현에 초점을

맞추어 정규화된 회로구조의 중요성은 더욱 강조되고 있다. 본 논문에서는 표준기저를 적용한 새로운 유한체 승산기법 및 그 회로구현에 대하여 논의하고자 한다.

1971년 Law<sup>[4]</sup>가 LSI구조에 적합한 셀-배열형 승산기를 제안한 이후, 최근까지 많은 승산기법 및 그 구현회로들이 제시되었다<sup>[5,6]</sup>. 특히, 시스템의 복잡도 개선을 위한 새로운 시도는 꾸준히 진행되어 왔으며, 1989년 Itoh와 Tsujii<sup>[7]</sup>는 기약 AOP를 적용하여 시스템의 복잡도를 개선한 GF(2<sup>m</sup>)상의 병렬 승산기를 제안하였고, 이후 Hasan<sup>[8]</sup>, Lee<sup>[9]</sup>등이 이 분야에 중요한 진전을 이루었다. 이러한 연구동향을 배경으로 본 논문에서는 기약 AOP의 성질을 이용하여 순환이동에 의한 모듈러 환원의 구현 및 AND와 XOR의 배열구조를 갖는 병렬 유한체 승산 회로를 새롭게 제안하였다. 본 논문에서 제안한 회로는 (m+1)<sup>2</sup>개의 2-입력 AND 게이트, m(m+1)개의 2-입력 XOR 게이트만으로 구성되며, 한 신호입력에 소요되는 전파지연시간은 T<sub>A</sub>+(m-1)T<sub>X</sub>이다.

본 논문에서 제안한 회로는 기존의 연구에 비해 시스템의 복잡도와 지연시간이 상대적으로 개선되었고, 회로 구성이 단순하고 정규성을 가지며 모듈화된 설계가 가능하므로 VLSI에 매우 유리한 장점을 갖는다.

### II. GF(2<sup>m</sup>)상의 승산전개

#### 2.1 유한체상의 원소표현과 기약 AOP

유한체 GF(2<sup>m</sup>)은 양의 정수 *m*에 대하여 2<sup>m</sup>개의 원소들로 구성된 수 체계이며, 그 원소들간의 연산이 사칙연산에 대하여 닫혀있다<sup>[1,2]</sup>. GF(2<sup>m</sup>)은 0과 1을 원소로 갖는 기초체 GF(2)를 *m*차원으로 확장한 확장체이며,

GF(2<sup>m</sup>)상의 모든 연산은 모듈로(modulo) 2 연산을 기반으로 이루어진다. 0을 제외한 GF(2<sup>m</sup>)상의 모든 원소들은 원시원소 a에 의해 표현되며, a는 기약다항식 F(x)=f<sub>0</sub>+f<sub>1</sub>x+...+f<sub>m-2</sub>x<sup>m-2</sup>+f<sub>m-1</sub>x<sup>m-1</sup>+x<sup>m</sup>의 근이 된다. 따라서, F(a)=0이 되며, a<sup>m</sup>=f<sub>m-1</sub>a<sup>m-1</sup>+f<sub>m-2</sub>a<sup>m-2</sup>+...+f<sub>1</sub>a+f<sub>0</sub>이 성립한다. 이에 따라 GF(2<sup>m</sup>)상의 모든 원소들은 m보다 낮은 차수를 갖는 a의 다항식으로 구성되며, 다항식을 구성하는 각 기저들, {a<sup>m-1</sup>, a<sup>m-2</sup>, ..., a, a<sup>0</sup>=1}을 표준기저라 한다. 표준기저를 적용한 GF(2<sup>m</sup>)상의 임의의 원소 A(a)는 식 (1)과 같이 표현된다. 식 (1)에서 각 기저들의 계수들, a<sub>0</sub>, a<sub>1</sub>, ..., a<sub>m-1</sub>은 모두 GF(2)상의 원소이다.

$$A(a) = a_0 + a_1a + \dots + a_{m-1}a^{m-1} \quad (1)$$

식 (1)의 원소 A(a)의 각 계수들에 대하여 A<sub>i</sub>=a<sub>i</sub>⊕1, 0 ≤ i ≤ m-1,를 정의하면 식 (1)은 식 (2)와 같이 표현된다.

$$A(a) = A_0 + A_1a + \dots + A_{m-1}a^{m-1} + A_ma^m \quad (2)$$

식 (2)에서 사용된 기저들, {a<sup>m</sup>, a<sup>m-1</sup>, ..., a, 1}은 식 (1)에서 사용된 표준기저의 확장기저라 하며, A<sub>m</sub>=1이다. 확장기저로부터 GF(2<sup>m</sup>)상의 승산에 필요한 유용한 특성을 도출할 수 있으며, 이를 정의 1에 나타내었다.

**정의 1**<sup>[9]</sup>. GF(2<sup>m</sup>)상의 임의의 원소 A(a)를 확장기저를 적용하여 식 (2)와 같이 표현할 때, 각 기저의 계수에 대한 순환이동을 각각 식 (3)와 같이 정의한다.

$$A^{(1)}(a) = A_m + A_0a + \dots + A_{m-2}a^{m-1} + A_{m-1}a^m \quad (3)$$

이러한 순환이동을 i번, i=0, 1, 2, ..., m, 실행하면 식 (2)의 각 계수들은 우측 방향으로 i번 순환이동되며, 이를 A<sup>(i)</sup>(a)로 표현하기로 한다.

한편, GF(2<sup>m</sup>)상의 기약다항식들 중 다항식의 모든 계수가 1인 다항식을 AOP(All One Polynomial)라 하며, m+1이 소수가 되는 m상의 AOP를 기약 AOP라 한다. 이에 해당하는 m은 2, 4, 10, 12, 18, 28, 36, 52, 58, 60, 66, 82, 100, ...등이다<sup>[7-9]</sup>. 기약 AOP는 모듈러 환원에 필요한 유용한 성질을 가지며, 식 (4)와 같다.

$$a^m = a^{m-1} + a^{m-2} + \dots + a + 1 \quad (4-a)$$

$$a^{m+i} = a^{i-1} \quad (4-b)$$

식 (4)를 적용하여 식 (2)에서 확장기저로 표현된 A(a)에 a를 승산한 결과는 식 (5)과 같다.

$$aA(a) = A_0a + A_1a^2 + \dots + A_{m-1}a^m + A_ma^{m+1} \quad (5)$$

식 (4-b)의 i=1을 대입한 후 식 (5)에 적용하면 식 (6)과 같으며, 그 결과는 식 (3)과 일치한다. 즉, aA(a)=A<sup>(1)</sup>(a)이다.

$$aA(a) = A_m + A_0a + A_1a^2 + \dots + A_{m-1}a^m \quad (6)$$

이와 같이 A(a)에 a<sup>i</sup>를 승산한 결과를 정의 1의 표현을 사용하면 식 (7)과 같이 나타낼 수 있다.

$$\begin{aligned} a^i A(a) &= A^{(i)}(a) \\ &= A_{<m-i>} + A_{<m-i+2>}a + \dots + A_{<m-i>}a^m \\ &= \sum_{j=0}^m A_{<j-i>}a^j, \quad i=0, 1, \dots, m \end{aligned} \quad (7)$$

식 (7)에서 A<sub><θ></sub>의 아래첨자 <θ>는 m+1에 대한 모듈러 연산의 결과로 0 ≤ <θ> ≤ m인 양의 정수이다. 또한, 기호의 표현에 있어 A<sup>(0)</sup>(a)=A(a)이다.

## 2.2 AOP 기반의 GF(2<sup>m</sup>) 상의 승산 전개

식 (2)와 같이 확장기저로 표현된 GF(2<sup>m</sup>)상의 두 원소 A(a)와 B(a)에 대한 승산을 P(a)라 할 때, 식 (7)을 도입하면 P(a)는 식 (8)와 같이 전개된다.

$$\begin{aligned} P(a) &= A(a)B(a) \\ &= \left( \sum_{i=0}^m A_i a^i \right) \left( \sum_{k=0}^m B_k a^k \right) \\ &= \sum_{k=0}^m B_k \left( \sum_{i=0}^m A_i a^i \right) a^k \\ &= \sum_{k=0}^m B_k \left( \sum_{j=0}^m A_{<j-k>} a^j \right) \end{aligned} \quad (8)$$

식 (8)로부터 P(a)의 각 계수들, P<sub>0</sub>, P<sub>1</sub>, ..., P<sub>m</sub>은 식 (9)와 같다.

$$P_k = \sum_{n=0}^m B_n A_{<k-n>} \quad (9)$$

식 (9)에서 k는 0 ≤ k ≤ m의 범위를 갖는 정수이다.

**예제 1.** A(a)=A<sub>0</sub>+A<sub>1</sub>a+A<sub>2</sub>a<sup>2</sup>+A<sub>3</sub>a<sup>3</sup>+A<sub>4</sub>a<sup>4</sup>와 B(a)=B<sub>0</sub>+B<sub>1</sub>a+B<sub>2</sub>a<sup>2</sup>+B<sub>3</sub>a<sup>3</sup>+B<sub>4</sub>a<sup>4</sup>를 각각 확장기저를 적용한 GF(2<sup>4</sup>)상의 두 원소라 가정한다. 이때, P(a)=P<sub>0</sub>+P<sub>1</sub>a+P<sub>2</sub>a<sup>2</sup>+P<sub>3</sub>a<sup>3</sup>+P<sub>4</sub>a<sup>4</sup>를 A(a)와 B(a)의 승산결과라 할 때, 식 (8)에서 유도한 승산의 전개는 식 (10)과 같다.

$$\begin{aligned} P(a) &= \sum_{k=0}^4 B_k \left( \sum_{j=0}^4 A_{<j-k>} a^j \right) \\ &= B_0(A_{<0-0>} + A_{<1-0>}a + A_{<2-0>}a^2 + A_{<3-0>}a^3 + A_{<4-0>}a^4) \\ &\quad + B_1(A_{<0-1>} + A_{<1-1>}a + A_{<2-1>}a^2 + A_{<3-1>}a^3 + A_{<4-1>}a^4) \\ &\quad + B_2(A_{<0-2>} + A_{<1-2>}a + A_{<2-2>}a^2 + A_{<3-2>}a^3 + A_{<4-2>}a^4) \\ &\quad + B_3(A_{<0-3>} + A_{<1-3>}a + A_{<2-3>}a^2 + A_{<3-3>}a^3 + A_{<4-3>}a^4) \\ &\quad + B_4(A_{<0-4>} + A_{<1-4>}a + A_{<2-4>}a^2 + A_{<3-4>}a^3 + A_{<4-4>}a^4) \\ &= B_0(A_0 + A_1a + A_2a^2 + A_3a^3 + A_4a^4) \\ &\quad + B_1(A_4 + A_0a + A_1a^2 + A_2a^3 + A_3a^4) \end{aligned}$$

$$\begin{aligned}
 &+ B_2(A_3 + A_4a + A_0a^2 + A_1a^3 + A_2a^4) \\
 &+ B_3(A_2 + A_3a + A_4a^2 + A_0a^3 + A_1a^4) \\
 &+ B_4(A_1 + A_2a + A_3a^2 + A_4a^3 + A_0a^4) \quad (10)
 \end{aligned}$$

식 (10)의 결과에 대하여 식 (9)를 적용하여  $P(a)$ 의 각 기저들에 대하여 표현하면 식 (11)과 같다.

$$\begin{aligned}
 P_0 &= B_0A_0 + B_1A_4 + B_2A_3 + B_3A_2 + B_4A_1 \\
 P_1 &= B_0A_1 + B_1A_0 + B_2A_4 + B_3A_3 + B_4A_2 \\
 P_2 &= B_0A_2 + B_1A_1 + B_2A_0 + B_3A_4 + B_4A_3 \\
 P_3 &= B_0A_3 + B_1A_2 + B_2A_1 + B_3A_0 + B_4A_4 \\
 P_4 &= B_0A_4 + B_1A_3 + B_2A_2 + B_3A_1 + B_4A_0 \quad (11)
 \end{aligned}$$

### III. AOP 기반의 $GF(2^m)$ 병렬 승산기

#### 3.1 AOP 기반의 $GF(2^m)$ 병렬 승산기의 구성

2장에서 논의한 바와 같이, 본 논문에서는 AOP를 기반으로 하여  $GF(2^m)$ 상의 두 원소  $A(a)$ 와  $B(a)$ 를 확장 기저로 표현하였다. 이후 피 승산항의 순환이동과 승산항의 각 계수를 순차적이고 반복적으로 승산한 후 동일 차수의 계수들을 모듈러 가산함으로써 두 원소의 승산을 이루었다. 이러한 승산단계의 회로구현을 위해 피 승산항의 계수들에 대한 순환이동부(Cyclic Shift, CS)와 그 결과에 승산항의 각 계수들을 승산하는 부분곱(Partial Product, PP), 그리고 동일한 차수의 계수들을 모듈러 가산하기 위한 모듈러 가산(Modular Smmation, MS) 연산부들이 각각 필요하며, 이를 그림 1에 도시하였다.

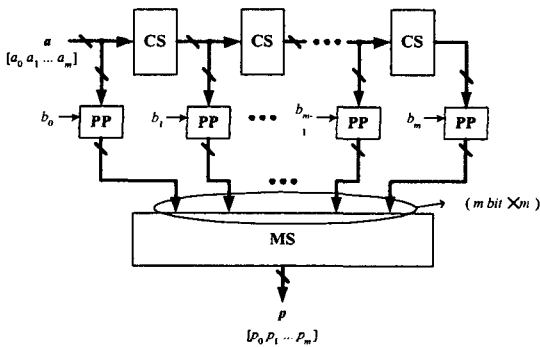


그림 1.  $GF(2^m)$  병렬 승산기의 구성도.

그림 1에서 굵은선 화살표는 m비트 데이터 버스이다. 예제 1에서 논의한  $GF(2^4)$ 상의 두 원소들에 대한 승산회로의 구현을 위해 그림 1의 CS, PP, MS 연산부는 각각 그림 2와 같이 구현된다.

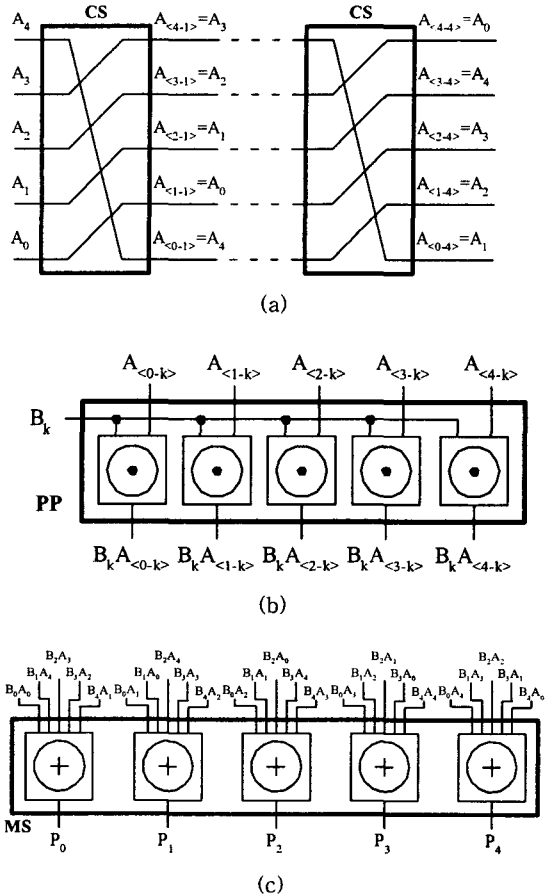


그림 2. 각 연산부 블록, (a) CS, (b) PP, (c) MS.

그림 2 (a) CS연산부는 게이트를 사용하지 않고 결선에 의해서만 이루어진다. (b) PP 연산부는 승산항의 계수  $B_k$ 와 피승산항의 계수들이 부분곱을 이루는 블록으로 AND게이트로 구현될 수 있다. 본 논문에서는 이를  $\odot$ 로 기호화하였다. (c) MS 연산부는 각 PP 연산부로부터 연산된 부분 곱의 결과로부터 동일 차수의 계수들에 대한 모듈러 가산을 이루는 블록으로 XOR게이트로 구현될 수 있다. 본 논문에서는 이를  $\oplus$ 로 기호화하였고, 간략화된 그림을 위해 5-입력 XOR로 표현하였으며, 이를 2-입력 XOR로 구현하게되면 각 비트당 4개의 XOR 게이트가 사용된다.

### IV. 비교 및 검토

본 논문과 동일하게 AOP를 기반으로 한 타 승산기와 구현소자(AND, XOR)의 수와 지연시간을 비교하여 표 1에 정리하였다.

표 1. AOP기반의 병렬 GF(2<sup>m</sup>) 승산기의 구성 비교

multiplier	No. of XOR gates	No. of AND gates	Delay time
Itoh-Tsujii <sup>[7]</sup>	$m^2+2m$	$m^2+2m+1$	$T_A + \lceil \log_2^m + \log_2^{(m-2)} \rceil T_X$
Hasan <sup>[8]</sup>	$m^2+2m-2$	$m^2$	$T_A + \lceil m + \log_2^{(m-1)} \rceil T_X$
Lee I <sup>[9]</sup>	$m^2+2m+1$	$m^2+2m+1$	$T_A + T_X + T_L$
Lee II <sup>[9]</sup>	$m^2+3m+2$	$m^2+2m-2$	$T_X + T_L$
This paper	$m^2+m$	$m^2+2m+1$	$T_A + (m-1)T_X$

표 1에서 보인 바와 같이 본 논문에서 제안한 승산기는 Itoh-Tsujii와 Hasan에 비해 소자의 게이트 수에서 보다 우수하다 할 수 있으나, m이 커짐에 따라 XOR에 의한 지연시간(T<sub>X</sub>)이 선형적으로 증가하게 되어 불리하다. 또한, Lee의 승산기의 경우 시스토크 구조를 가지므로 래치를 이용한 지연시간의 단축효과를 기대할 수 있으나, 별도의 래치소자와 함께 XOR, AND등의 게이트 수가 많아지는 단점이 있다.

### V. 결론

본 논문에서는 규칙적인 모듈구조를 갖는 새로운 GF(2<sup>m</sup>)상의 병렬 승산기를 제안하였다. AOP를 기반으로 유한체의 원소를 확장기저로 표현하였고, m차이상의 원소는 확장기저들의 순환이동 특성으로 표현 가능함으로 보였다. 이를 유한체 승산에 적용함으로써 규칙적이며 정규화된 회로를 설계하여 보였다. 본 논문에서 제안한 승산기를 회로의 구성 소자의 수와 지연시간에 대하여 타 승산기와 비교한 결과 상대적인 장점이 있음을 확인하였다. 본 논문의 승산기는 회로의 정규성과 모듈성을 가지므로 VLSI구현에 유리하다.

### 참고문헌

[1] S.Lin, *Error Control Coding*, Prentice-Hall, Inc. New Jersey, 1983.  
 [2] 이만영, *BCH부호와 Reed-Solomon부호*, 민음사, 1990.  
 [3] I.S.Hsu, T.K.Troun, L.J.Deutsch, and I.S.Reed, "A Comparison of VLSI Architecture of Multipliers using Dual, Normal, or Standard Bases," *IEEE Trans. Computers*, vol. C-37, pp. 735-739, 1988.  
 [4] B.A.Laws and C.K.Rushford, "A Cellular-Array Multiplier for GF(2<sup>m</sup>)" *IEEE Trans. Computers*, vol. C-20, no. 12, pp. 1573-1578, Dec. 1971.

[5] B.Sunar and K.K.Koc, "Mastrovito Multiplier for All Trinomials," *IEEE Trans. Computers*, vol. 48, no. 5, pp. 522-527, May 1999.  
 [6] R.M.Arash, M.A.Hasan, "A new construction of Massey-Omura parallel multiplier over GF(2<sup>m</sup>)" *IEEE Trans. Computers*, vol. 51, pp. 511-520, May 2002.  
 [7] T.Itoh, and S.Tsujii, "Structure of Parallel Multipliers for a Class of Fields GF(2<sup>m</sup>)," *Information and Computation*, vol. 83, pp. 21-40, 1989.  
 [8] M.A. Hasan, M.Z. Wang, and V.K. Bhargava, "Modular Construction of Low Complexity Parallel Multipliers for a Class of Finite Fileds GF(2<sup>m</sup>)," *IEEE Trans. Computers*, vol. 41, no. 8, pp. 962-971, Aug. 1992.  
 [9] C.Y.Lee, E.H.Lu, and J.Y.Lee, "Bit-Parallel Systolic Multipliers for GF(2<sup>m</sup>) Fields Defined by All-One and Equally Spaced Polynomials," *IEEE Trans. Computers*, vol. 50, No.5, pp.385-393, May 2001.