

64 채널 신호발생/분석 모듈 구현에 관한 연구

민 경 일*, 정 갑 천**, 최 종 현*, 박 성 모*
*전남대학교 컴퓨터공학과, **전남대학교 전자공학과
전화 : 062-530-0798 / 핸드폰 : 011-617-9151

A Study on Implementation of a 64 Channel Signal Generator / Analyzer Module

Kyoung-II Min*, Gab Cheon Jung**, Jong Hyun Choi*, Seong-Mo Park*
*Dept. of Computer Eng., Chonnam National Univ.
**Dept. of Electronics Eng., Chonnam National Univ.
E-mail : kimin@cep03w.chonnam.ac.kr

Abstract

This paper describes a 64 channel signal generator/analyzer module that is useful for verification and testing of digital circuits. It can perform logic analyzer function and signal generator function at the same time. The 64 Channel module is implemented with single FPGA chip for miniaturization, and an USB interface is used to increase portability of the module. Multiple modules can be used in parallel for the verification of large scale circuits. Moreover, since the module is implemented as a PC based system, one can configure convenient GUI(Graphic User Interface) environment.

I. 서론

공정기술의 발전에 따라 점차 회로의 규모뿐 아니라 입출력의 수가 많아지고 있고, 동작속도 또한 증가하여 시뮬레이션 장비 없이는 설계 회로의 테스트가 힘든 실정이다. 설계 회로의 칩 레벨에서의 하드웨어 검증 수행하기 위해서는 일반적으로 오실로스코프, 신

호발생기, 로직분석기와 같은 하드웨어 장비들이 사용되어진다.[1]

이러한 장비들은 입력과 출력을 모두 고려해야하기 때문에 최소한 2가지 이상의 장비가 필요하며 동기화 문제뿐만 아니라 비용도 많이 든다. 또한 이러한 장비들 대부분 자체에 제어판과 CRT를 가지고 있지만 인터페이스가 편리하지 않고 입출력의 개수가 많은 경우 사용자는 출력된 결과를 한 화면에서 확인하기가 힘들다. 그리고 입출력이 많은 회로를 검증하기 위해서는 더 많은 채널이 요구되며, 채널이 늘어날수록 장비의 부피도 같이 커진다. 또한 개발자가 C소스나 HDL과 같은 상위수준의 설계에서 사용했던 테스트벡터를 그대로 가져와 최종 개발된 하드웨어에서 테스트 할 필요가 있는 경우도 발생 할 수 있다. 일반 테스트 장비의 경우 디스크에 저장하거나 비교하는 등의 작업을 수행하기가 쉽지 않기 때문에 테스트를 위한 부가적인 회로가 필요하다.

본 논문에서는 신호발생기와 로직분석기 기능을 수행할 수 있는 64채널 신호발생/분석 모듈을 제안하고, 모듈을 이용한 시스템의 구현에 대해서 기술하였다.

II. 신호발생/분석 모듈의 구조

본 논문의 신호발생/분석 모듈은 디지털 회로의 입출력을 검증하기 위한 유용한 장치로서 64 채널을 포

본 논문은 한국과학재단 지정 전남대학교 고품질전기전자부품 및 시스템연구센터의 연구비 지원에 의해 연구되었음.

함하고 있고, 각 채널은 신호발생기 또는 로직 분석기 기능을 가져 모든 채널이 효율적으로 이용될 수 있다. 또한 모듈단위로 쉽게 확장이 가능하여 입출력의 수가 많은 디지털 회로도 적용 할 수 있다.

신호발생/분석 모듈은 내부 레지스터에 설정되는 모드(PC 모드, 시뮬레이션 모드)에 따라 각 채널이 신호 발생기나 로직분석기로 동작을 수행한다. PC와 데이터 전송을 위한 PC 모드는 PCR(PC Read), PCW(PC Write)의 2가지 동작 모드로 동작하고, 실제 시뮬레이션 수행을 위한 시뮬레이션 모드는 SG(Signal Generator)나 LA(Logic Analyzer) 모드로 동작한다.

각 모드별 신호발생/분석 모듈의 동작은 표1에서와 같다. 설정되는 모드에 따라 해당 동작을 수행하는 모듈은 그림 1과 같이 내부 레지스터, SG/LA블록, SRAM 제어 블록, 코어 제어 블록, 외부 메모리로 구성되어진다.

표 5. 모드별 동작 정의

동작 모드		정 의
PC 모드	PCR	시뮬레이션 결과를 메모리에서 PC로 업로드
	PCW	PC로부터 전달받은 데이터를 메모리에 다운로드
시뮬레이션 모드	SG	패턴데이터를 Probe를 통해 1bit 씩 테스트 회로에 출력
	LA	샘플링 데이터를 1비트씩 Probe로 입력

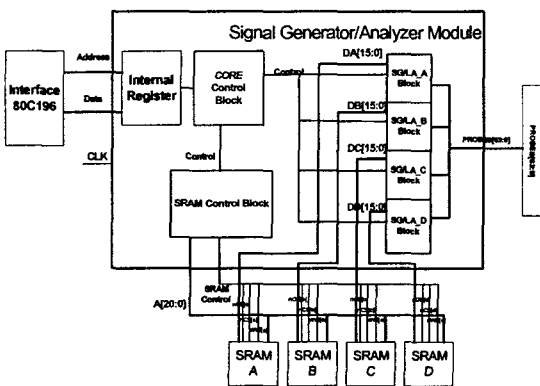


그림 1. 신호발생/분석 모듈 블록도

내부 레지스터는 80C196으로부터 신호발생/분석 모듈의 모드별 동작에 필요한 제어신호나 데이터를 저장하거나, 신호발생/분석 모듈의 수행된 결과를 PC로 전송하기 위해 데이터를 저장하는 기능을 수행한다.

SG/LA블록은 내부에 하나의 채널을 의미하는 Cell 블록 16개로 구성되어 있고, 신호발생/분석 모듈 내에는 4개의 SG/LA블록이 있다. 시뮬레이션 모드일 때 SG/LA블록은 내부 레지스터로부터 각 Cell 블록의 동작모드를 설정할 수 있는 제어 신호를 받아 각각의 Cell 블록을 신호발생기나 로직분석기 모드로 설정한다. 그림 2는 SG/LA블록내의 1채널 Cell 블록이 신호 발생기일 때와 로직분석기일 때의 동작을 나타낸다.

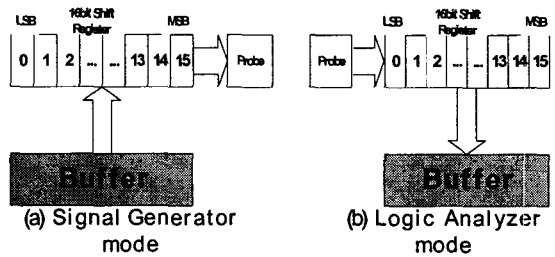


그림 2. Cell 블록 동작

Cell 블록이 신호발생기로 동작할 경우는 SRAM에 저장되어 있는 데이터를 버퍼로 이동시키고, 버퍼의 내용을 16클럭을 한 주기로 쉬프트 레지스터에 병렬로 로드한다. 쉬프트 레지스터는 한 클럭마다 1 비트 단위로 MSB 방향으로 출력함으로써 테스트 회로에 신호를 발생하게 된다. 로직분석기로 동작할 경우 쉬프트 레지스터는 테스트 회로에서 측정된 데이터를 probe를 통해 1 클럭마다 샘플링하여 LSB에서 MSB 방향으로 한 클럭마다 1 비트씩 이동시키고, 16 클럭을 주기로 하여 쉬프트 레지스터의 내용은 버퍼에 저장된다. 버퍼에 저장된 데이터는 다음 샘플 데이터가 버퍼에 저장되는 16사이클 내에 SRAM에 저장되어진다.

SRAM 제어 블록은 PC 모드일 때 PC로부터 전송 받은 테스트 패턴을 채널별로 지정된 메모리 공간에 저장하고, 시뮬레이션 모드일 때 시뮬레이션 과정 수행 후 SRAM에 저장된 결과를 PC로 전송하기 위한 제어 신호를 발생한다. 시뮬레이션 모드일 경우는 시뮬레이션 사이클에 맞추어 채널 번호와 주소를 참조하여 4개의 SRAM중 지정된 공간에서 각 채널의 모드에 따라 데이터를 읽거나 쓰기 위한 제어 신호들을 발생시킨다. 코어 제어 블록은 내부 레지스터를 감시하여 신호발생/분석 모듈이 시뮬레이션 모드나 PC 모드로 동작하게 할지 결정하고, 신호발생/분석 모듈의 내부 각 블록들에 대한 제어를 수행한다.

외부 메모리는 검증 주파수를 높이기 위해서 모듈의 64채널 데이터를 하나의 메모리에 저장하지 않고, 16 Mbit 메모리 4개로 구성하여 이들 메모리에 대한 접근

은 각각 병렬적으로 이루어지도록 하였다. 또한 신호 발생/분석 모듈의 1 채널 당 1 Mbit의 메모리 공간을 할당하여, 메모리 하나가 16개 채널의 데이터를 저장할 수 있게 하였다.

신호발생/분석 모듈은 VHDL로 설계되었으며, Altera Max-PlusII에서 제공하는 SRAM VHDL 모델을 포함하여 각 동작모드들에 대해 기능 검증 후 Altera FPGA인 EPF10K100로 구현되었다.[2]

III. 신호발생/분석 모듈을 이용한 시스템 구현

64채널 신호발생/분석 모듈을 이용한 시스템은 구현된 회로의 칩 레벨에서의 검증을 위한 장비이다. 사용자는 신호발생/분석 모듈의 64개 채널 중 필요한 수만큼을 테스트할 회로에 연결한 후 PC 상에서 테스트 패턴을 입력하면, 모듈은 패턴 값들을 회로에 인가하고, 대응하는 테스트 회로의 출력을 PC에 업로드 하여 출력 파형을 디스플레이 한다.

그림 3은 신호발생/분석 모듈을 이용한 하드웨어 검증 시스템을 나타낸다.

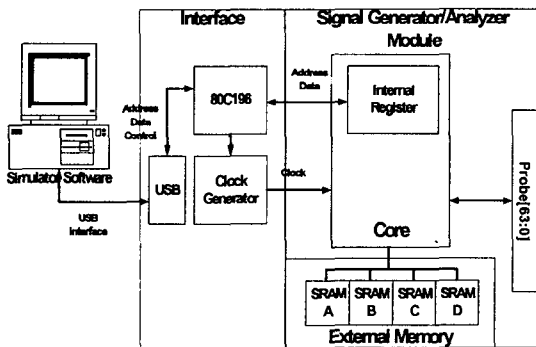


그림 3. 전체 시스템 블록도

3.1 인터페이스 부

인터페이스 부는 PC와 신호발생/분석 모듈 사이에 인터페이스를 담당하는 부분으로 USB 인터페이스를 이용한다.

80C196과 신호발생/분석 모듈내 내부 레지스터 사이의 인터페이스는 메모리 맵 방식을 이용하여 데이터를 송수신하고, PC와 80C196 사이는 USB를 이용하여 인터페이스 부 내부 메모리에 제어신호와 데이터를 패킷 단위로 송수신한다. 전송패킷은 그림 4와 같이 1 바이트의 헤더와 2바이트의 데이터, 총 3바이트로 구성

되어 있다. [3]

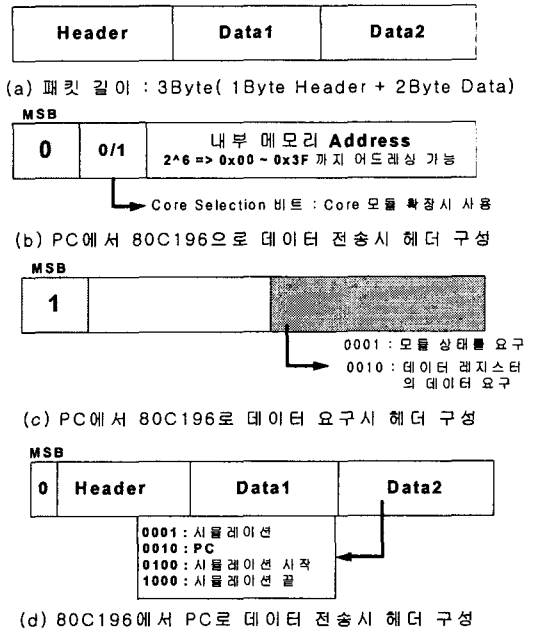


그림 4. 전송 패킷 구성

전송패킷은 PC에서 80C196으로 전송되는 패킷과 80C196에서 PC로 보내는 패킷, 2가지로 구분된다. PC에서 80C196 사이의 전송패킷은 패킷 헤더의 MSB 1 비트에 따라 데이터를 보내는 패킷(Sending Data)과 요구하는 패킷(Request Data)으로 나뉜다.

PC에서 데이터를 보내는 패킷은, 헤더의 MSB가 0 이고 나머지 비트에 80C196 내부메모리의 주소를 포함하고 있어서, 패킷의 데이터 부분에 내부메모리에 들어갈 데이터를 적재한다. 데이터를 요구하는 패킷은 헤더의 MSB가 1이고 헤더의 하위 4비트 값에 따라 신호발생/분석 모듈의 현재 상태를 나타내는 데이터나 80C196 내부 메모리에 적재되어있는 데이터를 요구한다.

80C196에서 PC로 전송되는 패킷도 마찬가지로 헤더의 MSB값에 따라서 전송할 패킷이 2가지로 구별이 된다. 패킷헤더의 MSB가 0인 경우 패킷의 마지막 4비트의 값에 신호발생/분석 모듈의 상태를 나타내는 패킷이나, 모듈 제어에 관한 패킷을 전송한다. MSB가 1 일 경우엔 패킷의 데이터 부분에 80C196 내부 메모리의 데이터를 전송한다.

또한 80C196은 클럭 발생기를 제어하여 모듈에 동작 주파수를 공급하는데, 클럭 발생기는 3.75MHz~100MHz 클럭을 생성할 수 있는 IDT사의 IDT5992A 프로그램 가능한 PLL을 사용하여 구현된 FPGA에 최

대 80MHz 클럭을 발생한다.[4]

이러한 데이터 전송과 인터페이스 부를 제어하기 위해서는 펌웨어를 필요로 한다. 펌웨어는 패킷이 80C196으로 들어오는 패킷인지 PC로 보내는 패킷인지를 검사하여 데이터를 송수신하거나, 인터페이스 부 전체를 제어하는 역할을 한다. 인터페이스 부 제어를 위한 펌웨어는 직렬포트를 사용하여 USB Development Kit의 RAM에 펌웨어를 다운로드해서 사용하지만, 전원을 인가 할 때마다 펌웨어를 다운로드 해야하는 불편을 해소하기 위해 USB Development Kit의 EEPROM에 펌웨어를 적재하여 사용한다.[5] 그림 5는 펌웨어 동작 순서도 이다.

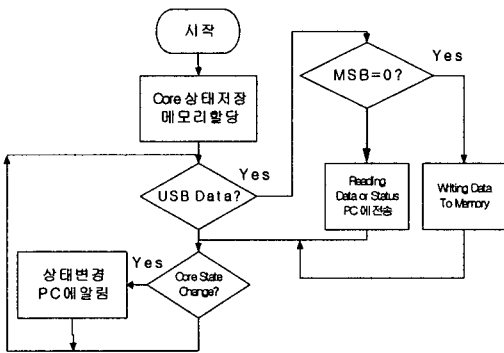


그림 5. 펌웨어 동작 순서도

인터페이스 부는 USB 인터페이스를 이용한 범용 CPU 보드인 (주)아담시스템의 USB Development Kit를 사용하였다.[6] 인터페이스 부 전체 제어를 위해 20MHz로 동작하는 인텔사의 16비트 윈 칩 마이크로 컨트롤러 80C196KC 사용하였고, USB 개발 키트 내에 Netchip사의 Net2888 USB 컨트롤러를 사용하여 12 Mbps의 전송속도를 지원한다.[7]

3.2 소프트웨어

소프트웨어는 Win32 API 기반으로 작성되어 있다.[8] 테스트할 회로의 동작 주파수를 선택하는 Clock 설정, 테스트 회로의 입출력노드의 모드를 설정하는 입출력 포트를 설정, 테스트 회로의 테스트벡터를 Core 모듈로 다운로드 하거나 시뮬레이션 결과를 업로드 하는 다운로드/업로드 기능, 사용자의 설정에 의해 신호발생/분석 모듈을 동작시키는 RUN 기능 등의 신호발생/분석 모듈의 하드웨어를 제어하는 기능과 신호발생/분석 모듈의 동작 결과를 Display할 수 있는 Waveform View 기능, 시간영역에서의 확대/축소, 입

출력 노드 추가, 삭제, 이동, 복사, 그룹핑 등의 GUI적인 기능을 지원한다.

소프트웨어의 동작은 다음과 같이 입력 설정, 신호 발생/분석 모듈 구동, 테스트 회로 검증 결과 디스플레이 순으로 진행된다.

- ① 사용자가 테스트할 회로의 입출력 핀 생성, 입출력 모드 및 테스트 벡터를 GUI를 통해 입력
- ② 소프트웨어는 입력된 테스트 벡터를 파일에 저장함과 동시에 신호발생/분석 모듈의 각 채널에 다운로드
- ③ 사용자 샘플링 주파수와 실행 시간 등을 설정
- ④ 신호발생/분석 모듈 구동
- ⑤ 결과 값을 신호발생/분석 모듈의 각 채널로부터 PC로 업로드
- ⑥ Waveform View로 시뮬레이션 결과 디스플레이

IV. 결론

본 논문에서는 디지털 회로의 하드웨어적인 검증을 위한 신호발생/분석 모듈 구현에 관하여 기술하였다. 신호발생/분석 모듈과 PC간의 인터페이스로 USB 인터페이스를 사용함으로써 모듈의 설치 및 이동성을 증대시켰고, 64 채널 신호발생/분석 모듈부분을 하나의 FPGA에 구현하여 소형화하였다. 신호발생/분석 모듈 내 각 채널은 신호발생기나 로직분석기 기능을 동시에 수행할 수 있으며, 모듈 단위로 확장이 가능해서 규모가 큰 회로 검증에 이용될 수 있다. 또한 64채널 신호발생/분석 모듈을 이용한 시스템은 독립적인 운영체제를 필요하지 않아 기존의 Window 기반으로 사용이 가능하다. 편리한 GUI 구성을 가능하게 하고, 많은 입출력에 대한 시뮬레이션 결과를 한 화면에 디스플레이 할 수 있는 편리함을 제공한다.

참고문헌

- [1] Logic Analyzers DataSheet, Agilent Technologies Corporation, 2003.
- [2] Flex10K/A DataSheet, Altera Corporation, 2002.
- [3] Universal Serial Bus Specification Revision 1.1, 1998. 9.
- [4] http://www.idt.com/docs/5992A_datasheet.pdf
- [5] Baro-196USB User Manual, (주)아담시스템, 2002.
- [6] <http://www.adamsystem.com>
- [7] 윤덕용, 80C196KC 마스터, Ohm, 2000.
- [8] Walter Oney, Programming the Windows Driver Model, Microsoft Press, 1999.