

# 직렬 ATA 전송층 설계

조 은 숙, 박 상 봉, 허정화  
세명대학교 정보통신학과

전화 : (043) 649-1278 / 팩스 : (043) 649-1278 / H.P 번호 : 011-326-1478

## Design of Serial ATA Transport layer

Eun Sun Cho, Sang Bong Park, Jung Hwa Heo  
School of Information and Communication, Semyung University  
E-mail : psbcom@semyung.ac.kr

### Abstract

In this paper, we report a design of Serial ATA Transport layer. The functionalities of the Serial ATA transport layer are first described on RTL via verilog. The compiled code are then fed to a synthesizer synopsys to get the actual hardware from 0.35 $\mu$ m SAMSUNG standard cell library. The designed functionalities of this chip will be verified using test board with FPGA equipment and ATS2 digital test equipment.

### I. 서론

Serial ATA는 차세대 스토리지 기술 인터페이스이다. 초당 150MB의 속도로 Serial ATA는 하드 디스크 드라이브의 성능을 향상시켜 점점 커지는 오디오, 비디오, 소비자 전자 제품 및 초기 단계 서버와 같은 데이터 집약적인 환경을 지원할 수 있다. 전력 관리 기능과 핫플러깅을 지원하고, Master/Slave 개념이 없어 설치가 쉬운뿐 아니라 송/수신 케이블이 분리되어 시스템 사용중에도 하드디스크의 탈착등이 가능하다. 본 논문에서는 직렬 ATA를 구성하는 3계층인 물리층, 링크층, 전송층 중 전송층을 분석하고, 설계 및 구현하였다. 직렬 ATA 전송층은 삼성 0.35 $\mu$ m CMOS 표준

셀 라이브러리를 이용하여 칩으로 제작되었으며, FPGA와 IDEC의 테스트 장비 ATS2를 이용하여 성능을 검증할 예정이다. 2장에서는 전송층을 구성하고 있는 FIS 구성과 전송 방법에 대해 정리하고 3장에서는 결론 및 향후 연구 방향으로 끝을 맺는다.

### II. 본론

#### 2.1 직렬 ATA의 구성요소

직렬 ATA는 크게 물리층, 링크층, 전송층의 구조로 되어 있다. 물리층에서는 디바이스 컨트롤러와 500mV의 낮은 전압으로 1.5Gbps 속도로 직렬 데이터 송수신이 이루어지며 링크층에서는 전송층으로부터 받은 데이터를 CRC Generator, Scrambler, 8b10b..을 거쳐 변환한후 물리층으로 전송한다. 전송층에서는 링크층으로부터 병렬 인터페이스로부터 받은 신호에 따라 FIS을 구성 후 링크층으로 데이터를 전송한다. 직렬 ATA은 병렬 인터페이스를 그대로 사용하므로 기존의 방식과 상호 작용을 한다.

## 2.2 직렬 ATA 전송층

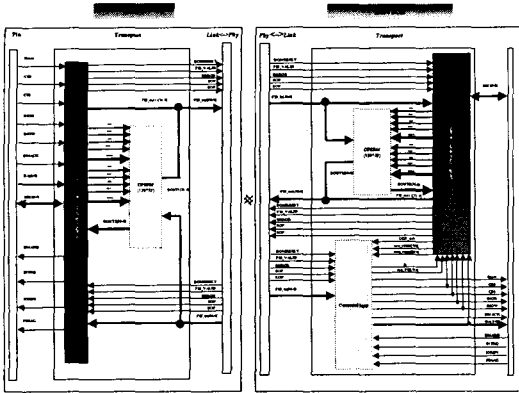


그림 1. 직렬 ATA 전송층 블록도

전송층은 송신부는 병렬 인터페이스로부터 명령어에 신호 및 값을 받으며 그 명령어 값에 맞추어 링크층으로 FIS 전송하고 수신부에서는 링크층으로부터 받은 FIS를 Shadow Block register에 주소를 맞추어 값을 저장한다. 수신부에서는 받은 FIS에 따라 필요한 FIS 되전송 및 병렬 인터페이스로 값을 다시 반환하여 보내어준다. 직렬 ATA 전송층의 블록도는 그림 1과 같다.

## 2.3 Frame Information Structure(FIS)

- ▶ FIS 구성 절차
  - 병렬 인터페이스에 의해 FIS 구성이 요구된다.
  - 전송층은 요구된 FIS의 타입에 맞추어 FIS 정보를 만든다.
  - FIS 전송을 링크층에게 통보하고 FIS 전송한다.
  - 링크층으로부터 프레임 수신 및 에러 상태를 통보 받는다.
- ▶ FIS 분해 절차
  - 링크층으로부터 FIS 수신된다.
  - FIS 타입을 결정한다.
  - FIS 타입에 의해 지정된 Shadow Block register에 내용을 분리/요구된 FIS을 되전송한다.
  - 링크층/병렬 인터페이스로부터 프레임 수신 및 에러 상태를 통보 받는다.

## 2.4 Shadow Block register

표 1. Shadow Block register

				Register access operation	
				Read	Write
CS# Active	A2	A1	A0	Data Port	
	0	0	0		
	0	0	1	Error	Features
	0	1	0	Sector Count[16:0]	
	0	1	1	Sector Number[31:24], [7:0]	
	1	0	0	Cylinder Low[39:32], [15:8]	
	1	0	1	Cylinder High[47:40], [23:16]	
	1	1	0	Device/Head	
	1	1	1	Status	Command
CS# Active	1	1	0	Althenticate_status	Device Control

전송층 송/수신 및 병렬 인터페이스의 Shadow Block register의 구성 요소는 표 1과 같다.

- ▶ Data Port(16비트) : 데이터 전송/수신한다.
- ▶ Error(8비트) : 각 명령어에 따른 에러 정보를 가지고 있다.
- ▶ Features(8비트) : command specific.
- ▶ Sector Count : 요구된 데이터의 sector의 number에 포함. 0이면 256sector count.
- ▶ Sector Number : Device/Head register안에 LBA bit가 0이라면 starting sector number을 말하며, Device/Head register안에 LBA bit가 1이라면 LBA의 0~7bits포함한다.
- ▶ Cylinder Low : 만약 Device/Head register안에 LBA bit가 0이면, 이 register은 어떤 media access위해 starting cylinder address의 high order bits에 포함하며 Device/Head register안에 LBA bit가 1이면, 이 register은 어떤 media access위해 LBA 16 ~ 23 bits에 포함한다.
- ▶ Cylinder High : Cylinder Low와 동일하다.
- ▶ Device/Head : 디바이스/헤드정보의 컨트롤할수 있는 값을 가지고 있다.
- ▶ Status : device 상태 포함한다. BSY = 0일때, 다른 비트 유효하다.
- ▶ Command : 디바이스로 보내는 명령어 코드를 포함한다.
- ▶ Althenticate\_status : Status register 와 같은 정보 포함한다.
- ▶ Device Control : 소프트웨어 리셋과 인에이블/디스에이블 정보를 포함한다.

## 2.5 FIS 타입(8가지)

- ▶ Register - Host to Device  
: 호스트에서 디바이스로 Shadow Block \*register의 내

용을 전송할 때 사용한다.

Reserved	Command	C	H	H	Reserved	FIS Type (1b)
Device	Cyl Low	Cyl High		Head	Sector Number	
Reserved	Cyl High (opt)	Cyl Low (opt)		Head	Sector Number (opt)	
Reserved	Head	Sector Count (opt)		Head Count		
Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	

▶ Register - Device to Host

: 디바이스에 의해 Shadow Block register의 내용을 업데이트할 때 사용한다.

Error	Device	R	W	Reserved	FIS Type (1b)
Device	Cyl Low	Cyl High		Head	Sector Number
Reserved	Cyl High (opt)	Cyl Low (opt)		Head	Sector Number (opt)
Reserved	Head	Sector Count (opt)		Head Count	
Reserved	Reserved	Reserved	Reserved	Reserved	Reserved

▶ Set Device Bits - Device to Host

: 디바이스가 독점적 쓰기 액세스하기 위해 Shadow Block register 로드 에 의해 사용한다.

Error	R	Reserved	R	Reserved	Reserved	FIS Type (1b)
Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved

▶ DMA Activate - Device to Host

: 호스트에서 디바이스로 DMA 데이터 전송을 나아가기 위한 신호로 디바이스에 의해 사용한다.

Reserved	Reserved	Reserved	Reserved	FIS Type (1b)
Reserved	Reserved	Reserved	Reserved	Reserved

▶ DMA Setup - Device to Host or Host to Device

: 호스트 기억에의 first-party DMA 접근이 시작될 때 사용한다.

Reserved	Reserved	R	W	D	Reserved	FIS Type (1b)
Reserved	DMA Buffer Identifier Low				Reserved	
Reserved	DMA Buffer Identifier High				Reserved	
Reserved	DMA Buffer Offset				Reserved	
Reserved	DMA Transfer Count				Reserved	
Reserved	Reserved				Reserved	

▶ BIST Activate - Bidirectional

: n loopback mode의 하나에 수신자 놓여있을 때 사용한다.

Reserved	Pattern Definition	R	R	Reserved	FIS Type (1b)
Reserved	Pattern Definition	Reserved	Reserved	Reserved	Reserved
Data[31:24]	Data[31:24]	Data[23:16]	Data[15:8]	Data[7:0]	
Data[31:24]	Data[23:16]	Data[15:8]	Data[7:0]		

▶ PIO Setup - Device to Host

: PIO 데이터 전송하기 위해 디바이스에 의해 사용한다.

Error	Device	R	W	D	Reserved	FIS Type (1b)
Device	Cyl Low	Cyl High		Head	Sector Number	
Reserved	Cyl High (opt)	Cyl Low (opt)		Head	Sector Number (opt)	
Head	Head	Sector Count (opt)		Head Count		
Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	

▶ Data - Host to Device or Device to Host

: 하드 드라이브 섹터에 읽고/쓰기 위해 사용된다.

Reserved	Reserved	R	R	Reserved	FIS Type (1b)
Reserved	Reserved	Reserved	Reserved	Reserved	Reserved
N Words of data (Minimum of 1 Word - Maximum of 16K Words)					

2.6 시뮬레이션 및 레이아웃 결과

(1) 시뮬레이션 결과

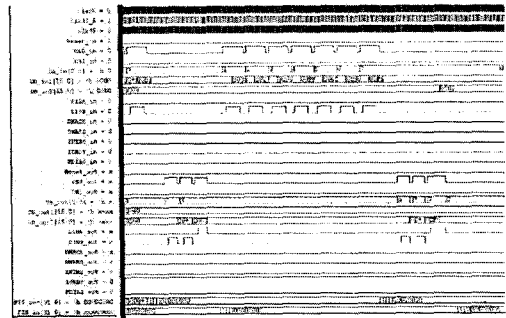


그림 2. 시뮬레이션 결과

모든 데이터는 Register - Host to Device 전송이 이루어진 후 Shadow Block register의 명령 코드에 따라 실행된다. 데이터를 읽기/쓰기에는 FIFO를 사용하였다.

▶ PIO 데이터 읽기

- 디바이스에서 PIO Setup FIS 전송. DRQ = 1매 가능하다.
- 디바이스에서 읽을 데이터를 준비후 호스트쪽으로 Data FIS 전송한다.
- 호스트에서는 받은 Data FIS을 호스트의 CS0, CS1, DIOR, DA[2:0]신호에 따라 데이터를 읽는다.

▶ PIO 데이터 쓰기

- 디바이스에서 PIO Setup FIS 전송. DRQ = 1매 가능하다.
- 호스트에서 CS0, CS1, DIOW, DA[2:0] 신호에 따라 데이터를 준비후 디바이스 쪽으로 Data FIS 전송한다.
- 디바이스에서는 받은 Data FIS을 CS0, CS1, DIOW, DA[2:0] 신호에 맞추어 데이터를 쓴다. 이때 읽고 쓰는 양은 PIO Setup FIS의 Transfer Count에 따라 다르다.

▶ DMA 데이터 읽기

- 디바이스에서는 데이터 읽기 준비인 DMARQ 신호를 보내준다.
- 디바이스는 읽을 데이터를 준비후 호스트쪽으로 Data FIS 전송한다.
- 호스트에서는 받은 Data FIS수신(이전 FIS가 PIO Setup 가 아닐때) 후 DMARQ, DMACK, DIOR, DA[2:0] 신호에 따라 데이터를 읽는다.

- ▶ DMA 데이터 쓰기
  - 디바이스에서는 데이터 쓰기 준비인 DMARQ 신호를 보내후 DMA Activate FIS 전송한다.
  - 호스트에서 DMARQ, DMACK, DIOW, DA[2:0] 따라 데이터를 준비후 디바이스 쪽으로 Data FIS 전송한다.
  - 디바이스에서는 받은 Data FIS을 DMARQ, DMACK, DIOW, DA[2:0] 신호에 맞추어 데이터를 쓴다. 이때 읽고 쓰는 양은 DMA Setup FIS의 Transfer Count에 따라 다르다.

그림 2는 Cadence Verilog XL툴을 이용하여 시뮬레이션 한 결과 파형이다.

## (2) 레이아웃 결과

Apollo Tool를 사용하여 Auto P&R 작업을 하였으며, Cadance사의 Dracula Tool을 사용하여 merging 작업을 하였다.

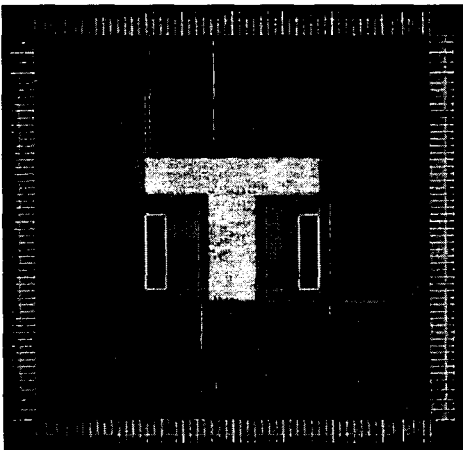


그림 3. Full Chip 레이아웃

그림 3 는 1500 $\mu\text{m}$  \* 1200 $\mu\text{m}$  사이즈, 208핀을 가지는 레이아웃 결과이다.

## III. 결론 및 향후 연구 방향

직렬 ATA 전송층을 설계하였다. 전송층의 호스트에는 Shadow Block register이 구성되어 있으며 디바이스에는 Shadow Block register, Command register로 구성되어 있다. 각 명령 코드에 맞춰 해당 FIS 전송됨을 보았다. 제작된 칩으로 FPGA를 이용한 보드 테스트와

디지털 테스트 장비를 이용한 테스트를 검증할 예정이다. 현재 대부분의 PC에 사용되는 병렬 ATA를 대체할 것으로 전망되며 나아가 대형 저장장치에서 사용되는 SCSI의 영역을 상당부분 대체할 것이다. 향후 연구 방향은 2세대 Serial ATA 표준의 새로운 기능으로 포트가 최대 15개의 드라이브를 관리하며 하이엔드 컴퓨터층인 서버와 워크스테이션에 주요 이용될 예정인 Serial ATA II 포트 멀티 플라이어를 연구하는 것이다.

## 참고문헌

- [1] Serial ATA1.0 spec, Serial ATA WorkGroup, 2000
- [2] Michael John Sebastian Smith, "Application-Specific Integrated Circuits", Addison Wesley, 1997
- [3] H.E.WESTE, "Principles of CMOS VLSI Design", Addison Wesley, 1993
- [4] Douglas J.Smith, "HDL CHIP Design", Doone Publications, 1999
- [5] SEC ASIC, "Memory Comilers"