

2.4GHz 100mW 급 고주파 CMOS 전력 증폭기 설계

황영승·채용두·오범석·조연수·정웅
동국대학교 반도체과학과

Design of 100mW RF CMOS Power Amplifier for 2.4GHz

Young-Seung Hwang, Yong-Doo Chae, Beom-seok Oh, Yeon-Su Cho, Woong Jung
Department of Semiconductor Science, Dongguk University
e-mail : dudtmd@dongguk.edu

Abstract

This paper describes the design and the simulation results of the RF CMOS Class-E Power Amplifier for a 2.4GHz ISM band. This circuit is composed two connected amplifiers, where Class F amplifier drives Class E amplifier. The proposed circuit can reduce the total power dissipation of the driving stage and can work with higher efficiency. The power amplifier has been implemented in a standard 0.25 μ m CMOS technology and is shown to deliver 100mW output power to load with 41% power added efficiency(PAE) from a 2.5V supply.

I. 서론

이동성, 설치·확장의 용이성 등 무선의 장점으로 인해 무선통신망을 활용한 고속, 대용량 정보의 전송기술에 대한 연구가 활발히 이루어지고 있다. 이 중 ISM (Industrial Scientific Medical) 대역으로 일컬어지는 2.4 GHz 대역(2.4 GHz ~ 2.483 GHz)을 이용한 무선 통신망 기술의 개발이 활발히 추진되어 왔으며, 점차 5.8 GHz 대역(5.725 GHz ~ 5.85 GHz)을 이용 하는 기술개발 역시 가시화 되고 있다. 특히 ISM 대역을 이용 하는 무선통신 기술은 블루투스(Bluetooth), 무선랜(Wireless LAN), Home Rf, 등에 적용되어 상용화에 이르고 있다. 이런 무선통신망의 구축을 위한 가장 핵심적인 요소 중 하나는 안테나 전단에 사용하는 전력증폭기이다.

무선 통신 시스템은 소형화, 낮은 단가, 낮은 파워를 요구한다. 이러한 요구는 낮은 단가를 갖는 CMOS 기술을 사용하여 단일 칩 트랜시버를 구성하여 얻을 수 있다. CMOS 공정기술은 다양한 기생 성분들에 의해 RF 응용에 낮은 성능을 보였지만 최근 공정기술의 발달로 인한 f_t 및 f_{max} 를 향상시켜 RF 응용을 가능하게 하고 있다. 그러나 CMOS 공정에서 낮은 항복전압, 낮은 전류 구동, 기관 손실 등으로 높은 효율을 갖는 증폭기는 구현하기에 어렵다.

본 논문에서는 ISM 대역에서 사용 가능한, 높은 효율을 갖는 Class E 전력증폭기를 설계 하였다.

본 논문은 네 개의 단락으로 나누어져 있다. 두 번째 단락에서 Class E, Class F 전력 증폭기의 기본적인 구조 및 동작특성에 대해 나타내었다. 세 번째 단락에서 2 단으로 구성된 Class E 전력 증폭기의 구조 및 설계 방법에 대해서 설명했다. 네 번째 단에서는 제안된 전력 증폭기에 대한 모의실험 결과를 나타내었다. 다섯 번째 단락에서 결론 및 향후 과제에 대하여 설명 하였다.

II. 전력 증폭기의 구조 및 동작 특성

2-1 Class-E 전력 증폭기의 구조 및 동작 특성

그림 1 은 기본적인 Class E 전력 증폭기 구조를 나타낸다. 입력 주파수 ω_0 에서 능동소자는 스위치로 동작하고, 부하 회로망은 능동소자와 병렬의 캐패시터와 직렬 공진회로를 포함한다. 직렬

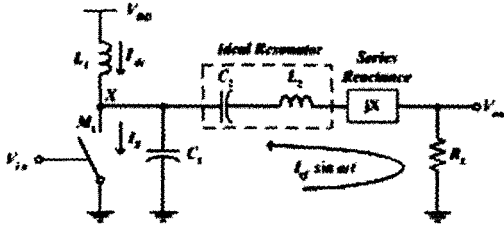


그림 1 Class E 전력 증폭기

리액턴스 jX 는 출력 전압과 드레인 전압의 기본 신호 사이의 위상차를 나타낸다. [1]

실제로 스위치가 켜졌을 때 turn-on 저항은 0 Ω 이 되지 않는다. 식 (1)에서 turn-on 저항을 구할 수 있다.

$$R_{ON} \approx \frac{1}{G_{ds}}$$

$$G_{ds} = \frac{\partial I_{ds}}{\partial V_{ds}} = \frac{W}{L} \phi C'_{ox} \{V_{GS} - V_T - \Delta V_{DS}\} \quad (1)$$

$$R_{ON} \approx \frac{R_{ON, finger}}{N} = \frac{L}{WN} \frac{1}{\phi C'_{ox} \{V_{GS} - V_T - \Delta V_{DS}\}}$$

G_{ds} 는 드레인과 소스의 conductance 이고, μ 는 이동도 C'_{ox} 는 산화막의 단위 면적당 커패시턴스, a 는 공정상에서 주어진 값으로 상수이며 N 은 gate finger 의 개수이다. 식으로부터 설계자가 W , L , N 의 값을 조절하여 turn-on 저항을 구할 수 있다.

실제로 스위치의 turn-on 저항을 최소로 하기 위하여 능동소자의 크기를 크게 가져간다. 이 능동소자의 C_{gs} 는 보통 인덕터로 동조(tuned)하는데 고주파에서 동조하기 위한 인덕터의 크기가 너무 작아서 실현하기 힘들 수도 있다. 본 논문에서는 실현 가능한 인덕터의 크기를 갖는 범위에서 가능한 능동소자의 크기를 크게 가져갔다.

2-2 Class F 전력 증폭기

그림 2 (a)는 Class F 전력 증폭기를 나타낸다. Class F 전력 증폭기는 자체적으로 소비되는 전력을 감소시키기 위해 드레인에서의 전압 파형을 구형파에 가깝게 만들어 효율을 증가시키는 방법이다. 그림 2 (b)에서 능동소자의 드레인에서 보았을 때

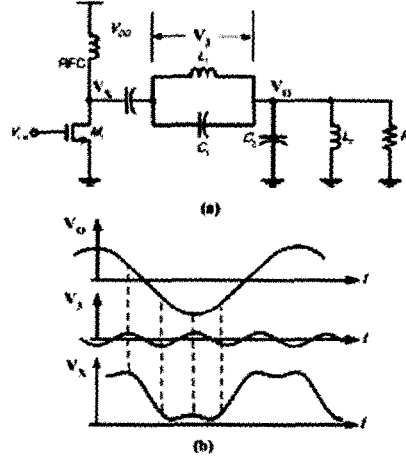


그림 2 (a) Class F 전력 증폭기

(b) 제 3 고조파를 포함한 파형

기본(fundamental) 성분에 대해 보이는 임피던스는 로드저항이고, 제 3 고조파에 대해 보이는 임피던스는 무한대이다. 즉, 드레인에서의 전압 V_X 는 V_3 와 V_0 의 합과 같게 되어 그림 2 (b)와 같은 구형파가 된다. [2][6]

III. Class-E 전력 증폭기의 설계

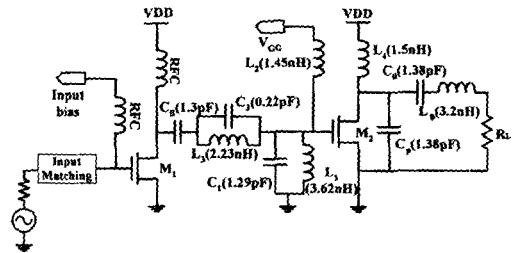


그림 3 제안된 Class E 전력 증폭기

그림 3 은 제안된 Class E 전력 증폭기의 구조를 나타낸다. 높은 효율을 얻기 위하여 전력 증폭단은 Class E 로 구성하였으며, 구동 증폭단은 Class F 으로 구성하였는데, C_3, L_3 는 제 3 고조파 성분에 대한 공진회로를 구성하였고, C_1, L_1 은 기본 주파수에 대한 공진회로를 구성하여, 구동 증폭단 자체적으로 소비되는 전력을 줄였다. 높은 주파수에서 Class E 전력 증폭기의 능동소자의 크기가 크면 높은 드레인 효율을 얻을 수 있지만 낮은 이득을 갖는다. 반대로 같은 출력 회로에서 능동소자의 크기가 작다면 더 작은 입력 전력을 필요로 하기 때문에 더 높은 이득을 얻을 수 있지만 낮은 Transconductance, 높은 소스저항, 높은 드레인 전압으로 더 낮은 드레인 효율을 얻을 것이다. 즉, 높은 이득과 높은 드레인 효율, 출력 전력을 갖는 적당한 값을 구했다.[4] M_2 의 크기는 $2000\mu\text{m}$ 으로 가져갔고, M_2 를 충분히 포화시킬 수 있도록 M_1 또한 같은 크기로 가져갔다.[5]

M_2 의 C_{gs} 값은 L_2 를 사용하여 기본 주파수에 대해 공진회로를 구성하였는데, 직력, 병렬 공진회로는 가장 높은 Q 값과 칩 면적을 고려하여 설계하였다. Q는 식 (2)와 같이 구할 수 있다.

$$Q = \frac{\text{공진주파수}}{3\text{dB Bandwidth}} \quad (2)$$

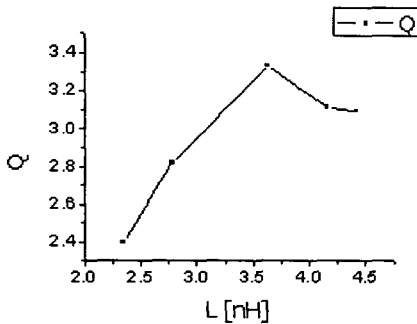


그림 4 기본주파수 f_0 에 대한 공진회로에 따른 Q값

그림 4 는 구동증폭기의 기본주파수에 대한 공진 회로에서 다른 인덕터, 캐패시터의 조합에 따른 Q 값의 변화를 나타내고있다. 높은 Q 값을 갖는 $L=3.62[\text{nH}], C=1.29[\text{pF}]$ 의 값을 갖는 공진회로를 구성하였다. 다른 공진회로도 같은 원리로 구했다.

수동소자는 EM-시뮬레이터를 사용하여 설계하였다. 인덕터는 정방형 인덕터를 사용하였으며 캐패시터는 MIM 캐패시터를 사용하였다.

IV. 모의실험 결과

4-1 로드-풀(Load-Pull) 모의실험

출력 임피던스가 저항으로만 구성되어 있다면 최대 전력을 전달을 위하여 부하선 정합을 사용할 수 있다. 그러나 출력 임피던스는 실수와 허수부로 구성되고, 바이어스 조건에 따라 출력 임피던스는 변하게 된다. 로드-풀 모의실험은 로드-풀(tuner)를 사용해서 최대 전력을 얻을 수 있는 로드 임피던스를 찾는 기법이다. 그림 5 는 로드-풀(Load-Pull) 모의실험 결과 얻은 로드 임피던스 점이다. 그림에서 최대 PAE(Power Added Efficiency)는 41.05%이고, 최대 출력 전력은 20.3dBm (107mW)이다.

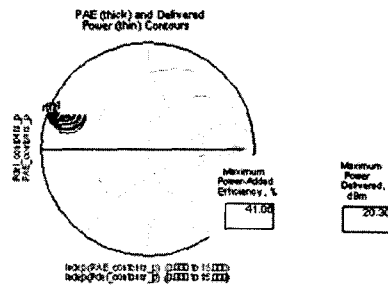


그림 5 로드-풀(Load-Pull) 모의실험

4-2 Harmonic Balance 모의실험

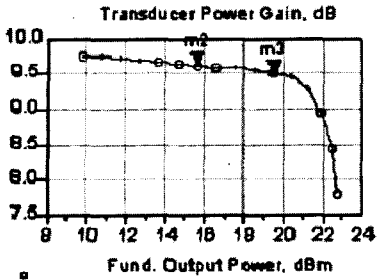


그림 6 출력전력 변화에 따른 전력 이득

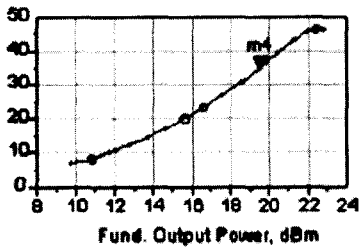


그림 7 출력전력 변화에 따른 PAE

그림 5 에서 구한 최대 PAE, 최대 출력전력 임피던스 정보를 이용하여 Harmonic Balance 모의실험을 수행하였다. Harmonic Balance 모의실험은 입력파워를 변화시키면서 그에 따른 출력 전력, PAE, 전력이득의 변화를 보여준다. 그림 6, 7 은 출력전력의 변화에 따른 전력 이득 및 PAE(Power Added Efficiency)의 변화를 보여주고 있다.

표 1 에서 입력전력 11dBm 에서 Class E 전력 증폭기의 모의실험 결과를 나타내었다. ISM 근거리 무선통신 표준규격의 20dBm 의 출력전력을 만족하면서 41%의 높은 PAE 를 보이고 있다. 반면 전력증폭기 능동소자의 크기를 크게 하였기 때문에 전력이득은 8.4dB로 나타났다.

VII. 결론 및 추후 연구

본 논문에서는 0.25 μ m 5-metal 공정을 사용하여 ISM(Industrial Scientific Medical) 대역에서 응용 가능한 트랜지버 전력증폭기를 설계 하였

모의 실험 결과	
입력 전력	11 dBm
출력 전력	20.3dBm
전력 이득	9.4 dB
PAE	39%
DC 전력 소비	252 mW

표 1 Class E 전력 증폭기 모의 실험 결과

다. 구동 증폭단의 능동소자에서의 전력 소모를 줄이기 위해 Class F 로 구성하여 드레인에서 전압파형이 구형파로 전류와 겹치는 부분이 최소화 되도록 설계하였다. 하지만 높은 Q 값을 갖는 수동소자의 설계를 통해 더 높은 PAE, 및 전력 이득을 갖는 전력 증폭기를 설계 할 수 있을 것이다. 또한 차동구조로 설계하여 기판 결합(Coupling), 기판 잡음 등을 향상시켜 전력 소비를 개선 할 수 있을 것이다.[3]

참고문헌(또는 Reference)

- [1] Steve C. Cripps, "RF Power Amplifiers for Wireless Communications", Artech House, 1999.
- [2] Mihai Albulet "RF Power Amplifiers", Noble Publishing, 2001.
- [3] King-Chun Tsai, "A 1.9-GHz, CMOS Class-E Power Amplifier for Wireless Communications", *IEEE Journal of Solid-State Circuits*, Vol.34, No.7, July 1999
- [4] David K. Choi, "A Physically Based Analytic Model of FET Class-E Power Amplifier - Designing for Maximum PAE", *IEEE Transactions on Microwave Theory and Techniques*. Vol.47, No.9, September 1999.
- [5] Changsik Yoo and Qiuting Huang, "A Common - Gate Switched 0.9W Class-E Amplifier with 41%

PAE in 0.25um CMOS", *Symposium on VLSI Circuits
Digest of Technical Papers, 2000*

- [6] Fernando Fortes and Maria Joao do Rosario
"A Second Harmonic Class-F Power Amplifier in
Standard CMOS Technology", *IEEE Transactions on
Microwave Theory and Techniques*, Vol.49, No.6
June 2001.