

# Symmetric high voltage MOSFET의 extended source/drain 길이에 따른 전기적 특성의 고온영역 신뢰성 분석

임동주, 최인철, \*노태문, 구용서  
서경대학교 전자공학과, \*한국전자통신연구원  
e-mail : hus\_band@hanmail.net, a10f@hanmail.net, yskoo@skuniv.ac.kr

## A study on the reliability test of Symmetric high voltage MOSFET under the extended source/drain length

Dong-Ju Lim, In-chul Choi, Tea-Moon Rho, Yong-Seo Koo  
Electronic Engineering, Seokyeong University

### Abstract

In this study, the electrical characteristic of Symmetric high voltage MOSFET (SHVMOSFET) for display driver IC were investigated.

Measurement data are taken over range of temperature (300K-400K) and various extended drain length.

In high temperature condition(>400K), drain current decreased over 20%, and specific on-resistance increased over 30% in comparison with room temperature.

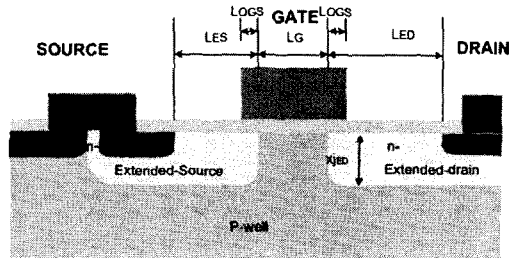
### I. 서론

최근 이동통신 단말기, CNS, PDA, Camcorder 등 대부분의 consumer 전자 응용제품의 수요가 증가하고, 이런 고내압 집적소자와 CMOS 논리회로부를 one-chip화 하는 smart power IC 기술의 비약적인 발전에 따라 디스플레이 구동 IC의 핵심부품으로 사용되고 있는 SHVMOSFET (Symmetric High Voltage MOSFET) 등 고내압 집적소자의 연구가 부각되고 있다. 디스플레이 구동 IC 동작 주변 환경이 주로 고온에서 동작하고 동작 온도 범위가 넓기

때문에 다양한 온도변화에 따라 안정적으로 동작해야 한다. [1]

그러므로 본 논문에서는 고온 환경 하 (300K-400K)에서의 extended drain length (Led) 에 따른 SHVMOSFET 의 전기적 특성을 측정 및 분석하였다.

### II. 측정 및 측정방법



[그림. 1 측정에 사용된 SHVMOSFET]

측정에 사용된 소자(그림. 1)은 P-well 영역과 extended drain, extended source 영역으로 구성되어 있다. 각각의 extended source 및 drain은 n-의 낮은 도핑농도를 가지고 있고, npn 방지를 위해 source 에 p+ 농도를 가지는 영역을 형성하였다.

Gate Oxide의 두께는 350Å의 두께를 가지고 있다. 본 연구에서는 소자의 폭 (W) 을 20um로 소자의 길이(L) 를 1.2um로 고정하고, Led를 각각 0.6-1.4um 까지 0.2um의 step 으로 변화를 주면서 300K에서 400K까지의 고온환경에서의 전기적 특성을 측정 하였다.

고온환경 조성에는 Hot-Chuck 및 온도 controller 를 사용 하였고, 4145A를 이용하여 전기적 특성을 측정하였다.

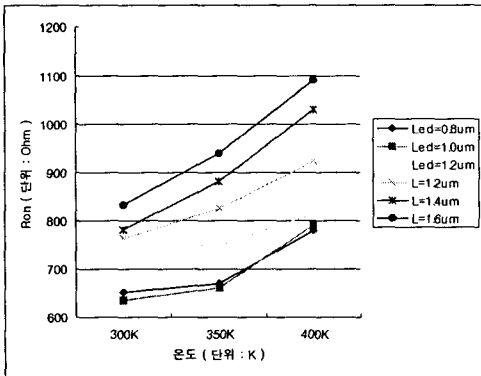
### III. 측정결과 및 분석

SHVMOSFET은 디스플레이의 드라이버 IC 의 전류 및 전압을 구동하는 스위치 역할을 하고 있다. 따라서 높은 전압 및 전류 구동 능력과 switching speed는 SHVMOSFET의 주요 성능을 좌우하는 중요한 요소가 된다.[3]

본 연구에서는 위의 성능을 파악하기 위한 여러 가지 전기적 파라미터( On-Resistance, 문턱전압, 드레인 전류 및 트랜스 컨덕턴스 )에 대한 다양한 온도에서의 측정 및 분석을 하였다.

#### (1) Specific On-Resistance

On-Resistance는 소자가 스위칭 되는 동안의 power dissipation을 나타내는 파라미터로 이는 전류 구동능력의 중요한 지표가 된다.[2] On-Resistance가 작은 소자일수록 power dissipation이 낮고 이에 따라 전류 구동능력도 더 크다. 측정 결과에서는 Led의 증가에 따라 On-Resistance가 증가하는 것을 측정결과 [그림. 2]를 통해 알 수 있었다.



[그림. 2] 온도 및 Led 변화에 따른 Ron

SHVMOSFET 의 extended drain 채널의 도핑 농도가 드레인이나 소스의 도핑농도 보다 높기 때문에, On-Resistance에는 채널에 의한 영향을 거의 없다. 그러므로 On-Resistance 는 드레인 및 소스의 저항에 의해 좌우되며, On-Resistance는 식(1)로 표현할 수 있다.

$$R_{on} = \frac{L_{ed}}{q \mu_n Q_{ed} W} + \frac{L_{es}}{q \mu_n Q_{es} W} \quad (1)$$

온도가 증가하면 lattice scattering이 증가 하게 된다. 이에 따라 carrier의 mobility는 감소하게 되고, Ron은 증가하게 되며, 이는 식(1)을 통해 알 수 있고, 결과를 통해서도 이를 확인 할 수 있다. 온도 증가에 따른 mobility의 변화는 드레인 전류에 대한 분석에서 자세히 알아보겠다.

#### (2) 문턱전압 ( Threshold Voltage )

문턱전압은 silicon 과 oxide층의 유전율의 차이에 의한 채널이 induced 되기 시작하는 전압을 나타내고, MOSFET 에서의 문턱전압은 식(2)와 같이 표현 된다.

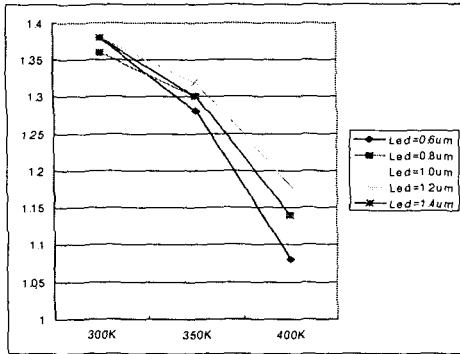
$$V_T = \Phi_{ms} - \frac{Q_i}{C_i} - \frac{Q_d}{C_i} + 2\phi_F \quad (2)$$

(  $\Phi_{ms}$ : metal-semiconductor work function difference ,  $Q_i$ : charge density at the interface,  $Q_d$ : charge density in the depletion region ,  $\phi_F$  : fermi-potential )

$$\phi_F = \frac{kT}{q} \ln \frac{N_a}{n_i} \quad (3)$$

$$n_i(T) = 2 \left( \frac{2\pi kT}{h^2} \right)^{3/2} (m_n^* m_p^*)^{3/4} e^{-E_g/2kT} \quad (4)$$

온도가 증가함에 따라 intrinsic concentration 이 감소하는 것을 식 (4)를 통해 알 수 있고, 이로 인해 fermi-level 이 midgap에 가까워지는 것을 식(3)에서 확인 할 수 있다. 그러므로 온도가 증가함에 따라 문턱전압은 감소하게 된다. extended drain 길이는 식 (2)에서 영향을 미치지 않음을 알 수 있고, 이는 실험결과 [그림 3.]에서도 확인 할 수 있다. [4],[5]



[그림. 3] 온도 및 Led 변화에 따른 문턱전압

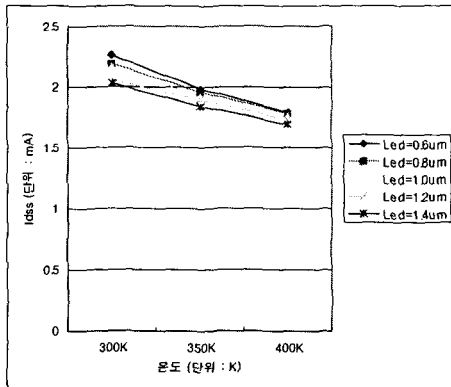
(3) drain current (Idss)

drain current는 saturation region 영역에서 측정을 하였기 때문에 식 (5)와 같이 표현 할 수 있다.

$$I_{DSS} = \frac{\mu C_{ox} W}{2L} (V_G - V_T)^2 \quad (5)$$

$$\frac{1}{\mu} = \frac{1}{\mu_L} + \frac{1}{\mu_I} + \dots \quad (6)$$

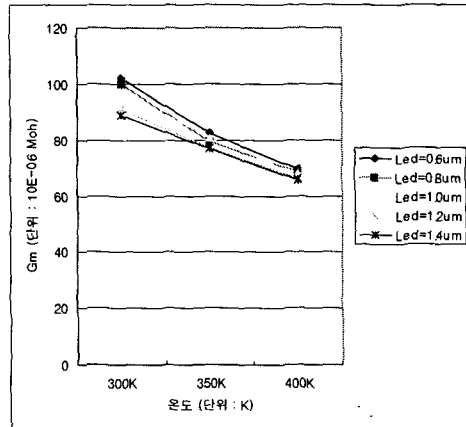
mobility는 식(6)에 의해 결정되는데, mobility에 dominant하게 영향을 주는 항은 impurity scattering과 lattice scattering이다. 온도가 증가함에 따라 lattice scattering은  $T^{-3/2}$ 에 비례하여 줄어들게 되고 이에 따라 mobility도 감소하게 된다.[6] 이에 따라 식 (5)에서도 알 수 있듯이 drain current는 감소하게 된다. 또, 드리프트 길이에 따라서는 드리프트 길이의 증가에 따라서 drain current의 감소 또한 식 (5)에서 보여주고 있고 이는 [그림 6.]의 결과에서도 확인할 수 있다.



[그림 4.] 온도 및 Led 변화에 따른 Idss

(4) Transconductance (Gm)

트랜스컨덕턴스는 gate-source간의 전압의 변화에 따른 drain current의 변화율이다. 트랜스컨덕턴스 또한 드레인 전류처럼 mobility에 가장 큰 영향을 받는다. 온도가 증가함에 따라 드레인 전류와 같이 감소하고, extended drain 길이에 따라서는 감소하는 것을 [그림. 5]의 결과에서도 알 수 있다.



[그림. 5] 온도 및 Led 변화에 따른 Gm

트랜스컨덕턴스가 400K에서 상온대비 30%정도의 감소율을 보이는 것을 보았을 때, 온도가 400K이상 되면 lattice scattering의 증가가 더 심화되어 트랜스컨덕턴스가 절반 이상으로 감소하여 전류구동능력에 큰 영향을 미칠 것이라 사료된다.

## 5. 결론

본 연구에서는 Symmetric high voltage MOSFET에 대한 고온영역 (300K-400K) 및 Led의 변화에 따른 여러 가지 parameter (On-Resistance, Threshold voltage, drain current, transconductance)를 측정 및 분석하였다. drain current는 gate voltage 5V 및 source-drain voltage 5V에서 측정하였다.

드리프트 영역길이에 따른 변화는 드리프트 길이가 증가할수록 Ron(On-Resistance)은 증가하는 경향을 보였고, drain current 및 transconductance는 감소하는 경향을 보임을 알 수 있었다. 이에 반해 Threshold voltage는 드리프트 길이에 거의 변화가 없었다.

온도가 증가함에 따라 Ron은 증가하는 경향을 보였고, drain current, threshold voltage, transconductance는 감소하는 경향을 보였다. 상온대비 400K에서의 Ron은 상온대비 25% 정도의 증가율을 보였고, drain current, transconductance는 각각 20%, 30%의 감소율을 보였다. 이를 통해 소자들이 온도가 올라감에 따라 열화됨을 알 수 있었다. 이런 열화현상은 mobility가 lattice scattering의 증가에 의한 감소가 가장 큰 요인이었다.

이를 통해 SHVMOSFET 설계시 먼저, Ron과 drain current(transconductance) 등은 trade-off 관계를 가지고 있으므로 이들의 적절한 선택을 통한 소자의 스위칭 능력 및 전류 구동능력의 적절한 설계가 요구된다. 한편  $V_t$ (threshold voltage)는 substrate 농도가 낮을수록 온도에 덜 민감하게 되므로, 이를 통하여 온도 변화에 최적화된 소자구조를 구현할 수 있다고 사료된다.

## 참고문헌

- [1] G. Dolny et al., "Characterization and Modeling of the Temperature Dependence of Lateral DMOS Transistor for High-Temperature Application of Power ICs", IEDM, pp789-792, 1990
- [2] R. Amato et al., "Comparison of Lateral and Vertical DMOS Specific On-Resistance", IEDM, 736p-739p, 1985
- [3] M. Willander, "High Temperature Electronics", 69p-119p, Chapman & Hall, 1997
- [4] B. Jayant Baliga, "Power Semiconductor Devices", 336p-420p, PWS, 1996
- [5] G. Groeseneken et al., "Temperature Dependence of Threshold Voltage in Thin-Film SOI MOSFET's", IEEE EDL, VOL.11, NO.8, 329p-331p, AUG 1990
- [6] TAK H. NING, "Fundamentals of Modern VLSI Devices" 19p-21p, Cambridge, 2000