

# W-CDMA Digital Predistortion용 UDC (Up/Down Converter) 설계 및 제작

## Design and Implementation of UDC for W-CDMA Digital Predistortion

최민성, 조갑재, 방성일  
단국대학교 전자컴퓨터공학부  
전화 : (02) 709-2827 / 팩스 : (02) 709-2590

Min Sung Choi, Gab Je Cho, Sung Il Bang  
School of Electronics and Computer Engineering, Dankook University  
E-mail : makotoch@hanafos.com

### Abstract

In this paper, we designed and made up/down converter (UDC) for using W-CDMA digital predistortion system which is one of the efficiency enhancement techniques. UDC is required that frequency up(baseband to RF) and down(RF to baseband) of information signals. The focus of the design and PCB layout is to satisfy the linearity of the UDC. We tested that UDC was satisfied specification which is based on 3GPP base stations and repeaters. The ACLR results which are -51.84dBc(Up Converter) and -55.0dBc(Down Converter) at upper 5 MHz offset from center frequency show that UDC satisfy the 3GPP specification with superior linearity data.

### I. 서론

최근의 이동통신환경은 급격한 발전을 하고 있다. 처음에는 음성중심의 서비스였으나 영상 및 데이터 서비스에 대한 요구가 증가하면서 멀티미디어 통신에 대한 연구개발이 활발해지고 있다. 멀티미디어 서비스를 지원하기 위해서는 다량의 데이터를 고속으로 전송해야 한다. 기존의 CDMA 방식인 IS-95 시스템은 멀티미디어 서비스를 지원하기에 한계가 있어 광대역의 주

파수대역폭을 가진 W-CDMA 방식으로 발전 방향이 정해지고 있다. 그러나 광대역 특성을 가진 전력증폭기(Power Amplifier)의 경우 증폭기의 소자 특성상 선형성과 효율성이 상호 배타적인 관계를 가진다. 따라서 주파수 효율과 간섭의 영향을 최소화하기 위해서 전력증폭기는 선형성에 중점을 둔 Feed Forward나 아날로그 Predistortion과 같은 방식으로 개발되어 왔다. 그러나 에너지 자원 고갈에 대한 우려로 저전력 시스템에 대한 요구가 급증하면서 선형성과 고효율을 함께 추구하는 전력증폭기에 대한 연구가 진행되어 왔다. 그리고 디지털 기술이 급속히 발전하면서 많은 부분의 H/W가 S/W로 대체되는 등 이러한 상황에 따라 디지털 Predistortion에 대한 연구가 주목받고 있다[1,2]. 그러나 이와 같은 추세에도 불구하고 RF 대역의 신호를 디지털로 처리하는 것은 아직 현실적으로 많은 어려움이 있다. 따라서 디지털 사전왜곡 선형화기(Digital Predistortion Linearizer)와 전력증폭기 사이에 낮은 주파수 대역의 정보신호를 RF 대역으로 이동시키는 Up Converter 회로가 필요하며, 전력증폭기의 선형성을 모니터링 하기 위한 페루프에는 Down Converter 회로가 동시에 요구된다.

본 논문에서는 디지털 Predistortion 시스템에 사용하는 Up Converter와 Down Converter로 구성된 인터페이스 회로를 설계 및 제작하였다.

### II. 디지털 Predistortion 시스템의 구성

적응형 디지털 Predistortion 시스템의 블록도는 그

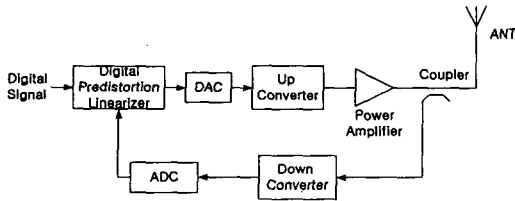


그림 1 적응형 디지털 Predistortion 시스템의 블록도  
Fig. 1 Block diagram of the adaptive digital predistortion system.

림 1과 같다[1,3]. 이원 정보신호가 디지털 Predistortion 선형화기의 입력을 거쳐 전력증폭기의 특성에 맞게 사전 왜곡된 다음 DAC(Digital-to-Analog Converter)에 의해 아날로그 신호로 변환된다. Up Converter에서는 이 신호를 RF대역으로 이동시킨다. 결합기(Coupler)는 전력증폭기의 출력에서 신호의 비선형성을 모니터링하기 위한 신호를 추출한다. Down Converter에서 낮은 주파수대역의 아날로그 신호는 ADC(Analog-to-Digital Converter)를 거쳐 디지털화되어 디지털 Predistortion 선형화기로 입력된다. 이 신호로부터 정보신호의 왜곡 정도를 인지하고 전력증폭기가 선형성을 유지할 수 있도록 디지털 Predistortion 선형화기에서 보정 작업을 하게 된다.

이와 같은 디지털 Predistortion 선형화 시스템에 맞추어 본 논문에서는 UDC를 설계 및 제작하였는데, 자세한 내용은 다음 장에서 기술하였다.

### III. Digital Predistortion UDC의 규격 및 구성

본 논문에서 설계할 UDC의 규격은 표 1와 같다.

디지털 Predistortion 선형화기는 기지국이나 중계기의 전력증폭기 전에 삽입되는 시스템이므로 3GPP의 기술 규격중 기지국 및 중계기에 해당하는 규격을 만족하는 범위 내에서 UDC의 선형성을 알아 볼 수 있는 항목으로 작성하였다[4]. 본 논문에서 유념할 사항은 Down Converter의 입력주파수가 Up Converter의 출력주파수와 동일하다는 점이다. 일반적인 FDD(Frequency Division Duplex) 방식에서 Uplink와

표 5 Up/Down Converter의 규격  
Table 5 Specification of the Up/Down Converter.

항목	규격	비고
출력/입력 주파수	2110~2170MHz	
ACLR(Adjacent Channel Leakage Power Ratio)	-45dBc	@±5MHz
	-50dBc	@±10MHz

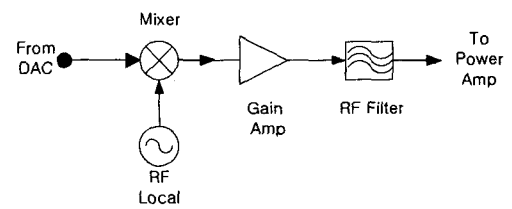


그림 2 Up Converter의 블록도  
Fig. 2 Block diagram of the up converter.

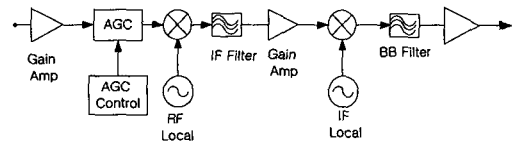


그림 3 Down Converter 블록도  
Fig. 3 Block diagram of the Down Converter.

Downlink의 주파수는 서로 다르지만 본 논문에서 제작한 Down Converter는 송신단 전력증폭기 출력신호의 일부를 입력으로 다시 받기 때문에 동일 주파수의 규격을 설정하였다.

Up Converter의 구성은 그림 2와 같다. 크게 4개 블록으로 RF Local부, Mixer부, 이득증폭기(Gain Amplifier)부, RF 대역통과 Filter로 이루어져 있다. RF Local로는 주파수 오차가 적은 고정밀도 사양의 VCO를 사용하였으며, Mixer로 불필요한 주파수 성분이 입력되지 않도록 하기 위해 Filter를 사용하였다. Mixer는 높은 IP3 특성의 광대역 직교 변조기인 AD8346을 사용하여 높은 선형성과 IMD 특성 향상을 얻을 수 있도록 하였다. 이득증폭기는 적정 출력 Level을 얻을 수 있도록 신호의 증폭을 하며, IP3값이 높고 선형성이 우수한 소자를 사용하였다. 이득증폭기의 출력은 RF 대역통과필터를 거치면서 불요복사에 의한 신호가 차단되고 원하는 신호만 전력증폭기의 입력단에 전달된다.

Down Converter의 구성은 그림 3과 같다. 크게 AGC(Auto Gain Control)부, 1st Mixer부, 2nd Mixer부, 증폭부로 나뉜다. 입력과 AGC부 사이의 이득증폭기는 Up Converter에서 사용하던 것과 동일한 것으로, 전력증폭기에서 추출된 신호 낮은 입력레벨을 높이는 역할을 한다. AGC는 1st Mixer에 적절한 신호레벨을 인가하기 위한 회로로서 Pin Diode를 사용한 가변 감쇄기를 제어하도록 설계하였다. 1st Mixer는 RF 신호를 IF 대역으로 하향 변환하기 위하여 사용하는 것으로 높은 IP3 값과 낮은 변환손실을 가지는 Premier Device사의 MXJ-2501 시리즈 소자를 사용하였다. RF

Local로는 Up Converter와 마찬가지로 고정밀도의 VCO를 사용하였고, IF 대역통과 Filter는 Mixer 출력의 RF 신호를 차단하고 IF 신호만 통과시키는 역할을 하기 위한 것으로 주파수 차단특성이 양호한 Chebyshev Filter 회로를 구성하였다.

IF단의 이득증폭기는 적정 레벨의 신호가 2nd Mixer에 입력되는데, 2nd Mixer도 높은 IP3 값과 낮은 변환손실을 가지는 소자를 사용하였다. IF Local로는 발진모듈과 이득증폭기를 사용하여 Mixer를 구동할 수 있는 신호레벨까지 증폭한 후 2nd Mixer에 인가하였다. Mixer는 IF Local과 IF 대역 신호를 혼합, 주파수편이를 발생시키며, 이 신호들을 LPF(Low Pass Filter)에 통과하여 원하는 정보신호가 된다.

#### IV. 제작 및 결과 검토



그림 4 제작된 UDC 사진  
Fig. 4 Photograph of the UDC.

표 6 Up Converter 측정 결과  
Table 6 Test result of the up converter.

항목	규격	측정치	비고
출력주파수	2110~2170 MHz	-	
평균전력	5MHz BW	-25.3dBm	*
ACLR(Adjacent Channel Leakage Power Ratio)	-45dBc	-51.84dBc	@±5MHz
	-50dBc	-54.34dBc	@±10MHz
제 2 고조파	2f <sub>c</sub>	-41dBc	*
IMD	2.14GHz±1 MHz	-25.33dBc	*

표 7 Down Converter 측정 결과  
Table 7 Test result of the down converter.

항목	규격	측정치	비고
입력주파수	2110~2170 MHz	-	
입력전력	5MHz BW	-20dBm	*
ACLR(Adjacent Channel Leakage Power Ratio)	-45dBc	-55.0dBc	@±5MHz
	-50dBc	-55.5dBc	@±10MHz
제 2 고조파	21MHz	-65.16dBc	*

유전율 4.3이고 두께 1.6t인 FR-4 기판을 사용하여 222mm×103mm 크기의 4층 기판으로 제작하였으며, 실제 사진을 그림 4에 나타내었다. 제작된 UDC의 측정에는 Agilent사의 Signal Generator E4438B와 Spectrum Analyzer 8564EC를 이용하였다.

표 2, 표 3에 측정된 결과 값에 대하여 요약하였다. 표 1에 나타낸 규격 이외의 측정항목은 기지국과 중계기의 규격을 참고로 하여 측정된 것이다. 따라서 규정된 값이 없는 것이므로 (\*)표로 구분하였다.

Up Converter의 입력으로 W-CDMA 1-FA 신호를 인가하였다. Output 신호의 ACLR 측정결과는 그림 5에 나타난 바와 같이 5MHz offset에서 -51.84dBc, 10MHz offset에서 -54.34dBc로서 각각 3GPP 규격인 -45dBc와 -50dBc를 만족함을 확인하였다.

제 2 고조파 성분을 측정한 결과는 그림 6에 나타내었다. 측정값은 그림에서와 같이 -41dBc임을 알 수 있다. IMD 특성은 그림 7에 나타낸 바와 같이 -25.33dBc

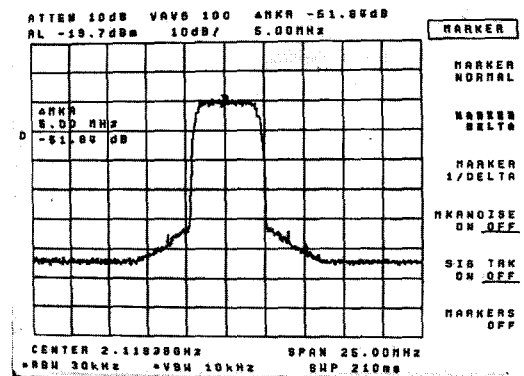


그림 5 Up Converter의 ACLR 특성(5MHz)  
Fig. 5 ACLR characteristics at upper 5MHz offset frequency of the Up Converter.

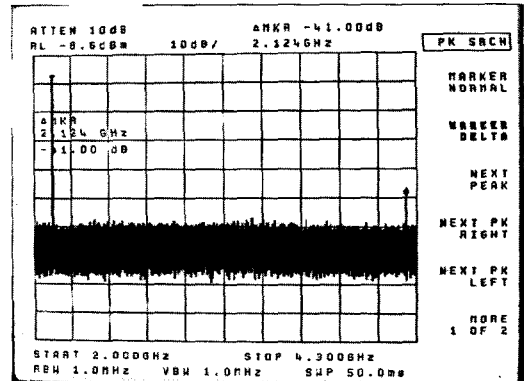


그림 6 Up Converter의 제2고조파 특성  
Fig. 6 2nd harmonics of the up converter.

로 양호한 특성을 보였다.

Down Converter의 ACLR 측정결과를 그림 8에 나타내었다. 5MHz offset에서 -55dBc, 10MHz offset에

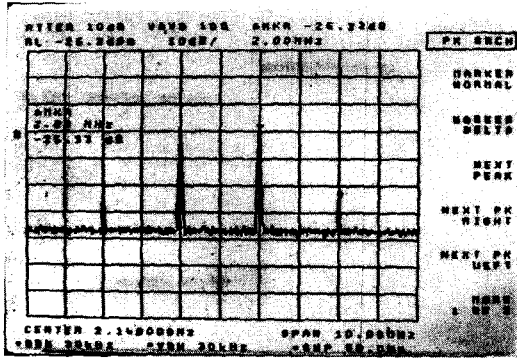


그림 7 Up Converter 회로의 IMD 특성  
Fig. 7 The specification of the up converter.

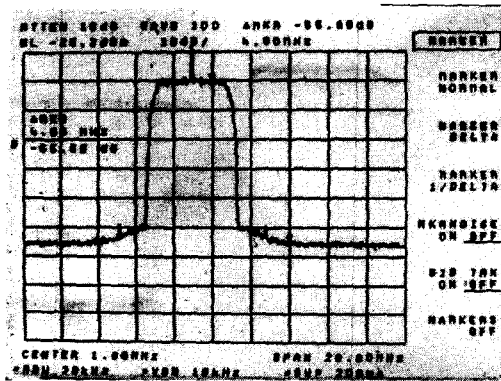


그림 8 Down Converter의 ACLR 특성(5MHz)  
Fig. 8 The ACLR Characteristics at uppet 5MHz offset frequency of the Down Converter.

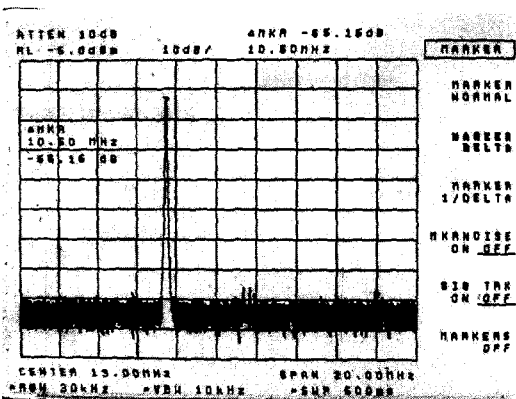


그림 9 Down Converter의 제 2 고조파 성분  
Fig. 9 The 2nd harmonics of the down converter.

서 -55.5dBc로서 각각 3GPP 규격을 만족함을 확인하였다. 제 2 고조파 성분을 10.5MHz를 기준으로 측정 한 결과 -65.16dBc로 우수한 특성을 나타내었다.

## V. 결론

본 논문에서는 W-CDMA 방식의 Digital Predistortion 시스템에서 사용할 수 있는 UDC를 설계 및 제작하였고, 성능평가를 실시하였다. 측정된 결과로부터 제작된 UDC는 3GPP의 규격 사양을 만족하고 우수한 선형성을 가짐을 확인할 수 있었다.

향후 연구계획으로는 제작된 UDC를 전력증폭기 및 결합기와 연동하여 시스템에서 UDC의 성능이 만족함을 확인하고, ADC/DAC를 통하여 Digital Predistortion Linearizer에서의 선형화 동작이 이루어지도록 디지털 Predistortion 시스템 전체를 제작하고자 한다.

## 참고문헌(또는 Reference)

- [1] Steve C. Cripps, "RF Power Amplifiers for Wireless Communication", Artech House, 1999
- [2] Steve C. Cripps, "Advanced Techniques in RF Power Amplifiers Design", Artech House, 2002
- [3] Intersil, "Application Note 1028, Adaptive Predistortion Using the ISL5239.pdf", <http://www.intersil.com>, 2002
- [4] 3GPP BS conformance technical specification (TS 25.104 V6.3.0), <ftp://ftp.3gpp.org>, 2003