

# DSP 기반 플랫폼을 이용한 OFDM DVB-T 반송파 복원부의 소프트웨어 설계 방법

\*신정현, \*유형석, \*윤주현, \*\*박찬섭, \*\*정해주, \*조준동

\*성균관대학교 정보통신공학부 VADA Lab., \*\*삼성전자 디지털 미디어 연구소 Video Lab.

경기도 수원시 장안구 천천동 300, 경기도 수원시 팔달구 매탄3동 416+82-31-290-7200

## Software Design Methodology of OFDM DVB-T Receiver using DSP-based Platform

\*Shin jeong-heon, \*Yu hyung-suk, \*Yoon joo-hyun,

\*\*Park chan-seop, \*\*Jung hae-ju, \*Cho jun-dong

\* SungKyunKwan Univ. VADA Lab., \*\*Samsung electronics DM Video Lab.

Email : scandisc@vada1.skku.ac.kr.

### Abstract

In this paper, we estimate the performance requirements of general-purpose DSP for Carrier Recovery of OFDM DVB-T receiver. Firstly, we transported the designed fixed-point OFDM DVB-T model to a floating-point software model written in C. Then, we measured the number of instruction cycles required for operation of Carrier Recovery in time. We use SignalMaster™ DSP platform of LYRtech Inc. as a environment of estimation, and Simulink™ as a graphical interface, Code Composer Studio™ of TI as profiler and compiler, and SPW™ for presenting functional reliability and comparing the performance distortion with fixed-point model. As a result, we show the required number of DSPs in our DSP-based system, and introduce the need of Multi-DSP-based system.

### 1. Introduction

시스템 온 칩(System On Chip : 이하 SoC)은 반도체 집적도의 급속한 증가로 단일 칩만으로 큰 시스템을 구현할 수 있음을 의미한다. 따라서 Radio Frequency, Microprocessor, Digital Signal Processor(이하 DSP), Reconfigurable computing elements 등 다양한 기능 블

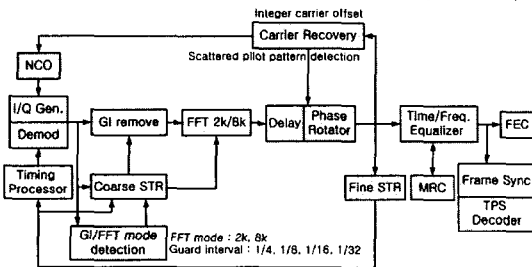
록들이 혼합되어 있는 설계 즉, 기존의 IP를 이용한 설계와 Hardware & Software Co-design 기술이 필수적이다. 첨단 정보 기기에서 Software가 차지하는 비중이 높아지고 있으며, Hardware 개발 후 Software 개발이 이루어지는 기존의 시스템 설계 방식으로는 현재 요구되는 제품 출하 간격(Time to Market)을 만족시킬 수 없으며, 초기 단계에 Hardware와 Software가 동시에 설계되도록 하는 통합 설계 환경을 구축할 필요가 있다. 이러한 통합 설계 환경 중 알고리즘에 따라서 성능에 적합한 프로세서 모듈을 지정하고, 범용 DSP 활용을 통해 기존 반도체 칩에 적용되었던 IP를 Software로 변환하는 방법이 있다. 이를 통한 프로그램 제어 가능성과 재구성 가능성은 SoC 설계에 효율적인 통합 설계 환경을 제공할 것이다. 또한 DSP를 활용한 구현 방식은 빠른 발전 속도로 복잡해지는 알고리즘을 적용하는데 한계가 있는 기존 Hardware에 기반을 둔 설계 방식보다 유연한 구조를 가지고 있어 비용을 크게 줄일 수 있다.

본 논문에서는 위와 같은 설계 방식을 적용하기 위해 기존 하드웨어 모델로 구성된 직교 주파수 분할 다중화 방식의 지상파 디지털 방송 수신 시스템(OFDM DVB-T)중에 Software로 구동가능한 부분에 대해 Software 모델로 변환 하였다. 또한 변환된 C 언어 기반의 Software 모델과 SPW™으로 구현된 Hardware 모델과 일치함을 보였으며, TI의 TMS320C6701 DSP를 실제 구동하여 연산량을 측정함으로써 Real-Time의 하

기에 적합한지 평가하였다.[1] 끝으로 DSP를 활용한 시스템 설계 방식을 다양한 분야에 효과적으로 적용하기 위해 다수의 DSP를 사용하는 방안을 소개하겠다.

## 2. Overview of target system

DSP를 이용한 설계 방법이 적용될 직교 주파수 분할 다중화 (Orthogonal Frequency Division Multiplexing : 이하 OFDM) 방식은 상호 직교성을 갖는 복수의 반송파를 사용하여 주파수 이용 효율을 높이는 방식으로, 유·무선 채널에서 다중 반송파를 사용하여, 고속 데이터 전송에 적합한 방식이다. 무선 시스템에서 나타나는 반사나 회절 등으로 인해 다른 경로로 들어온 신호들이 서로 간섭을 일으키는 현상, 즉 다중 경로 페이딩에 강하다. 또한 무선 통신 채널에서 심벌 주기가 짧은 고속 데이터 전송시 단일 반송파 방식을 사용하게 되면 심벌 간 간섭이 더욱 심해지기 때문에 수신단의 복잡도가 크게 증가하는 반면, 다중 반송파 방식의 경우에는 데이터 전송속도를 그대로 유지하면서 각 부반송파에서의 심벌 주기를 부반송파의 수만큼 확장시킬 수 있기 때문에 보다 적은 탭을 갖는 간단한 등화기로 다중경로에 의한 주파수 선택적 페이딩 채널에 잘 대처할 수 있다.



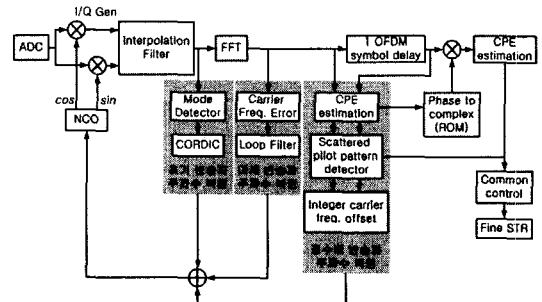
[그림 1] OFDM DVB-T 수신기 구조

수신단에서 이러한 복수의 반송파를 변복조하는 과정은 각각 IDFT와 DFT를 수행한 것과 같은 결과가 되어 IFFT와 FFT를 사용하여 고속으로 구현할 수 있다. 또한 FFT(Fast Fourier Transform), Digital Filtering, Modulation 등 다양한 디지털 신호 처리 과정을 효과적으로 처리할 수 있는 CORDIC(COordinate Rotation Digital Computer) 알고리즘을 사용하였다. [그림 1]은 OFDM 방식을 사용한 DVB-T 시스템에 대한 개괄적인 구조이다.

### 2.1 Carrier Recovery

주파수 오차에 민감한 OFDM DVB-T에서 반송파 주파수 복원부는 실수배 부반송파 Offset, OFDM 심벌 간 CPE(Common Phase Error) 차이를 추정하여 보상하는 기능과 심벌내에 포함된 분산 Pilot 심벌들의 위치 패턴을 검출하는 기능을 하며, 실수배 Offset은 1705개의 Tapped Delay Line을 통해 45개의 연속적인 Pilot 위치에 대한 가산 누적을 수행한다. 이를 위한 세부 구

조로는 초기 반송파 주파수 복원부, 미세 반송파 주파수 복원부 그리고 정수배 반송파 주파수 복원부로 나누어 본 시스템에서 구현하고 있으며, NCO(Numerically Controlled Oscillator)에서 사용될 sine과 cosine은 Lock-up table을 이용하여 구현하였다.

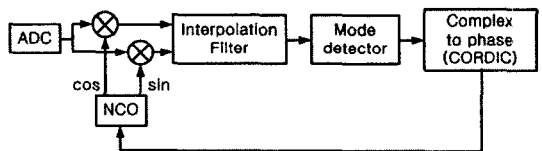


[그림 2] 반송파 주파수 복원부

위의 [그림 2]는 반송파 주파수 복원부의 구조이며, 이에 따른 하위를 나타내고 있다.

#### 2.1.1 초기 반송파 주파수 복원부

FFT/GI 모드 검출기에서 출력되는 소수배 반송파 주파수 오차 정보를 가진 GI에 대한 상판의 최대 위치에서의 복소값을 받아 간단한 Shift와 Adder로 구현할 수 있는 CORDIC Processor로 위상을 실시간으로 연산할 수 있다.

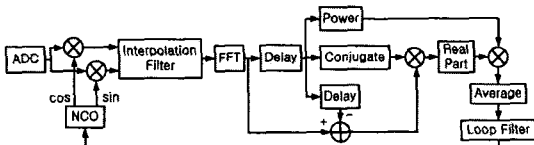


[그림 3] 초기 반송파 주파수 복원부

위의 [그림 3]은 본 시스템에 적용된 초기 반송파 주파수 복원부로서, 최대 반송파 주파수 간격의  $\pm 0.5$ 의 범위의 소수배 반송파 주파수 오차를 추정하여 최초에 한번 보상하며, 미세 반송파 주파수 복원 과정의 초기 시작점을 설정해준다.

#### 2.1.2 미세 반송파 주파수 복원부

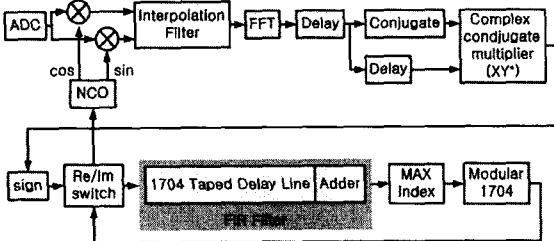
FFT 이후 주파수 영역에서 동작하는 주파수 추적 루프로서, 심벌 타이밍 오차에 영향을 받지 않는 MMSE (Minimum Mean Square Error) 기반의 NDA(Non Data Aided) 방식의 알고리즘으로 주파수 오차 검출기와 루프 여파기로 구성되어 있다. MMSE 방식은 CORDIC 연산을 통해 발생될 수 있는 오차를 효과적으로 보상해주며, NDA 방식과 Digital PLL을 사용하여, Multi-mode 반송파 주파수 복원부를 효과적으로 설계할 수 있다.[21]



[그림 4] 미세 반송파 주파수 복원부

### 2.1.3 정수배 반송파 주파수 복원부

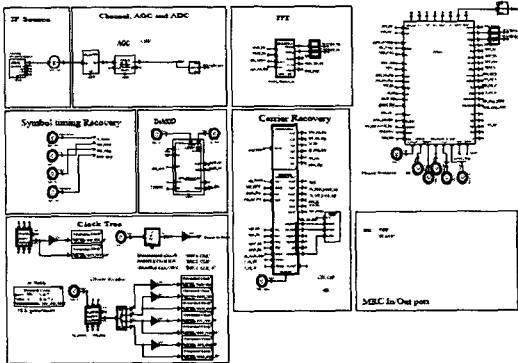
[그림 4]는 정수배 반송파 주파수 복원부를 나타낸다.



[그림 4] 정수배 반송파 주파수 복원부

FFT 이후 주파수 영역에서 연속하는 두개의 인접 OFDM 심벌 간의 상관을 구하여 이 신호에서 나타나는 연속 파일럿 신호의 패턴 특성을 FIR 형태의 필터 구조로 사용하여 OFDM 시스템의 수신율에 크게 영향을 미치는 주파수 오차를 검출할 수 있다.[6]-[16]

위의 반송파 주파수 복원부와 나머지 부분(I/Q 복조, 등화기)에 대한 SPW™의 모델은 [그림 5]와 같다.

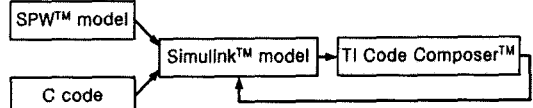


[그림 5] 정수배 반송파 주파수 복원부

## 3. Flow of design and simulation

이 논문에서는 소프트웨어 프로그램 코드 개발 대상으로 범용 디지털 신호처리기인 DSP 중에서 TI사의 TMS320C6701을 사용 하였다. DSP를 대상으로 하는 소프트웨어는 각각의 프로세서에 알맞은 어셈블러 코드를

를 작성하여 구동하는 방법과 상위레벨 프로그래밍 언어인 C 코드를 사용하여 작성하는 방법으로 두 가지가 있다. 여기서 적용될 대상 DSP의 소프트웨어 개발은 앞에서 언급한 방법 중 후자에 속하는 C 코드에 기반한 소프트웨어 코드를 직접 작성하는 방식을 통해 이루어 졌다.[3][4][5]



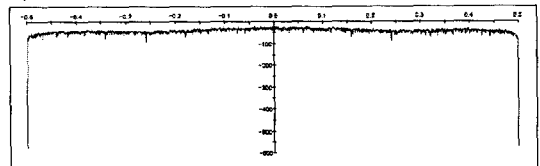
[그림 6] 소프트웨어 모델 개발 과정

개발 과정 순서는 [그림 6]에서 나타내듯이, 대상 시스템의 SPW™ 고정 소수점 모델과 C 코드로 작성된 소프트웨어 모델의 동작이 일치함을 비교하였으며, 검증된 소프트웨어 모델은 대상 DSP에서의 동작을 위하여 TI사의 Code Composer™을 통해 Compile되고 LYRtech사의 SignalMaster™에 업로드 하였다.[2] 마지막으로 DSP 구동이 확인된 코드는 Code Composer™를 통해 Instruction cycle을 측정 하였다

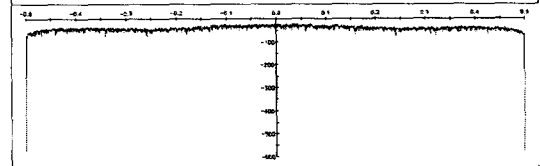
## 4. Results

### 4.1 Verification of Software modeling

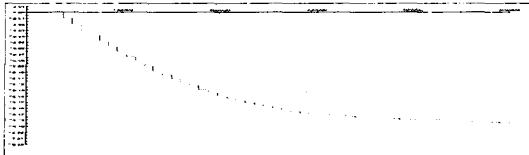
반송파 주파수 복원부의 동작을 확인하기 위해 모델에 1.2kHz의 normalized frequency offset이 존재하는 경우에 대해 실험 하였고, 출력 파형의 Offset이 제거되는 과정이 SPW™ 블록 모델과 C 코드로 작성된 소프트웨어 모델의 각 출력이 일치함을 알 수 있었다. 아래 [그림 7-14]은 반송파 주파수 복원부에서 측정된 결과들이 다.



[그림 7] SPW™ 블록 모델 FFT 출력



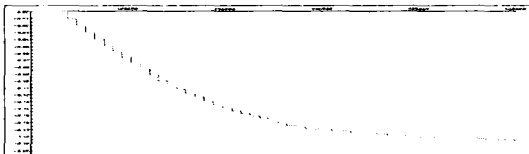
[그림 8] 소프트웨어 모델 FFT 출력



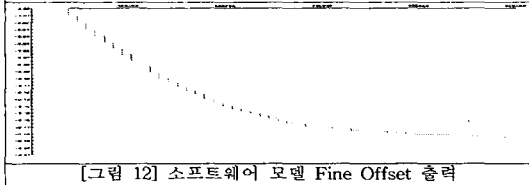
[그림 9] SPWTM 블록 모델 Freq. Offset 출력



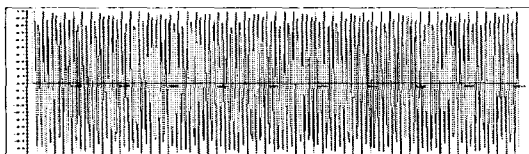
[그림 10] 소프트웨어 모델 Freq. Offset 출력



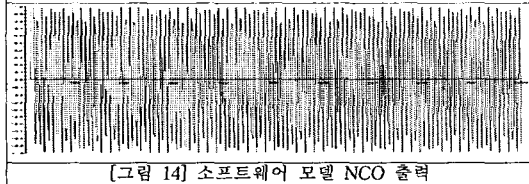
[그림 11] SPWTM 블록 모델 Fine Offset 출력



[그림 12] 소프트웨어 모델 Fine Offset 출력



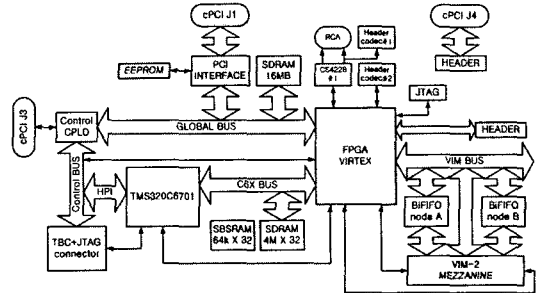
[그림 13] SPWTM 블록 모델 NCO 출력



[그림 14] 소프트웨어 모델 NCO 출력

## 4.2 Simulation of Software modeling

150MHz의 동작 속도를 갖는 TI사의 부동소수점 DSP TMS320C6701이 내장되어 있는 [그림 15]와 같은 LYRtech사의 SignalMaster™를 대상으로, 구동시 요구되는 Instruction Clock Cycle를 측정 하였다.



[그림 15] TMS320C6701 SignalMaster™

[표 1]는 각 하위 블록을 직접 DSP에 구동 시켰을 경우, 최소 수십 Cycle에서 수만 Cycle까지의 Instruction Clock Cycle이 요구됨을 나타내었고, 각 블록에 대한 실시간 동작을 위해 필요한 DSP 개수도 나타내었다.

Block name		Instruction cycle	Cycle time(ns)	Required DSPs
CR Control	Block	238	1594.6	16
	TPS ROM	4248	28461.6	285
CR Freq. Error Detector		444	2974.8	30
CR Freq. Compensator		268	1795.6	18
CR Integer CFR	Block	1032	6914.4	70
	CP filter	14377	96325.9	964
	Com. Mul	13	87.1	1
CR NCO	Block	66	442.2	5
	SIN ROM	984	6592.8	66
	COS ROM	1002	6713.4	68
Carrier Recovery		64	428.8	5

[표 1] 구동에 필요한 Instruction clock cycle

## 5. Conclusion and Future Work

본 논문에서는 직교 주파수 분할 다중화 방식의 DVB-T 수신기에 사용되는 반송파 복원부블 C 코드를 기반으로 한 소프트웨어 모델로 작성하고 이를 기존의 하드웨어 모델과 비교 검증하였으며, 범용 DSP 구동시 요구되는 연산량을 측정해 보았다. 측정된 결과는 내부 요소간 제어를 위한 부수 코드를 포함하고 있기 때문에, 실제 연산을 위해 요구되는 동작 사이클에 비하여 크게 나올 수 있으나, 내부 연산 요소의 세부 블록간의 비교를 통하여 요구되는 근접 DSP 성능을 예측할 수 있다. [표]을 통하여 알 수 있듯이, 많은 Instruction Cycle을 요구하는 블록은 RAM, ROM, 그리고 Filter 부분이며, 소프트웨어 프로그램에 따른 구현시, 이와 같은 구성은 시스템의 성능에 결정적인 장애 요소로 작용함을 알 수 있다. 따라서 전체 DSP 소프트웨어 코드 크기를 성능의 열화 없이 최적화해야 한다.[18] 단일 프

로세서로 복잡하고 다양한 분야에 실시간으로 적용되기에는 아직 무리가 있으며 병렬로 처리하여 성능 개선과 표준 변화에 능동적으로 대처할 수 있는 Multi-DSP 환경의 플랫폼이 더 효과적임을 알 수 있다. 또한 DSP에 기반한 플랫폼에서 실시간 동작을 위해서는 전체 시스템의 메모리 관리가 필요하며, 비교적 느린 소프트웨어에 의한 메모리 접근보다 DMMU (Dynamic Memory Management Unit)와 같은 전용 하드웨어를 이용한 메모리 관리가 필요함을 알 수 있다.[19][20]

- [1] <http://www.ti.com> TMS320C6701 Datasheet
- [2] <http://www.lvrtech.com> TMS320C6701 VIRTEX II -based Signalmaster datasheet.
- [3] N. Zhang, "Algorithm/Architecture Co-Design for Wireless Communication Systems," Thesis for the degree of Doctor of Philosophy of Engineering-Electrical Engineering and Computer Sciences, University of California Berkeley.
- [4] Y Hwang et al., "Communication and interface synthesis on a rapid prototyping hardware/software codesign system," Proc. of 11th International Symposium on System Synthesis, 1998.
- [5] F. Vahid et al., "Platform Tuning for Embedded Systems Design," IEEE Computer, 34, 3.
- [6] F. Frescura et al., "DSP based OFDM demodulator and equalizer for professional DVB-T receivers." IEEE Transactions on Broadcasting, vol 45, Sep. 1999.
- [7] Hiroshi Harada et al. "Multimode Software Radio System by Parameter Controlled and Telecommunication Component Block Embedded Digital Signal Processing Hardware," IEICE Transactions on Communications, Jun. 2000.
- [8] Ji-Bang Wang et al. "Research on Hardware Platform of the Software Radio," IEICE Transactions on Communications, Jun. 2000.
- [9] Stefan A. Fechtel et al. "Advanced Receiver Chip for Terrestrial Digital Video Broadcasting: Architecture and Performance," IEEE Transactions on Consumer Electronics, Aug. 1998.
- [10] Michael Speth et al. "Broadband Transmission Using OFDM: System Performance and Receiver Complexity," Proceeding of International Zurich Seminar on Broadband Communications, Feb. 1998.
- [11] Ferdinand Classen et al. "Channel Estimation Units for an OFDM System Suitable for Mobile Communication," ITG-Fachbericht: Mobile, Sep. 1995.
- [12] William Y. Zou "COFDM: An Overview," IEEE Transactions on Broadcasting, March. 1995.
- [13] Stefan A. Fechtel et al. "Efficient FFT and Equalizer Implementation for OFDM Receivers," IEEE Transactions on Consumer Electronics, November. 1999.
- [14] Michael Speth et al. "Frame Synchronization of OFDM Systems in Frequency Selective Fading Channels," Proceeding of IEEE 47th Vehicular Technology Conference, May. 1997.
- [15] Michael Speth et al. "Optimum Receiver Design for OFDM-Based Broadband Transmission-Part I: Case Study," IEEE Transactions on Communications, Apr. 2001.
- [16] Neil Weste et al. "VLSI for OFDM," IEEE Communications Magazine, Oct. 1998.
- [17] C.S. Christou, "Fast computations on a low-cost DSP-based shared-memory multiprocessor system," Proc. of the 7th IEEE International Conference on Electronics, Circuits and Systems, Dec. 2000.
- [18] Liao,S.Y., Devadas,S., Keutzer,K., "Code density optimization for embedded DSP processors using data compression techniques", IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Volume17, Page(s) 601-608 July 1998.
- [19] M. Shalan and V. Mooney, "Hardware Support for Real-Time Embedded Multiprocessor System-on-a-Chip Memory Management," the Tenth International Symposium on Hardware/Software Codesign (CODES'02), pp. 79-84, May 2002.
- [20] Andrew Bateman, "Reconfigurable DSP : Jack of all Trades or Master on None?", Global DSP Magazine, Oct, 2002, <http://www.globaldsp.com>.
- [21] Robert H. Morelos-Zaragoza, "A Method of Non-Data-Aided Carrier Recovery with Modulation Identification", The 24th Symposium on Information Theory and Its Applications, Dec. 2001.