

초소형 중계기용 듀얼 밴드 주파수합성기 개발에 관한 연구

◦ 나 영수**, 김 진섭*, 강 용철*, 변 상기*, 나 극환**
 전자부품연구원
 광운대학교 전자공학과
 E-mail : nmania@kw.ac.kr

A Study on the Development of Dual-band PLL Frequency Synthesizer for miniature Repeater

◦ Young-Soo Na**, Jin-Sup Kim*, Yong-Chul Kang*, Sang-Gi Byeon*, Kuk-Hwan Rha**
 Korea Electronics Technology Institute *
 KwangWoon University. Dept. of Electronic Engineering **

Abstract

The 1.63GHz, 2.33GHz dual-band PLL frequency synthesizer has been developed for applications to the miniature repeater. The miniature dual-band repeater will be used at shopping mall, basements and underground parking lots. The in-loop 1.63GHz, 2.33GHz dual-band PLL frequency synthesizer has been developed by designing Si BJT VCO and PLL loop circuits with Colpitts. The prototype of 1.63GHz, 2.33GHz dual-band PLL frequency synthesizer of size 19×19×8(mm) has shown operating frequencies of 1.63GHz, 2.33GHz ranges, RF output of 1dBm(PCS), 1dBm(IMT-2000), phase noise of -100 dBc/Hz(PCS), -95dBc/Hz(IMT-2000) at 10kHz offset, harmonics suppression of -24dBc(PCS), -15dBc(IMT-2000).

2000)을 중심으로 한 여러 가지 시스템이 개발되었다. 최근 IMT-2000은 상용화가 이루어지면서 보다 많은 서비스를 이용하려는 사용자가 증가하는 추세에 있다. 현재 추세에 발맞추어 사용자가 고품질의 통신을 하기 위하여 어디에나 설치 용이한 초소형 중계기가 요구된다. 또한, 기존의 PCS, 셀룰라 사용자의 중계기와 중복사용을 막기 위해 듀얼밴드 중계기가 필요하다. 중계기의 소형화가 이루어지기 위해서는 부품의 소형화가 필요하면 그 중 핵심부품의 주파수 합성기의 초소형화가 가장 중요하다 하겠다.

본 연구에서는 이러한 듀얼밴드 초소형 중계기의 핵심부품인 듀얼밴드 주파수합성기를 독자개발 하였으며 4층 PCB 구조를 이용하여 듀얼밴드 전압제어 발진기(VCO)의 크기를 최소화 하였으며, VCO는 낮은 위상잡음 특성과 dc 전류소모가 적게 설계되었다. 그림1은 듀얼밴드 중계기의 블록도이다.

I. 서론

21세기 고속 정보화 사회를 맞이하여 모든 사회분야에서 무선통신의 영역이 매우 넓어지고 있다. 음성 데이터 전송뿐만 아니라 영상 및 멀티 데이터 전송을 원하게 되었으며 또한 언제, 어디서나, 누구와도 통신 가능한 시스템이 필요하게 되었다. 이를 실현하기 위해 많은 연구가 이루어졌으며 그 결과 IMT-2000(International Mobile Telecommunication

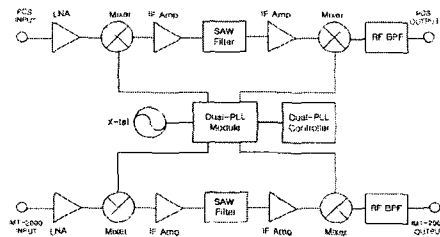


그림 1. 초소형 중계기 블록도

II. 본론

2-1. VCO 설계

본 연구에서 설계한 1.6GHz, 2.3GHz대역 VCO는 생산성 및 제조가격을 고려하여 다층 PCB구조를 채택하였다. 회로 설계에서 다이오드 및 트랜지스터는 Vendor가 공급하는 비선형 라이브러리를 사용하였고 저항, 커패시터 등은 제품공급자가 제공하는 S파라미터 데이터로부터 앞 절에서 제시한 정밀한 모델을 도출하여 회로에 적용하여 설계하고 시뮬레이션을 하였다. 사용된 바이폴라 트랜지스터와 바랙터 다이오드는 NEC사의 바이폴라 트랜지스터와 도시바사의 바랙터 다이오드를 사용하였다. 동작주파수는 약 1.6GHz대역과 2.3GHz대역에서 동작하도록 목표로 설계하였고 VCO 시뮬레이션과 제작 및 트리밍을 반복하여 최적 성능의 VCO를 구현하고자 하였다. 설계에 사용한 시뮬레이션 Tool로서는 Agilent사의 ADS 2002C를 사용하였다. 본 연구에서는 Tool에서 제공되는 능동소자의 비선형 트랜지스터 라이브러리와 칩 부품의 S파라미터로부터 앞에서 설명한 수동소자 및 패드 등의 parasitic등가모델을 도출하여 최적의 정확한 설계예측을 시도하였으며, 실제로 이러한 설계기법에 의해 만족할 만한 결과를 얻게 되었다.

VCO입력 전압은 5V로 주고 0.1V씩 가변시켜서 특성 그래프를 얻을 수 있었다. 특성 그래프를 검토해 보면 개발 목표규격인 $-0 \pm 3\text{dBm}$ 이내의 출력 전력을 얻을 수 있었고 제어감도 역시 가변전압에 대해서 1.6GHz대역과 2.3GHz대역의 주파수 특성, 제어감도 특성 그래프를 얻을 수 있었다. 위상잡음의 시뮬레이션 결과는 목표로 했던 offset 주파수 10kHz에서 -100dBc/Hz 이하의 결과를 얻게 되었다. 그림 2은 설계

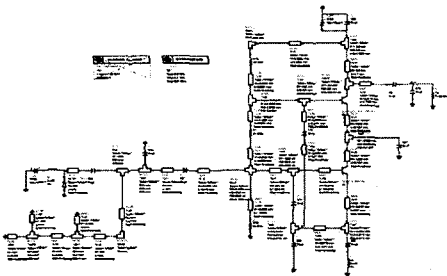


그림 2. VCO schematic

schematic을 나타내며 Colpitts 형태를 응용하여 회로를 설계하였다. 두개의 트랜지스터가 캐스코드 형

태로 연결되어 있으며 출력쪽 트랜지스터는 버퍼 역할을 한다.

그림 3는 VCO 발진 조건을 나타낸다. 1.635GHz에서 부정저항을 가지며 phase가 0이 됨을 확인하였다.

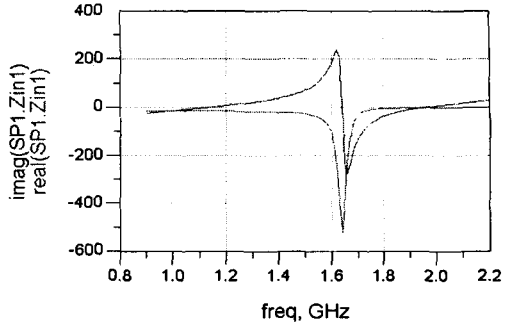


그림 3. PCS용 VCO 발진조건 시뮬레이션 결과

VCO의 공진소자로는 마이크로스트립선로 인덕터를 사용하였으며 Varactor 다이오드는 선형성이 우수한 Hyperabrupt 다이오드를 사용하였다. VCO용 발진기 트랜지스터는 f_T 가 11GHz인 Silicon 바이폴라 트랜지스터를 사용하였으며, 발진되는 트랜지스터는 버퍼 단에서 잡음레벨을 낮추기 위해 노이즈 레벨이 작은 것을 사용하였다.

그림 4은 발진출력레벨 및 스펙트럼을 나타내고 있다.

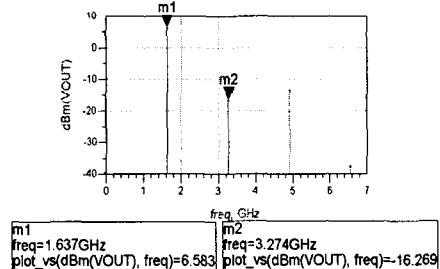


그림 4. 출력레벨 및 스펙트럼 시뮬레이션 결과

2-2. 1.6GHz, 2.3GHz대역 PLL 주파수합성기 설계

본 연구에서는 national사의 LMX2433 칩을 이용하여 PLL 주파수 합성기를 개발하였다. 위에서 설계한 PCS, IMT-2000용 VCO를 하나의 PLL IC를 이용하여 주파수를 고정시켰다. 이러한 설계기법에 의해 주파수 합성기의 크기를 소형화 하는데 성공하였으며 또한 하나의 PLL IC 칩을 사용함으로써 가격측면에서도 유리하다. 또한, 저가의 Si BJT를 이용한 5GHz 마이크로파대역 PLL주파수합성기를 구현

할 수 있다.

본 연구에서는 1.6GHz, 2.3GHz 발진주파수, 제어대역폭 50kHz 이상이 되는 Colpitts형 VCO를 ADS를 사용하여 정밀설계 한 후에 제작 후에 일부의 부품, 공정에 의한 편차를 보정하여 설계를 최종 확정하였다. 그림5는 Colpitts VCO를 사용한 In-loop 주파수합성기를 포함한 전체 주파수합성기를 나타낸다.

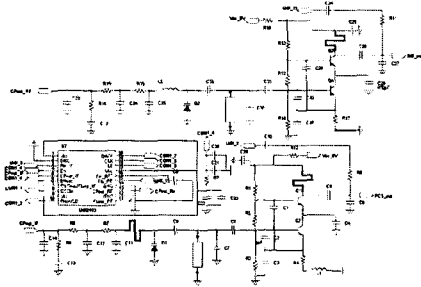


그림 5. 듀얼밴드 PLL 회로도

2-4. 1.6GHz, 2.3GHz대역 PLL 주파수합성기의 제작 및 측정

유전율 4.8인 FR-4 Epoxy 기판을 사용하여 4층 구조의 19(L)x19(W)x8(T: 내·외층 도체두께를 합산)(mm)의 PCB사용하여 1.6GHz, 2.3GHz VCO부와 PLL 주파수합성기를 통합하여 제작하였다.

기본적으로 PLL 주파수합성기의 성능이 대단히 중요하다. PLL 주파수합성기는 1.6GHz, 2.3GHz VCO와 PLL IC, 그리고 Loop Filter부를 조합한 것이다.

그림 6은 실제 제작된 주파수 합성기이고, 그림 7, 8은 PCS, IMT-2000의 phase noise 특성 결과이다. 10kHz, 25kHz, 100kHz 오프셋에서 측정하였다.

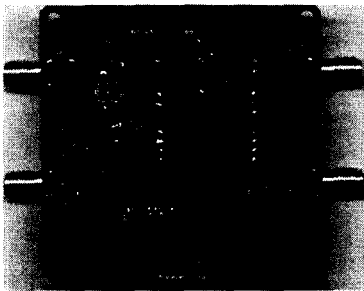


그림 6. 제작된 PLL 주파수 합성기

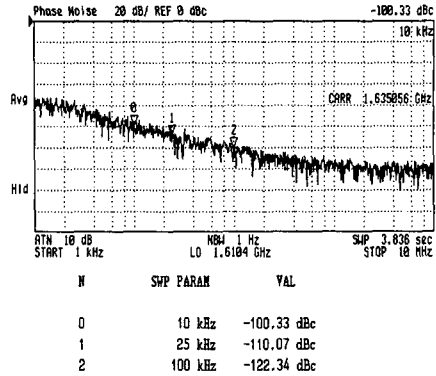


그림 7. PCS phase noise 특성

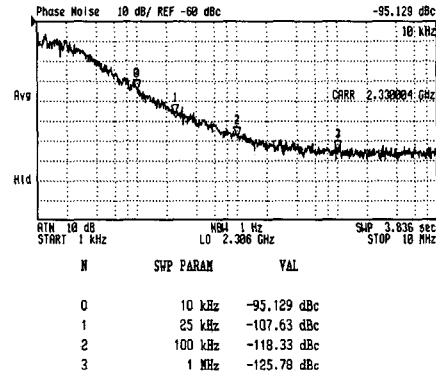


그림 8. IMT-2000 phase noise 특성

PCS, IMT-2000 2rd Harmonic 억압 특성을 측정 한 결과 기본파와 비교한 second harmonic이 PCS는 -24dBc이고, IMT-2000은 -15dBc 이므로 목표규격인 -15dBc이하를 만족하고 있다. 또한, PCS는 출력레벨이 1dBm 나왔으며, IMT-2000도 1dBm이 나타났다. 따라서 기존 목표인 -0 ± 3 dBm에 만족 하였다. 그림 9는 PSC 출력레벨과 harmonic 억압특성 결과이다.

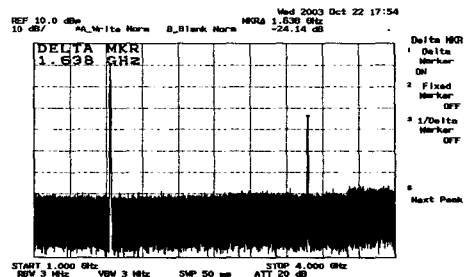


그림 9. PCS 출력레벨과 2차 Harmonic 억압특성

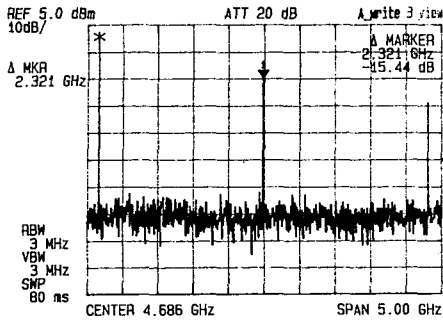


그림 10. IMT-2000 출력레벨과 2차 Harmonic 억압 특성

III. 결 론

설계된 VCO는 양산성을 고려하여 전체 PLL 주파수 합성기는 전원, 디지털 신호선을 내층에 배치하여 4층 PCB 구조를 채택하였다. 측정결과 PCS 1.6GHz대역에서 출력 1dBm, 위상잡음 -100dBc/Hz @ 10kHz offset, Harmonics Suppression -24dBc 이고 IMT-200 2.3GHz대역에서 출력 1dBm, 위상잡음 -95dBc/Hz @ 10kHz offset, Harmonics Suppression -15dBc 로 나타나 모든 결과에서 목표규격을 초과 달성하였다. 본 연구에서 듀얼 밴드 PLL 주파수 합성기를 PLL one-chip을 이용해 개발함으로써 비용의 절감 효과를 얻을 수 있었으며 성능을 최대화하고 크기를 최소화함으로써 앞으로 사용될 듀얼 밴드 증계기에 핵심부품으로 활용이 기대된다.

Acknowledgements - 본 연구는 Electro-0580사업으로 수행되었습니다.

[참고문헌]

- [1] Y. Kao and H. Wang, "Method predicts the performance of wideband VCOs," Microwave & RF, Aug. 1996, pp. 81~86.
- [2] Eric Holzman "Solid-State Microwave Power Oscillator Design" pp. 303-355, Artech House, 1997
- [3] M. S. Vogas, "New VCO family is created from theory and modeling," RF Design, June 1993, pp. 54~62.
- [4] H. Katagiri, "Multiparameter test system checks PLLs and oscillator," Microwave &

RF, Dec. 1996, pp. 217~218.

- [5] "Ultra-low noise VCO's," Microwave J., April 1997, pp. 154~157.
- [6] "An Investigation of High Frequency Limit of a Miniaturized Commercial VCO Used in 900MHz-band Mobile-Communication Handset" MTT August 1998, pp. 1165~1168.