

# 고속 반도체 소자에서 배선 간의 Crosstalk에 의한 Capacitance 변화 평가

이희덕, 김용구, 박성형\*  
충남대학교 전기정보통신공학부  
\*하이닉스반도체 System IC Division

## Evaluation of Crosstalk-Induced Variation of Interconnect Capacitance for High Speed Semiconductor Devices

Hi-Deok Lee, Yong-Goo Kim, Seong-Hyung Park\*  
Chungnam National University, Dept. of Electrical and Electronic Engineering  
\*Hynix Semiconductor, System IC Division  
E-mail : hdlee@cnu.ac.kr

### Abstract

본 논문에서는 Coupling capacitance 변화량이 Static coupling capacitance 값보다 클 수 있다는 것을 새로운 테스트 회로를 이용하여 실험적으로 증명하였다. 테스트 회로는 배선의 지연시간이 배선의 저항보다는 배선의 정전용량에만 의존하도록 하여 배선의 지연시간을 평가함으로써 배선의 정전용량의 변화 즉, Coupling capacitance 의 변화량을 정확히 평가할 수 있도록 하였다. 0.15  $\mu\text{m}$  CMOS 기술을 이용하여 실험한 결과 In-phase crosstalk 인 경우에는 변화량이 Static coupling capacitance 보다 작았지만 Anti-phase 인 경우에는 Static coupling capacitance 보다 크게 나타남을 보여주고 있다. 따라서 배선에 의한 정확한 지연시간 평가를 위해서는 Crosstalk 이 발생한 경우의 Coupling capacitance 변화량을 정확히 반영하는 것이 매우 필요함을 알 수 있다.

### I. 서론

CMOS 소자의 지속적인 Scale-down 에 의해 이제는 소자의 지연시간 보다는 배선에 의한 지연시간이 더 중요해지는 단계에 이르렀다고 할 수 있다.[1]-[7] 즉, 0.13  $\mu\text{m}$  이하 CMOS 기술에서는 수 mm 길이의 배선에 의

한 지연시간이 소자의 지연시간보다 수 십배 이상 커지게 되었다. 더욱이 소자의 Scale-down 과 함께 배선 간의 간격도 Scale-down 되어 배선간의 상호간섭(Crosstalk)도 매우 중요하게 되었다. Crosstalk 에 의한 문제는 크게 두 가지라고 할 수 있는데, 하나는 정상상태의 배선이 주변 배선의 급격한 전압변화에 의해 Logic state 에 영향을 줄 수 있는 Noise voltage 가 유기 되는 것이고, 다른 하나는 인접 배선이 동시에 Switching 을 할 때 다른 배선간의 Crosstalk 에 의해 지연시간이 변화될 수 있는 것이다.[6]-[10] 배선의 지연시간은 배선의 기생용량 (Parasitic Capacitance)에 의해 좌우되는데, Crosstalk 에 의해 지연시간이 변화한다는 것은 바로 기생용량이 변화한다는 것이며, 특히 배선 간의 Coupling capacitance 가 변화한다고 할 수 있다. 이러한 Coupling capacitance 의 최대 변화량은 그 동안 Static coupling capacitance 인  $C_C$  라고 믿어져 왔으며, [7]-[9] 최근에는  $C_C$  보다 클 수 있다고 보고되었으나 [11] 아직까지 실험적 증명은 없는 상태이다.

본 논문에서는 인접 배선과의 Crosstalk 에 의한 지연시간 변화에 대해 분석하였으며, 특히 Coupling capacitance 의 변화에 대해 실험적으로 분석하였다. 실험결과 coupling capacitance 의 변화량,  $\Delta C_C$  가 Static coupling capacitance,  $C_C$  보다 크게 변할 수 있음을 실험적으로 증명하였다.

## II. 분석 방법

본 논문에서 제안한 방법의 장점은 인접 배선과의 Crosstalk 에 의한 Coupling capacitance 의 변화량,  $\Delta C_C$  를 간단하면서도 정확하게 추출할 수 있다는 것으로 그림 1 과 같은 회로도를 이용하였다. 그림 2 는 그림 1 의 A-A'를 따라 단면도를 나타낸 것으로 인접 배선간에는 Coupling capacitance,  $C_C$  가 존재하며 Signal line 의 전체 용량은  $C_C$  와 Area capacitance,  $C_A$  그리고 Fringing capacitance,  $C_F$  의 합이 된다. 그림 1 에서 Coupling capacitance 변화량을 평가하는 것은 바로 Signal line (또는 Victim line)의  $C_C$ 이며, 인접한 배선(Aggressive line)과의 Crosstalk 에 의한 지연시간을 측정하게 된다. 지연시간은 그림 1 과 같은 구조가 반복적으로 형성된 Ring oscillator 구조를 이용하였으며, Ring Oscillator 의 지연시간은 Signal line 과 Aggressive line 간에 발생한 Crosstalk 의 Phase 차이에 의해 달라지게 되며 이는 곧 Coupling capacitance 변화를 의미하게 된다. 따라서 그림 2 에서 Crosstalk 에 의한 변화량을 포함한 Coupling capacitance 를  $C_{c,eff}$  로 나타내었으며, 전체 Capacitance,  $C_{INT}$  는 식 1 과 같이 표현된다.

$$C_{INT} = C_A + C_F + C_C + \Delta C_C \quad (1)$$

본 방법의 장점은 Coupling capacitance 의 변화량,  $\Delta C_C$  가 그림 1 과 같은 구조를 이용한 Ring Oscillator 의 지연시간 변화량과 선형적으로 비례한다는 것이다. 이를 위해 본 논문에서는 그림 1 의 Signal line 과 Aggressive line 의 배선 구조, 즉 B-B'간의 구조를 그림 3 과 같이 새롭게 고안하였다. 즉, B-B'간의 거리는 짧게 하면서 배선에 의한 지연시간은 많이 발생하도록 한 구

조로 빗 모양을 본 따서 이름을 Comb type 이라 명명하였다. 그림 3 은 설명하면 (a)는 Crosstalk 이 발생하지 않은 경우이며, (b)와 (c)는 각각 In-phase 또는 Anti-phase 로 발생한 경우이다. 배선에 의한 지연시간은 대개 식 (2)와 같이 표현되며 그림 3 과 같은 Comb type 인 경우에는 배선의 저항이 무시되어 식 (3)과 같이 단순화된다. [4],[5]  $R_{INT}$ ,  $R_{ON}$  과  $C_{TR}$  은 각각 배선의 저항, Transistor 저항과 정전용량을 나타낸다. 따라서 식(3)에서 지연시간은 배선의 Interconnect Capacitance 에 비례하며, 배선의 Capacitance 는 그림 1 과 같이 Coupling capacitance 에 비례하므로 그림 3 과 같은 구조에서 (a), (b)와 (c) 각각을 적용한 Ring oscillatore 들의 지연시간을 측정함으로써 Crosstalk 에 의한 Coupling capacitance 의 변화량을 평가할 수 있게 된다.

$$T_{D, Serp} = 0.4R_{INT}C_{INT}L^2 + 0.7R_{ON}C_{INT}L + 0.7R_{INT}C_{TRL} \quad (2)$$

$$T_{D, Comb} = AC_{INT}L \quad (3)$$

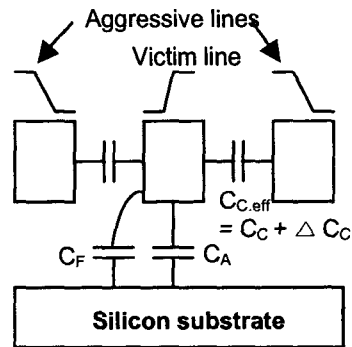


그림 2. 그림 1 의 A-A'영역의 단면도.

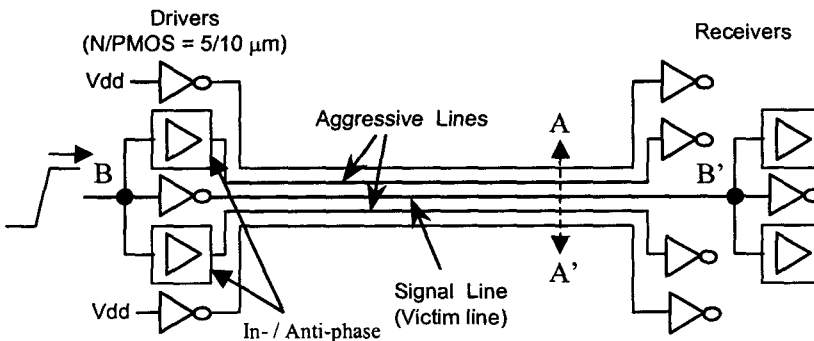


그림 1. Crosstalk 에 의한 Capacitance 변화를 평가하기 위한 회로도

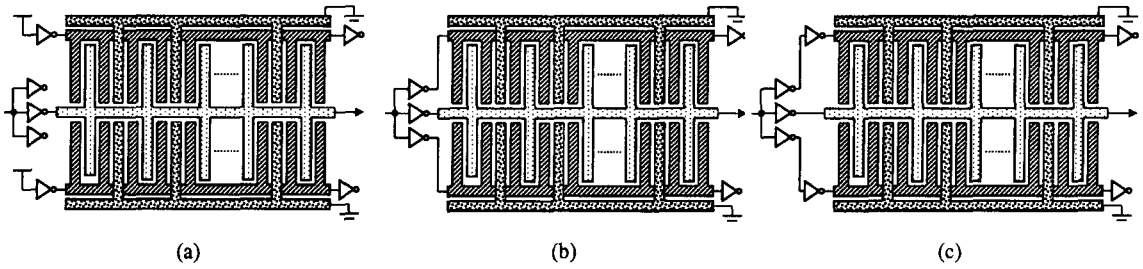


그림 3. Crosstalk 에 의한 Capacitance 변화를 평가하기 위한 Interconnect line 의 구조도. (a) Crosstalk 이 없는 경우, (b) In-phase 및 (c) Anti-phase crosstalk 이 있는 경우의 배선의 구조도.

### III. 실험 및 결과

테스트 시편은 일반적인 0.15  $\mu\text{m}$  CMOS 기술을 이용하여 제작하였다. [13] CMOS 소자를 공정 후 7층 다층배선 공정을 이용하였으며, 배선의 폭과 간격은 각각 0.22  $\mu\text{m}$  로 동일하며, IMD 는 배선 성능을 개선시키기 위해 저유전체인 Fluorinated Silicate Glass (FSG,  $k=3.7$ ) 을 사용하였다. 그림 4 는 먼저 전체 Interconnect capacitance 에서 Coupling capacitance 가 차지하는 비율을 추출한 것으로 저자들이 이전에 제안한 방법으로 구해질 수 있으며 [4] 그림에서와 같이 82.4 %임을 보여주고 있다. 따라서 Coupling capacitance 가 매우 중요함을 알 수 있다.

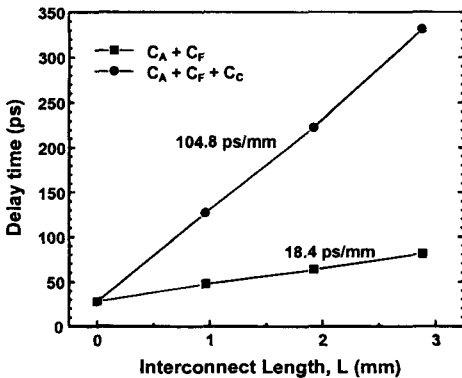


그림 4. 전체 Interconnect capacitance 에서 Coupling capacitance 성분이 차지하는 비율 추출. 기울기의 차이로부터 Coupling capacitance 의 비중을 구함.

그림 5 는 그림 1 과 같은 구조에서 Crosstalk 유무에 따른 지연시간 변화량을 나타내고 있다. 즉, Crosstalk 이 없는 경우를 기준으로 할 때 In-phase 인 경우에는 지연시간이 감소하였으며, Anti-phase 인 경우에는 지연시간

이 증가하였다. 그리고 지연시간 변화는 식 (3)에서와 같이 모두 배선의 정전용량 변화에 의한 것이며, 이는 바로 Coupling capacitance 의 변화량이라고 할 수 있다.

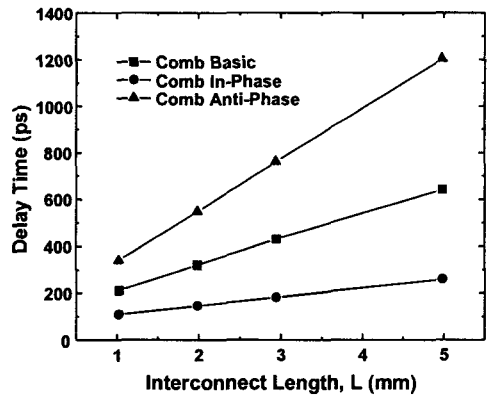


그림 5. Crosstalk 에 따른 지연시간 변화량. 배선 길이에 따른 지연시간의 기울기의 차이로부터 Crosstalk 에 의한 Coupling capacitance 변화량 추출

그림 4 및 그림 5 의 데이터를 이용하여 Coupling capacitance 변화량을 구하면 그림 6 과 같이 구해진다. 즉, 그림 6 과 같이 Anti-phase crosstalk 인 경우에는 Coupling capacitance 가 Static 한 값보다 2 배 이상 변화하는 것을 나타내고 있으며, In-phase 인 경우에는 Anti-phase 에 비해 변화량은 작지만 거의 Static coupling capacitance 에 육박함을 나타내고 있다. 따라서 Interconnect line 간의 Crosstalk 에 의해 Coupling capacitance 의 변화량이 Static coupling capacitance 의 값보다 크게 나타남을 증명하였으며, 이러한 변화량이 배선에 의한 지연시간 평가에 반영이 되어야 Chip 의 동작속도가 정확히 예측될 수 있다고 할 수 있다.

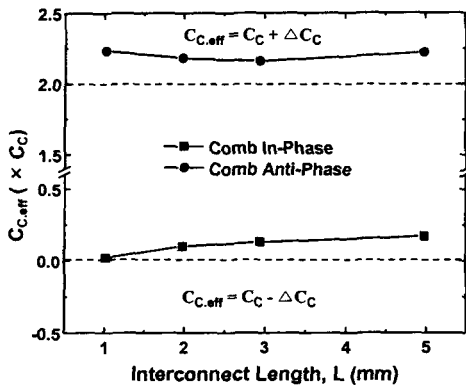


그림 6. In-phase 및 Anti-phase 각각의 경우에 배선 길이에 따른 Coupling capacitance 변화량

#### IV. 결론

본 논문에서는 이론적으로 제기되었던 Coupling capacitance 변화량이 Static coupling capacitance 값보다 클 수 있다는 것을 새로운 테스트 구조를 이용하여 실험적으로 증명하였다. 실험결과 In-phase crosstalk인 경우에는 변화량이 Static coupling capacitance보다 작았지만 Anti-phase인 경우에는 Static coupling capacitance보다 크게 나타남을 보여주고 있다. 따라서 배선에 의한 정확한 지연시간 평가를 위해서는 Crosstalk이 발생한 경우의 Coupling capacitance 변화량을 정확히 반영하는 것이 매우 필요함을 알 수 있다. 또한 전체 배선의 정전용량에서 Coupling capacitance가 차지하는 비중이 80%이상이므로 Coupling capacitance 성분을 줄이기 위한 저유전율 IMD 개발이 매우 중요하다고 할 수 있다.

#### Acknowledgement

이 논문은 2002년도 한국학술진흥재단의 지원에 의하여 연구되었음. (KRF-2002-D00190)

#### 참고문헌

- [1] S. Y. Oh and K. J. Chang, "2001 Needs for Multi-Level Interconnect Technology," IEEE Circuits & Devices, pp. 16-21, Jan. 1995
- [2] M. T. Bohr, "Interconnect Scaling - The Real Limiter to High Performance ULSI," in IEDM Tech. Dig., 1995, pp. 241
- [3] S. Bothra, B. Rogers, M. Kellam, and C. M. Osburn, "Analysis of the Effects of Scaling on Interconnect Delay in ULSI Circuits", IEEE Trans. Electron Devices, vol. 40, No. 3, pp. 591-597, Mar. 1993
- [4] H. D. Lee, M. J. Jang, D. G. Kang, Y. J. Lee, J. M. Hwang, and D. M. Kim, "Real Time On-Chip Characterization of Time Delay Arising from Multi-Level-Metallization : Decoupling of Pure Charging and Drift-and-Charging," in IEDM Tech. Dig., 1998, pp. 287-290
- [5] H. D. Lee, D. M. Kim, and M. J. Jang, "On-Chip Characterization of Interconnect Parameters and Time Delay in 0.18 μm CMOS Technology for ULSI Circuit Applications," IEEE Trans. Electron Devices, vol. 46, No. 5, pp. 1073 - 1079, May 2000
- [6] D. H. Cho, Y. S. Eo, M. H. Seung, N. H. Kim, J. K. Wee, O. K. Kwon, and H. S. Park, "Interconnect Capacitance, Crosstalk, and Signal Delay for 0.35 μm CMOS Technology, in IEDM Tech. Dig., 1996, pp. 619-622
- [7] K. Yamashita, S. Odanaka, "Impact of Crosstalk on Delay Time and a Hierarchy of Interconnects", in IEDM Tech. Dig., 1998, pp. 291-294
- [8] T. Sakurai, "Closed-Form Expressions for Interconnection Delay, Coupling, and Crosstalk in VLSI's", IEEE Trans. Electron Devices, vol. 40, No. 1, pp. 118-124, Jan. 1993
- [9] K. Yamashita, S. Odanaka, K. Egashira, and T. Ueda, "On-Chip Interconnect Evaluation on Delay Time Increase by Crosstalk", in IEDM Tech. Dig., 1999, pp. 631-634
- [10] H. D. Lee, M. J. Jang, D. G. Kang, J. M. Hwang, Y. J. Kim, O. K. Kwon, and D. M. Kim, "Characterization of Crosstalk-Induced Noise for 0.18 μm CMOS Technology with 6-Level Metallization Using Time Domain Reflectometry and S-Parameters", in IEDM Tech. Dig., 1999, pp. 905-908
- [11] A. B. Kahng, S. Muddu, and E. Sarto, "On Switch Factor Based Analysis of Coupled RC Interconnects", in Proc. Design Automation Conference, 2000, pp. 79-84
- [12] H. B. Bakoglu, *Circuits, Interconnection, and Packaging for VLSI*, Addison-Wesley Publishing Co., 1990
- [13] J. H. Lee, S. H. Park, K. M. Lee, K. S. Youn, Y. J. Park, C. J. Choi, T. Y. Seong and H. D. Lee "A Study of Stress-Induced p+/n Salicided Junction Leakage Failure and Optimized Process Conditions for sub-0.15 μm CMOS Technology", IEEE Trans. Electron Devices, vol. 49, No. 11, pp. 1985 -1992, Nov. 2002