

## 스캔 분할 기법을 이용한 저전력 Test-Per-Scan BIST

문정욱, 손윤식, 정정화  
한양대학교 전자통신전파공학과

### A Low-power Test-Per-Scan BIST using Chain-Division Method

Joung-wook Moon, Yun-sik Son, Jong-waha Chong

Department of Electrical Engineering, Hanyang University.

E-mail : bonanzar@ihanyang.ac.kr

#### Abstract

본 논문에서는 분할된 스캔을 이용한 저전력 BIST 구조를 제안한다. 제안하는 BIST는 내부 스캔 패스를 회로의 구조적인 정보와 테스트 패턴 집합의 특성에 따라 4개의 스캔 패스로 분할하고 일부 스캔 패스에만 입력패턴이 인가되도록 설계하였다. 따라서 테스트 패턴 입력 시에 스캔 패스로의 쉬프트 동작 수를 줄임으로써 회로 내부의 전체 상태전이 수를 줄일 수 있다. 또한 4개로 분할되는 스캔패스의 길이를 고려하여 각 스캔 패스에 대해 1/4의 속도로 낮춰진 테스트 클럭을 인가함으로써 전체 회로의 전력 소모를 줄일 수 있도록 하였다. ISCAS89 벤치마크 회로에 대한 실험을 통하여 제안하는 BIST 구조가 기존 BIST 구조에 비해 최대 21%까지 전력소모를 줄일 수 있음을 확인하였다.

#### I. 서론

시스템 온 칩(System On Chip)의 등장으로 설계 방법론에서의 새로운 패러다임이 요구되고 있다. 반도체 테스트 분야에서도 이러한 설계 방법의 변화에 따라 다양한 문제들이 제기되고 있다. 특히 IP 코어의 재사용은 테스트 대상 회로에 대한 외부에서의 접근

방법을 제약하는 등 기존의 외부 테스트 장비에 의한 회로 검증이 더욱 어렵게 하고 있다.

외부 테스트 장비에 의한 회로 검증의 한계를 극복하기 위한 방법으로 꾸준히 주목 받고 있는 것이 내장 자체 테스트(BIST: Built-In Self-Test) 기법이다. 그러나, 일반적으로 BIST 회로를 채용한 칩의 테스트 모드에서의 전력 소모는 정상 동작 모드에서의 전력 소모에 비하여 크게 증가한다.

전력 소모의 증가는 칩의 신뢰성에 영향을 주게 되며, 경우에 따라서는 칩에 영구적인 손상까지도 발생시킬 수 있다. 또한 전력소모의 증가는 휴대용 시스템에서의 자율성에 큰 제약으로 지적될 수 있다[8].

이와 같은 테스트 모드에서 전력 소모를 줄이기 위한 방법으로는 테스트 패턴의 형태를 변형하는 방안과 회로 내부의 스캔패스를 저전력 구조로 변경하는 방안 등이 제시되었다[1-7,9]. 본 논문에서는 스캔패스를 4개로 분할하고 각 스캔패스에 입력되는 클럭의 속도를 줄임으로써 전체 회로의 전력소모를 줄이는 BIST 구조를 제안한다

본 논문은 다음과 같이 구성된다. 먼저, 2 장에서 일반적인 BIST 구조를 살펴보고, 3 장에서 저전력을 구현할 수 있는 분할 스캔 BIST 구조에 대해서 설명한다. 4 장에서는 ISCAS'89 벤치마크회로에 대한 실험 및 결과를 살펴보고, 5 장에서 결론을 맺는다.

## II. 일반적인 BIST 구조

일반적인 BIST 구조를 그림 1 에서는 보여주고 있다. 이 회로는 테스트 하고자 하는 회로와 함께 스캔 패스가 형성되어 있고, 테스트 패턴을 입력해주는 패턴 생성기와 스캔 패스를 통해 나온 결과값을 받아들이는 응답 분석기, 그리고 전체 BIST 회로의 동작을 제어하는 컨트롤 회로로 구성되어 있다.

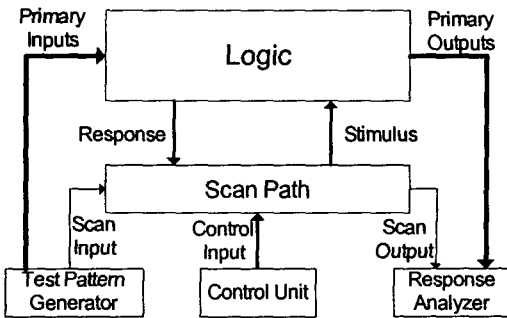


그림 1. 일반적인 BIST 구조

컨트롤 회로는 패턴 생성기에 의해 생성되는 입력패턴을 스캔 패스에 순차적으로 넣어주며, 테스트 결과가 응답 분석기에 차례로 출력하여 전체 테스트 과정을 제어한다. 일반적인 BIST의 입력을 위한 테스트 패턴 생성기는 가장 널리 사용되는 LFSR(Linear Feedback Shift Register)에 의한 난수 발생기이다. 그러나 LFSR에서 생성하는 테스트 집합은 무작위적이므로 ATPG(Automatic Test Pattern Generator) 프로그램에 의해 생성되는 결정적(Deterministic) 테스트 집합에 테스트 집합의 크기가 매우 크며, 상태천이를 많이 발생시켜 전력 소모를 크게 증가시킨다는 단점이 있다.

또한, 일반적인 BIST 구조에서의 단일 스캔패스를 사용한 경우, 이전 테스트 패턴과 다음 테스트 패턴의 해밍거리(Hamming Distance)에 관계없이 동일한 회수의 쉬프트 동작에 의해 패턴이 인가되어야 하는 단점이 있다

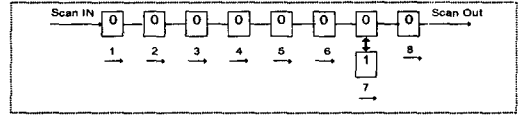


그림 2. 스캔패스에서의 상태천이

그림2의 예와 같이 00000000의 테스트 패턴이 인가된 다음에 다시 00000010의 테스트 패턴을 인가하고 하는 경우에 8번의 쉬프트 동작이 필요하게 된다. 회로 내의 스캔 패스의 길이가 짧다면 이에 따른 테스트 시간의 증가는 큰 문제가 되지 않을 수 있으나, 스캔 패스의 길이가 길다면 이를 분할하여 테스트 시간과 전체 전력 소모를 줄이기 위한 효과적인 스캔 분할 방안이 절실히 요구된다.

## III. 분할 스캔 패스 BIST

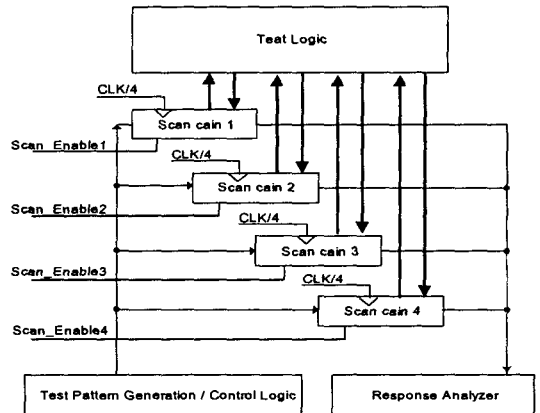


그림 3. 제안하는 저전력 BIST 구조

일반적인 BIST 구조에서 한 개의 긴 스캔패스는 그림 4 에서와 같이 4 개의 작은 패스로 나누어졌다. 그리고 각 패스에는 패스를 동작시키는 Enable 단자가 존재한다. 이 단자는 컨트롤 로직에서 조절하는데, 패턴입력의 천이가 이루어지지 않는 스캔 패스는 멀티플렉서를 사용하여 Disable 을 시킴으로써 전력소모를 줄이게 된다. 또한, 각 스캔 패스에 인가되는 클럭의 크기는 일반적인 시스템 클럭의 1/4 을 인가 받게 된다.

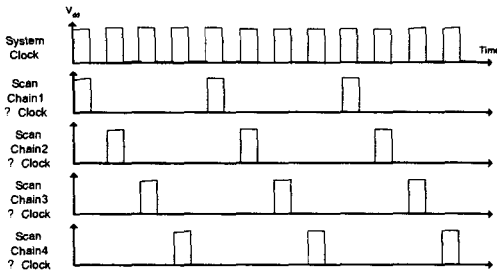


그림 4. 각 스캔패스에서 클럭 동작

이 BIST 구조의 컨트롤 회로는 그림 5 와 같이 구성된다.

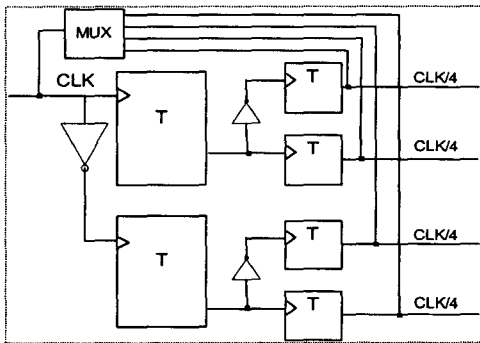
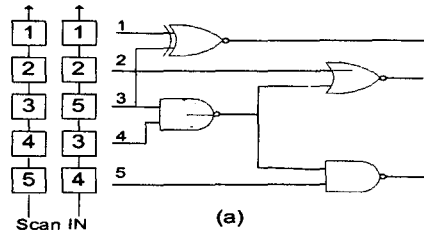


그림 5. 클럭과 컨트롤 회로

각 1/4 의 크기로 변형된 클럭신호는 자체적으로 enable 신호를 가지고 있게 된다. 스캔패스에 1/4 클럭을 넣어주어 패턴이 1/4 클럭을 주기로 한 개씩 들어가는 이 구조는,  $P = \alpha CVf^2$  의 전력 계산식에 의해 주파수에 해당하는 f 의 값이 현저하게 줄어들어 스캔패스에서 소모하는 스캔전력의 값을 낮추게 된다[7].

이와 더불어 입력패턴들은 일반적인 난수 발생기를 사용하지 않고, 패턴의 집합들을 나열한 후 Hamming Distance 의 값을 최소로 하는 형태로 Re-Ordering 시킨 기법을 사용하였다. 그림 6 은 본 논문에서 사용한 패턴 Re-Ordering 방법이다.



Test Set A	Test Set B	Test Set C
12345	12534	12534
11001	11100	00001
11111	11111	11100
00010	00001	11101
11011	11101	11111

그림2. (a)예제 회로,(b)테스트용 입력 패턴, (c) re-ordering된 입력패턴, (d)재정렬된 패턴

(a)의 예제회로에 인가될 테스트 패턴 집합 A 는 LFSR 에서 발생된 임의의 패턴이다. 이 패턴은 회로의 Scan-In 을 통해 입력되는데, 이때의 예제 회로에서는 스캔패스 내 상태 천이는 40 번 일어난다. 스캔 패스의 3 번째와 5 번째의 위치를 바꾼(Scan-ordering)뒤 재정렬한 모습이 테스트집합 C 이다. 이때의 상태천이는 같은 고장검출율을 가지면서 9 번 일어난다. 이렇게 Re-Ordering 된 입력패턴을 제안된 BIST 구조에 인가시킴으로써, 회로 내부의 저전력 구현과 함께, 입력의 저전력 구현도 이루어진다.

## VI. 실험결과

ISCAS89 벤치마크 회로를 대상으로 입력패턴에 대해 Re-ordering 하였을 때 각 회로의 상태천이를 표 1 에서 나타내고 있다. TR1 은 LFSR 을 이용한 난수 발생기로 나온 패턴들의 상태천이를 나타냈고, TR2 는 Re-Ordering 기법을 적용한 후의 상태 천이에 대해 보여주고 있다. 같은 고장 검출율에 대해 최대 66%이상의 상태천이가 줄어들었다.

표 2 에서는 분할된 스캔 패스내에서 발생하는 전력의 양을 계산한 것인데, 기존의 한 개의 스캔패스를 사용한 BIST 구조에서보다, 4 개의 패스로 나누었을

때의 전력소모는 평균 13.46%이상 감소하였음을 보여준다.

표 1. ISCAS89 회로의 상태천이도

Circuits	#PI /PO	TE(%)	TR1	TR2	TR' / TR2 (%)
S420	35/18	100	5069	3605	28
S510	25/13	100	10332	4678	54
S820	23/24	100	39278	16558	57
S832	23/24	100	40368	16948	58
S1238	32/32	100	54464	29811	45
S1488	14/25	100	79918	27004	66

표 2. 스캔패스에서 전력소모

Circuits	StandardScan Power[mW]	Low-Power Scan Power	Power Reduct
s1196	0.11	0.094	18.18
s1423	0.29	0.233	19.66
s1488	0.03	0.026	13.01
s5378	0.67	0.536	21.04

### V. 결론

본 논문에서 저전력 소모를 달성하기 위한 스캔패스를 분할한 BIST 구조가 제안되었다. 제안된 방법을 사용하여 회로내의 불필요한 상태천이를 막음으로써, 회로에 따라 최대 21%의 파워소모를 줄일 수 있었다. 또한, 각 회로의 입력으로 해밍거리에 따라 재구성한 패턴들을 인가하여 높은 고장검출율과 함께 저전력소모를 이룰 수 있었다.

차후, 효율적인 테스트용 패턴을 만들기 위한 연구와 함께 더욱 작아진 스캔 컨트롤 회로에 대한 연구가 계속되어야 할 것이다.

### 참고문헌

[1]Y.Zorian, "A distributed BIST control scheme for

complex VLSI devices" *Proc. 11<sup>th</sup> IEEE VLSI Test Symp*, 1993. pp4-9

[2]S.Wang and S.Gupta, "DS-LFSR : A New BIST TPG for Low Heat Dissipation" *Proc. Int'l Test Conf.* 1997. pp848-857.

[3]P.Girard et al., "Reducing Power Consumption during Test Application by Test Vector Ordering" *Proc. Int'l Symp, Circuits and Systems*, 1998, PP.296-299

[4]Vinay Dabholkar, Sreejit Chakravarty, "Techniques for Minimizing Power Dissipation in Scan and Combinational Circuits During Test Application" *IEEE Transaction on Circuit And System*, 1998. pp1325-1333

[5]B.Pouya and A.Crouch, "Optimization Trade-offs for Vector Volume and Test Power" *Proc. Int'l Test Conf.* 2000. pp.873-881

[6]Lee Whetsel, "Adapting Scan Architectures for Low Power Operation" *Proc. Int'l Test Conf.* 2000, pp. 863-872

[7] Y.Bonhomme, P.Girard, L.Guiller, C.Landrault, S.Pravossoudovitch, "A Gated Clock Scheme for Low Power Scan Testing of Logic ICs or Embedded Cores", *Proc. 10<sup>th</sup> Asian Test Symp.*2001, pp253-258

[8] Patrick Girard, "Low Poer Testing of VLSI Circuits: Problems and Solutions", *IEEE Int. Symp. On Quality of Electronic Design*, 2000. pp 271-274.

[9]Jih-Jeen Chen, Chia-Kai Yang, Kuen-Jong Lee, "Peak Power Reduction for Multiple-scan Circuits during Test Application" *Proc.9th Asian Test Symp.* 2000,