

초고속 DLL에서 임의의 replica delay에 적응하는 lock 획득을 위한 회로기법

이지행, 조용기, 진수중, 이주애, 김대정, 민경식, 김동명
국민대학교
전화 02-910-4704 핸드폰 019-279-8880

Lock-Acquisition Scheme for Arbitrary Replica Delay in High-Speed DLLs

Ji-hang Lee, Young-Ki Cho, Su-jong Jin, Ju-Ae Lee, Daejeong Kim, Kyeong-Sik Min, and Dong Myong Kim
Kookmin University
E-mail : semo185@empal.com

Abstract

This paper described a replica-delay adaptive lock-acquisition scheme for high-speed DLLs. The proposed scheme provides the fast and correct locking cycle that is variable according to the magnitude of the arbitrary replica delay (fixed delay). The scheme guarantees the wide operation range and the fast lock-aquisition time. It has been confirmed by HSPICE simulations in a 0.35 μ m CMOS process.

이 또한 시스템 동작속도 및 replica delay line의 상대적인 시간지연 증가에 따라서 빠른 locking 속도 및 넓은 동작범위를 갖는데 한계를 가진다.

본 논문에서는 feedback loop 구성 전환 방식과 새로운 lock detector를 적용하여 false locking을 제거하고 replica delay line의 지연시간에 적용한 최적화된 locking cycle을 제공함으로써 넓은 동작범위 갖고 또한 variable delay line 지연시간의 계층적 제어를 통해 빠른 locking 시간을 갖는 DLL을 제안한다.

I. 서론

최근 집적회로 공정기술이 발달함에 따라 초고속 VLSI 시스템의 개발이 활발하게 이루어지고 있다. 이에 따라 빠르고 정확한 데이터 전송을 위한 IC 모듈사이의 동기는 VLSI 시스템의 동작성능을 결정하는 중요한 문제가 되고 있다. 이러한 동기 문제를 해결하기 위하여 delay locked loop (DLL)을 IC 모듈 입 출력단에 사용한다. 하지만 기존의 DLL은 초기 두 입력의 위상차 값에 따라 발생하는 stuck 또는 harmonic locking으로 인한 false locking으로 넓은 동작범위 및 빠른 locking 속도에 제한을 받는다. 이러한 문제를 해결하기 위해서 lock detector circuit과 phase selection circuit 등을 적용한 DLL이 제안되었다[1][2]. 하지만

II. Replica delay adaptive DLL

1. 전체 구성 및 동작특성

제안하는 DLL은 그림 1과 같이 modified phase detector (MPD)와 modified charge pump (MCP), pre-lock detector, post-lock detector 그리고 replica delay line, variable delay line, 모드 전환 MUX array 등으로 이루어져 있다. 전체 동작은 feedback loop 구성에 따라 pre-locking 모드와 post-locking 모드로 나눌 수 있다. 또한 각 모드는 variable delay line 제어 방식에 따라 lock detector에 의한 직접 제어 구간과 MPD에 의한 위상 비교 제어 구간으로 나눌 수 있다.

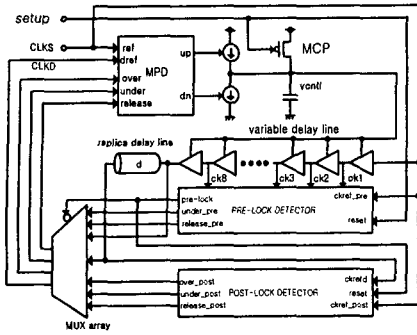


그림 1 제안하는 replica-delay adaptive DLL

(1) Pre-locking 모드

시스템에 온칩 setup 신호가 인가되면 제안하는 DLL pre-locking 모드로 동작한다. 제안하는 DLL의 pre-locking 동작특성은 그림 2와 같다.

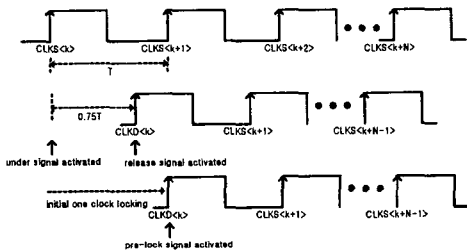


그림 2 Pre-locking 모드 동작 타이밍도

Pre-locking 모드에서 초기 variable delay line의 지연시간(T_v)은 최소값으로 정해지고 feedback 경로는 variable delay line과 그림 3의 pre-lock detector로 이루어진다.

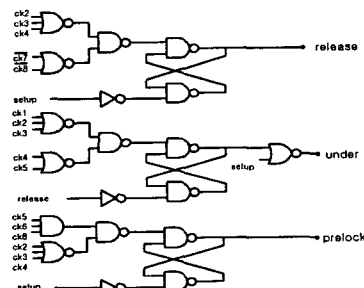


그림 3. Pre-lock detector

Pre-locking 모드에서 pre-lock detector는 초기에 MPD를 reset 시키고 제어신호 under를 MPD에 인가하여 charge pump의 전압을 MPD의 두 입력신호의 위상차에 상관없이 직접 제어하여 빠르게 variable delay line의 시간지연 (T_v)을 증가시킨다. 또한 기준

입력신호 (CLKS)의 매 주기마다 variable delay line 각 단의 출력 위상 CK(1:8)을 비교하여 지연시간을 측정한다. 측정된 지연시간에 따른 pre-lock detector의 출력은 표 1과 같다.

표 1. Variable delay line 지연시간에 따른 pre-lock detector의 출력

T_v	CK(1:8)	under	release	prelock
Init	00000000	set	reset	reset
0.75T	00000011	reset	set	reset
T	00001111	reset	set	set

Pre-lock detector는 측정된 variable delay line의 시간지연이 CLKs의 0.75T에 도달하면 pre-lock detector는 MPD에 release 신호를 인가하여 MPD를 활성화 시켜 정상적인 PD 동작으로 variable delay line의 지연시간을 정밀하게 제어한다. 위와 같은 동작을 통하여 제안된 DLL은 pre-locking 모드에서 false locking 문제를 제거하고 빠르게 그림 2와 같이 one cycle locking을 시킨다. 이후 pre-lock detector는 pre-lock신호를 모드전환 MUX array에 인가하여 post-locking 모드로 loop을 전환시킨다.

(2) Post-locking 모드

Post-locking 모드에서 feedback 경로는 variable delay line과 replica delay line 그리고 그림 4의 post-lock detector로 구성되어진다.

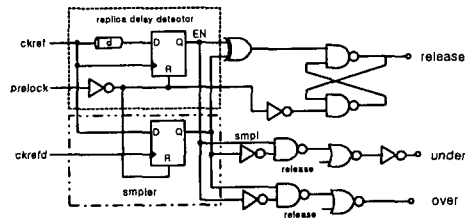


그림 4. Post-lock detector

Post-lock detector는 replica delay detector와 sampler로 구성되어 있다. Replica delay detector는 replica delay line의 지연시간 (T_d)의 크기에 따라 식 (1)과 같이 정규화 시킨다. Sampler는 기준 입력신호를 지연 입력신호로 표본화하여 두 입력의 위상차를 측정한다.

$$EN = 'low' \text{ for } 0 < T_d < 0.5T$$

$$EN = 'high' \text{ for } (n - 1.5T) < T_d < (n - 0.5T) \quad n = 1, 2, 3 \dots \quad (1)$$

Pre-lock detector에서 pre-lock신호가 인가되면 post-lock detector는 MPD를 비 활성화시키고 replica

delay detector와 sampler를 post-lock detector를 활성화시킨다. 이후 정규화 신호와 표본화 신호에 의해 표 2와 같은 출력을 MPD에 인가한다.

표 2 정규화신호와 표본화신호에 따른 post-lock detector 출력

EN	smpl	release	under	over
0	0	set	reset	reset
0	1	reset	reset	set
1	0	reset	set	reset
1	1	set	reset	reset

Post-locking 모드 동작은 정규화 신호에 따라 크게 두 구간으로 나눌 수 있다. Post-locking 모드의 전체 동작은 그림 5와 같다.

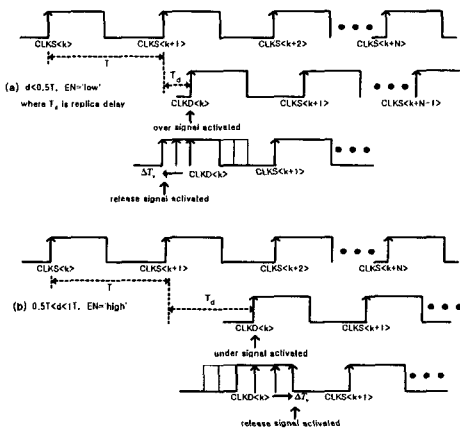


그림 5. Post-locking 모드 타이밍도. (a) EN='low' (b) EN='high'

그림 6의 (a)는 replica delay line의 시간지연의 크기가 기준 입력신호 주기의 $0 < T_d < 0.5T$ 사이에 존재하는 경우로 정규화 신호 (EN)는 'low' 값을 갖는다. 이때 post-lock detector는 over 신호를 MPD에 인가하여 variable delay line의 시간지연을 초기 1T에서부터 빠르게 감소시킨다. 동시에 기준 입력신호의 매 주기마다 표본화 신호를 비교하여 표본화 신호 (smpl)가 'high' 에서 'low' 로 변하는 순간에 release 신호를 MPD에 인가하여 정상 PD 동작으로 적은 위상차이를 정밀하게 제어하여 one clock locking 시킨다.

그림 6의 (b)는 replica delay line의 시간지연의 크기가 $0.5T < T_d < 1T$ 사이에 존재하는 경우로 정규화 신호 EN은 'high' 값을 가진다. 이는 EN이 'low' 값을 가질 때보다 입력신호가 상대적으로 고주파 신호인 경우에 해당한다. 이때는 EN이 'low' 인 경우와 반대로 variable delay line의 시간지연을 초기 1T에서부터 빠르게 증가시키고 이후 표본화신호가 'low' 에서 'high' 로 변하는 순간 release 신호를 MPD에 인가하여

정밀하게 locking 시킨다. EN이 'high' 값을 가질 때 lock cycle이 $T_d + T_v = nT$ 의 최소 n 값보다 1 cycle이 증가하는데 이는 variable delay line의 최소 지연시간에 의한 stuck locking 문제를 제거하여 안전한 locking을 보장한다.

위와 같은 모드 전환 방식을 통하여 제안하는 DLL은 replica delay line 지연시간에 따라 식 (2)와 같은 lock cycle을 제공한다. 식 (2)는 feedback 경로의 지연시간을 lock cycle로 나타낸 것이다.

$$\begin{aligned} \text{Lock cycle} &= T \quad \text{for } 0 < d < 0.5T \quad n=1 & (2) \\ \text{Lock cycle} &= nT \quad \text{for } (n-1)T < d < (n-0.5)T \quad n=2,3,4,\dots \end{aligned}$$

제안하는 DLL은 replica delay line의 지연시간이 상대적으로 적은 저주파 신호에 대해서는 variable delay line의 지연시간은 $0.5T < T_v < 1T$ 의 값을 가져 harmonic lock을 제거하고 one clock locking 시킨다. 그와 반대로 고주파신호에 대해서는 variable delay line의 지연시간은 $1T < T_v < 1.5T$ 의 값을 가져 stuck를 제거하여 최적화된 locking cycle을 제공한다. 따라서 제안하는 DLL은 replica delay line의 지연시간에 적용하여 넓은 동작범위를 구현할 수 있으며, lock detector와 MPD를 이용한 variable delay line을 지연시간 제어를 통해서 빠른 locking 시간을 갖는다.

2. Modified phase detector (MPD)

그림 3의 MPD는 기존 3-state PFD에 reset 신호와 direct control 회로를 추가하여 lock detector에서 제어 신호 under 나 over가 인가되면 MCP의 출력 전압을 직접 제어할 수 있다.

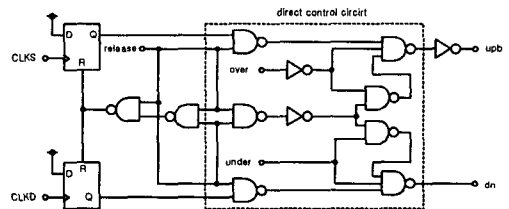


그림 6. Modified phase detector (MPD)

3. Modified charge pump (MCP)

그림 4의 MCP는 출력 트랜지스터를 전류원으로 동작시켜 switch의 기생 캐패시터에 의한 charge injection 오차를 감소시킨다[2]. 또한 제안하는 DLL의 위상비교 제어구간과 직접 제어구간에 따라 서로 다른 전류이득을 갖는 구조로써 제안하는 DLL은 빠른 locking 시간을 가지면서 variable delay line의 정밀한

제어가 가능하다.

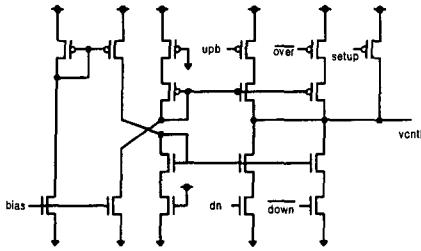


그림 7. Modified charge pump (MCP)

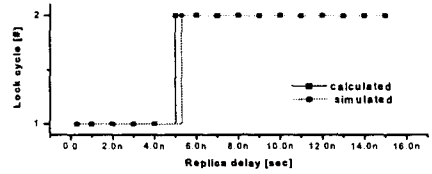


그림 9. Replica delay line의 시간지연 양에 따른 lock cycle 모의실험 결과

III 모의 실험결과

제안된 회로는 0.35 μ m 표준 CMOS 공정으로 공급전압 3.3 V에서 모의 실험하였다. 그림 9는 100 MHz 입력이 인가하였을 때 표준화 신호값에 따른 MCP의 출력전압을 나타낸 것이다. 그림 9에서의 전압이 빠르게 변화하는 구간은 lock detector에 의한 각 모드에서의 직접 제어구간을 나타낸다. 60 cycle 이후에 lock이 이루어져 출력전압이 안정되는 것을 확인할 수 있다.

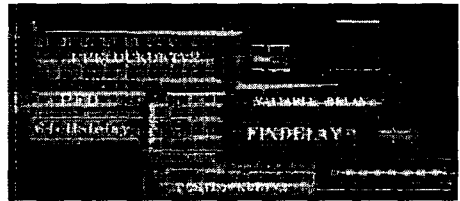


그림 10. 제안하는 DLL의 레이아웃

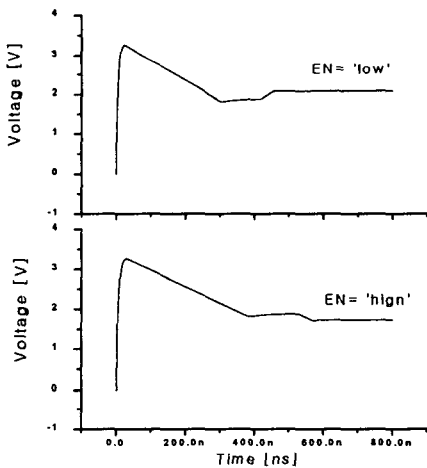


그림 8. 표준화 신호에 따른 charge pump 출력전압

그림 10은 100MHz 입력신호에 대한 replica delay line의 시간지연에 따른 lock cycle의 모의 실험 결과이다. 식(2)의 계산결과와 모의 실험결과 사이의 offset이 존재하는데 이는 pre-lock detector의 D-F/F setup 시간과 hold 시간에 대한 보상에 의한 것이다.

그림 12는 표준 CMOS 0.35 μ m 2 poly 4 metal 공정으로 제작된 제안하는 DLL의 레이아웃이다. 전체 칩 면적은 200 μ m \times 400 μ m 이다.

IV 결론

본 논문은 feedback loop 전환 방식과 lock detector를 이용하여 입력 주파수에 따른 replica delay line의 지연시간에 적응하여 최적화된 lock cycle을 제공하는 새로운 DLL을 제안하였다. 제안하는 DLL은 locking시에 replica delay line의 지연시간에 상관없이 variable delay line의 지연시간을 $0.5T < T_v < 1.5T$ 로 제한함으로써 넓은 동작범위를 갖는다. 또한 MPD와 MCP를 이용한 variable delay line의 계층적 지연시간 제어를 통하여 빠른 locking 시간을 제공한다. 제안된 DLL은 표준 CMOS 0.35 μ m 공정에서 실시한 HSPICE 모의 실험을 통하여 그 성능을 검증하였다.

Acknowledgement

본 논문은 IDEC (IC design education center)의 디자인 소프트웨어의 지원에 의한 것이며, 이에 깊은 감사 드립니다.

참고문헌

[1] David J Foley, Michael P.Flynn, "CMOS DLL-Based 2-V 3.2-ps jitter 1-GHz Clock Synthesizer and Temperature-Compensated Tunable Oscillator," *IEEE J. Solid-State Circuit*, vol. 36, pp. 417-423, Mar. 2001.
 [2] Hsiang-Hui Chang, Jyh-woei Lin, Ching-Yuan Yang, Shen-luan Liu, "Wide-Range Delay-Locked Loop With a Fixed Latency of one Clock Cycle," *IEEE J. Solid-State Circuit*, vol. 37, pp. 1021-1027, Aug. 2002