

10bit 50MS/s CMOS 파이프라인 아날로그-디지털 변환기

김대용, 김길수, 김수원
고려대학교 전자공학과 ASIC 설계 연구실

10bit 50MS/s CMOS Pipeline Analog-Digital Converter

Dae-Yong Kim, Kil-Soo Kim, and Soo-Won Kim
ASIC Design Lab., Department of Electronics Engineering, Korea University,
5-1, Anam-dong, Seongbuk-ku, Seoul, 136-701, Korea
E-mail: daidol@asic.korea.ac.kr

Abstract

This paper presents A/D converter for the signal processing of infrared sensor and CMOS image sensor. The A/D converter designed in a 0.25 μ m CMOS process provides a resolution of 10bits at a sampling rate of 50MS/s while dissipating 67mW at 2.5V supply voltage. This A/D converter is based on a pipeline architecture in which the number of bits converted per stage and the stage number are optimized to achieve the desired linearity and reduce power consumption as well. Simulation results show that the A/D converter using 1.5bit per stage MDAC with switched capacitors and dynamic comparators efficiently reduces the power consumption.

I. 서론

기술의 발전에 따라 시스템은 점점 빠르고 복잡한 신호처리 능력을 요구하고 있다. 따라서 연산이 용이하고 빠른 디지털이 신호 처리의 대부분을 담당하게 되었다. 그러나 이러한 추세에도 불구하고, 디지털 시스템이 받아들여야 할 신호는 자연계에 존재하는 아날로그 신호

이기 때문에 아날로그 신호를 디지털 신호로 바꾸어 주는 A/D 변환기(Converter)의 역할이 점점 더 커지고 있다. A/D 변환기는 자연계에 존재하는 자연적인 아날로그 신호를 전자공학에서 비롯된 회로 기술로 처리 가능하게 해주는 센서들과 최종적으로 처리 하는 기능을 담당 하는 디지털 시스템 과의 On-Chip 이 가능하기 위해 일반적인 CMOS 공정에서 구현 가능하고, 저 전압에서 동작이 가능해야 한다. 구현된 A/D 변환기의 주요 응용분야인 적외선 영상센서나 CMOS 이미지 센서의 경우 화소수가 증가하고 처리되는 프레임 레이트가 증가함에 따라 집적될 A/D 변환기의 사양은 저 전력과 고속의 변환 특성을 만족하여야 한다.

따라서 본 논문에서는 고속, 저전력, 적은 칩 면적을 만족하는 파이프라인 구조를 채용하여 A/D 변환기를 설계 하였다.파이프라인 구조의 변환기는 적절한 스테이지당 처리비트수를 선택함으로써 변환속도와 전력소모를 최적화 시킬 수 있다. 1.5-bit/stage 파이프라인 구조의 경우, 내부에 사용되는 컴퍼레이터와 Sub_DAC, residual amplifier 에서 요구되는 스펙을 감감시킬 수 있어 저전력 특성에 가장 유리한 구조이다[1]. 본 논문에서는 이러한 구조를 기반으로 스테이지의 개수를 줄이고 고성능 앰프의 개수를 최소화시키기 위해 마지막 단을 3bit flash 로 구성하였다.

II. A/D 변환기 설계

2.1 A/D 변환기의 기본 구조

그림 1에 본 논문에서 설계된 A/D 변환기 회로에 대한 전체적인 Block Diagram을 나타내었다. A/D 변환기는 7개의 1.5-bit stage와 마지막 단은 3bit flash로 구성되어 전체 8단으로 이루어져있다. 3bit flash 단의 경우 7개의 컴퍼레이터로 구성되었으며 MSB bit의 경우 에러코렉션으로 사용되고 나머지 2bit이 data-bit으로 사용되게 된다. 그림 1에서 1.5-bit stage (스테이지 1~스테이지 7) 내부의 input sample-and-hold block과 Sub-DAC, 2배의 gain을 제공하는 residual amp들이 switched capacitor 회로로 구성된 하나의 MDAC block으로 통합 되었으며, 이러한 MDAC은 파이프라인 구조의 A/D 변환기에서 모든 특성을 결정짓는 중요한 회로이다. 각단이 동일한 레퍼런스 영역에서 변환기능을 수행하기 때문에 MDAC에서는 2배의 증폭을 거쳐 출력을 내보내는데, 정확한 gain을 위해 앰프를 closed loop 형태로 feedback을 걸어 입력신호를 증폭시켜준다. 따라서 전체 시스템의 해상도와 선형성을 보장하기 위해서는 정밀한 closed loop gain이 반드시 요구되며 gain 에러가 발생시 변환기의 선형성과 해상도는 감소된다. 이러한 gain 에러는 유한한 op-amp gain과 기생 성분의 입력 capacitance, 샘플링-피드백 capacitor들의 mismatch에 주로 기인하여 발생한다.

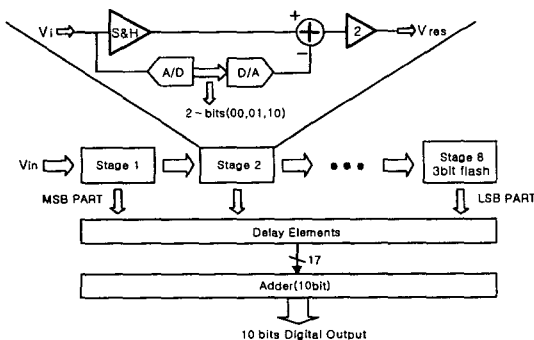


그림 1. A/D 변환기의 구조

A/D 변환기의 입력 신호 영역은 V_{ref} 가 0.45V 이고 $+V_{ref}$ 가 1.45V이며, 각각의 1.5-bit stage 내부의 Sub-ADC는 $+1/4V_{ref}$ 와 $-1/4V_{ref}$ 에서 전단의 출력 레벨에 따라 2bit의 data를 출력으로 내보내게 된다. 각 스테이지의 Sub-ADC에서 발생된 출력 bit들은 일

정한 시간차를 갖고 있기 때문에 Delay Element block의 shift register에 의해 전체 5 clock 주기를 갖는 17bit의 data로 병합되고 에러 코렉션[2]을 수행하기 위해 시리얼 adder에 인가되어 10bit의 full-code가 생성된다.

2.2 1.5-bit pipeline stage 설계

1.5-bit stage는 MDAC (multiplying digital-to-analog converter)과 Sub-ADC로 구성되었다. 1.5-bit stage의 회로와 클럭 위상을 그림 2와 그림 3에 각각 나타내었다. MDAC은 입력 샘플-홀드 블락과 Sub-DAC, residual gain amp의 기능이 switched-capacitor amplifier로 통합되어 동작하며, 샘플링 capacitor와 2배의 정확한 closed loop gain을 제공하기 위한 피드백 capacitor가 서로 동일한 크기를 가져야만 한다. 샘플링 phase에서는($clk1$) C_s 와 C_f 가 전단의 출력 신호인 V_{in} 을 샘플링 하고 앰프는 입력 offset을 줄이기 위한 auto-zero를 수행하기 위해 unity-gain feedback 형태로 동작한다. 증폭 phase에서는($clk2$) 피드백 capacitor인 C_f 가 앰프 주위로 연결되어 closed loop gain 구성을 이루게 되며, 샘플링 capacitor C_s 의 bottom plate에는 sub-ADC 출력 레벨에 의해 결정되는 Mux_out ($+V_{ref}$, V_{cm} , $-V_{ref}$) 신호가 인가된다.

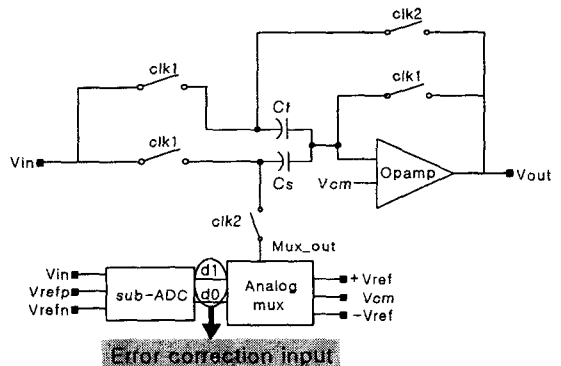


그림 2. 1.5-bit stage circuit

Sub-ADC는 2개의 컴퍼레이터와 컴퍼레이터 출력에서 발생하는 thermo code(00,01,11)를 binary code(00,01,10)로 변환시키는 인코딩 로직으로 구성되었다. 출력 delay에 의한 영향을 최소화시키기 위해 컴퍼레이터의 래치 클럭으로 $clk1$ 보다 1ns 정도 위상이 앞서는 $clk1p$ 를 사용하였다. 그림 4는 설계된 1.5-bit

stage 회로의 입-출력 특성을 나타낸 곡선이다.

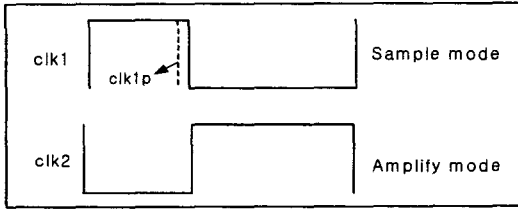


그림 3. 1.5-bit stage 의 clock-phase

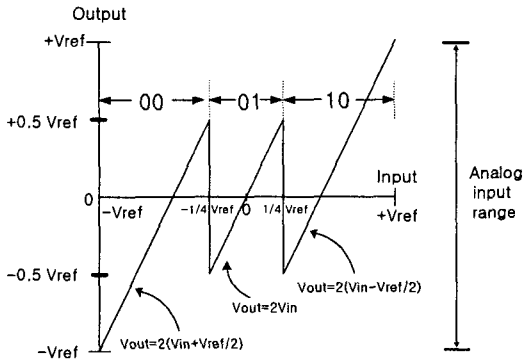


그림 4. 1.5-bit stage 회로의 입-출력 특성

2.3 Op-amp 설계

1.5-bit stage circuit 내에 사용된 Op-amp 를 그림 5 에 나타내었다. 10bit 의 해상도와 고속의 변환속도를 위해서는 높은 gain bandwidth(GBW) 뿐만 아니라 적절한 open loop DC gain 을 갖는 amp 가 반드시 필요로 하게 된다. 이러한 사양을 만족하는 첫째 구조로 telescopic cascade 구조의 amp 를 들수 있다. 이구조의 앰프는 저전력을 소비하며 가장 좋은 phase margin 특성을 보여준다. 그러나 단점으로 여러 개의 트랜지스터 스택이 쌓이기 때문에 저 전압 동작이 불가능하고 충분한 게인을 얻기 위해서는 신호의 스윙을 상당부분 희생해야하는 단점이 있어 저 전력 특성과 저 전압 동작, 출력의 dynamic 특성을 만족하기 위해 다음과 같은 Folded cascode 구조의 앰프를 설계 하였다. 유한한 open loop DC gain 에 기인한 에러가 1LSB 이하로 발생하기 위해 앰프의 DC gain 을 65dB 로 설계 하였다. 10-bit 의 해상도를 보장하기 위해 각 스테이지의 MDAC 출력은 적어도 클럭의 반주기 안에서 settling 되어야 한다. 따라서 이러한 조건과 slew-rate 특성을 고려하여 앰프의 gain bandwidth(GBW)를 300MHz 로 설계 하였다. 그림 6 은 설계된 folded cascode amp 의

시뮬레이션 결과를 나타낸다.

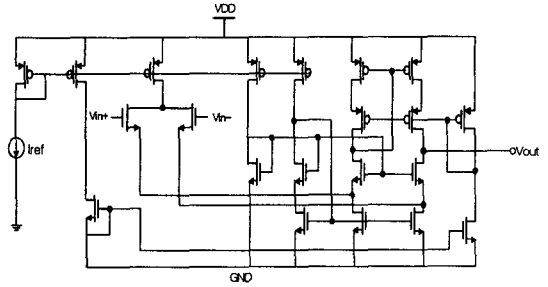


그림 5. Folded cascode op-amp

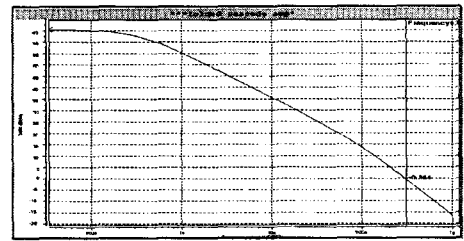


그림 6. 설계된 앰프의 시뮬레이션 결과

2.4 Comparator 설계

그림 7 은 Sub-ADC 에 사용된 컴퍼레이터를 나타내고 있다. 설계된 컴퍼레이터는 입력신호를 '1' 또는 '0' 으로 구분하고 일정 주기 동안 그 정보를 저장하는 latch 와 래치 입력신호를 offset 보다 크게 하여 비교를 용이하게 해주는 preamp 로 구성된 dynamic 구조이다[3]. 이러한 구조는 일반적인 open loop-amp 컴퍼레이터에 비해 전력 소모가 훨씬 작으면서 우수한 해상도를 가진다. 컴퍼레이터의 해상도는 0.5mv 이고 출력이 로직 레벨에 도달하기까지 최대 2ns 의 지연시간을 갖는다. 래치 클럭 clk1p 가 high 일때 입력신호를 tracking 하고 출력을 GND 로 리셋 시켰다가 clk1p 가 low 상태가 되면 래치에 의해 바로 출력의 로직 레벨이 결정된다. 그림 7 에서 MP1 과 MP2 의 trans-conductance 를 각각 gm1, gm2 라 하면 preamp 의 gain Av 는

$$A_v = \frac{g_{m1}}{g_{m2}} = \sqrt{\frac{I_{n1}(W/L)_1}{I_{p1}(W/L)_2}}$$

로 표현되며 10bit 해상도와 50MS/s 의 변환속도를 고려하여 gain 을 15.8dB 로 설정하였다. 프리앰프의 게인을 더욱 증가시키면 컴퍼레이터의 해상도는 증가될 수

있지만 프리앰프의 출력노드에서 바라보이는 임피던스와 time-constant 가 증가하여 래칭(latching) 스피드는 제한 되게 된다.

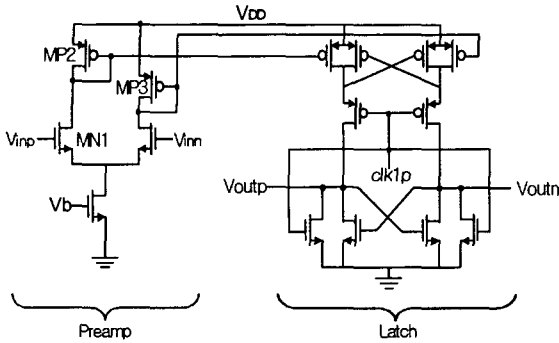


그림 7. 컴퍼레이터 회로

III. 시뮬레이션 결과

그림 8 은 3.32MHz 주파수와 full-scale 진폭을 갖는 sine-wave 입력과 이상적인 DAC 를 거쳐 50MS/s 변환속도로 복원된 파형을 나타낸 그림이다.

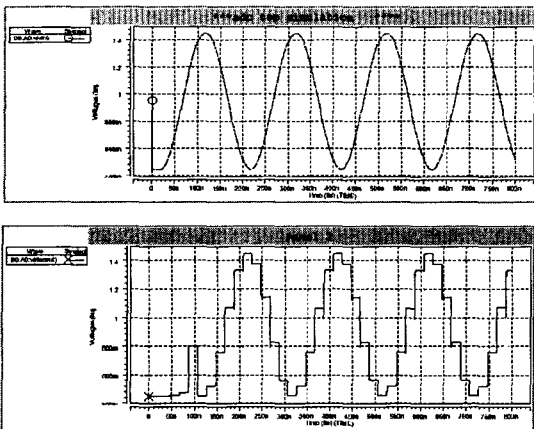


그림 8. 3.32MHz의 sine입력과 복원 파형

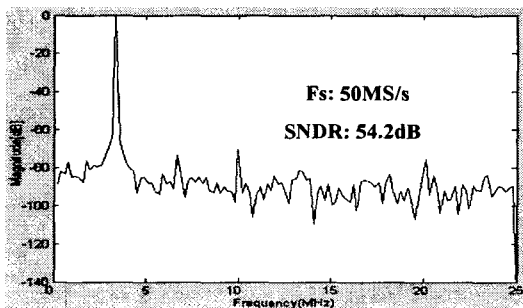


그림 9. FFT 시뮬레이션 결과

그림 8 에서 설계된 A/D 변환기가 대략 5 주기의 latency 를 갖고 정상 동작함을 확인 할 수 있다. 그림 9 는 설계된 A/D 변환기의 선형 특성을 보기위해 복원된 싸인 파를 바탕으로 256-point 의 FFT 를 수행한 결과와 측정된 SNDR 을 나타낸 그림이다. MATLAB 을 통해 측정해 본 결과 54.2dB 로 나타났다.

IV. 결론

본 논문에서는 0.25um CMOS 공정을 사용하여 영상 센서의 신호 처리용으로 사용가능한 A/D 변환기를 설계 하였다. 설계된 A/D 변환기는 전체 8 개의 스테이지로 구성된 파이프라인 구조를 채용하였고 목표로 하는 변환속도와 선형성을 보장하면서 전력소모를 감소시키기 위해 1.5bit per stage 구조와 마지막 단이 3bit flash 로 처리되는 구조로 설계 되었으며, Full chip 시뮬레이션 결과를 통해 10-bit 해상도와 50MS/s 변환 속도 특성을 확인 하였다. 표 5.1 에 전체적인 사양을 요약하였다.

표 5.1 설계된 A/D 변환기의 주요사양

Performance Summary	
Process technology	0.25um CMOS
Architecture	1.5bit per stage pipeline
Resolution	10 bit
Supply voltage	2.5V
Sampling speed	50MS/s
Full scale input range	1Vpp
Power dissipation	67mW
SNDR	54.2dB

참고문헌

- [1] A. M. Abo and P. R. Gray, "A 1.5-V, 10-bit, 14.3-MS/s CMOS pipeline analog-to-digital converter," *IEEE J. Solid-State Circuits*, vol. 34, pp. 599-606, May 1999.
- [2] G. Chien, "High Speed, Low Power, Low Voltage Pipelined Analog-to-Digital Converter," *Master Thesis*, University of California, Berkeley, 1996.
- [3] A. Yukawa, "A CMOS 8-Bit High-Speed A/D Converter IC," *IEEE J. Solid-State Circuits*, vol. 20, 6, pp. 775-779, 1998.